

УНИВЕРСИТЕТ ИТМО

**Системы ввода/вывода и
периферийные устройства**

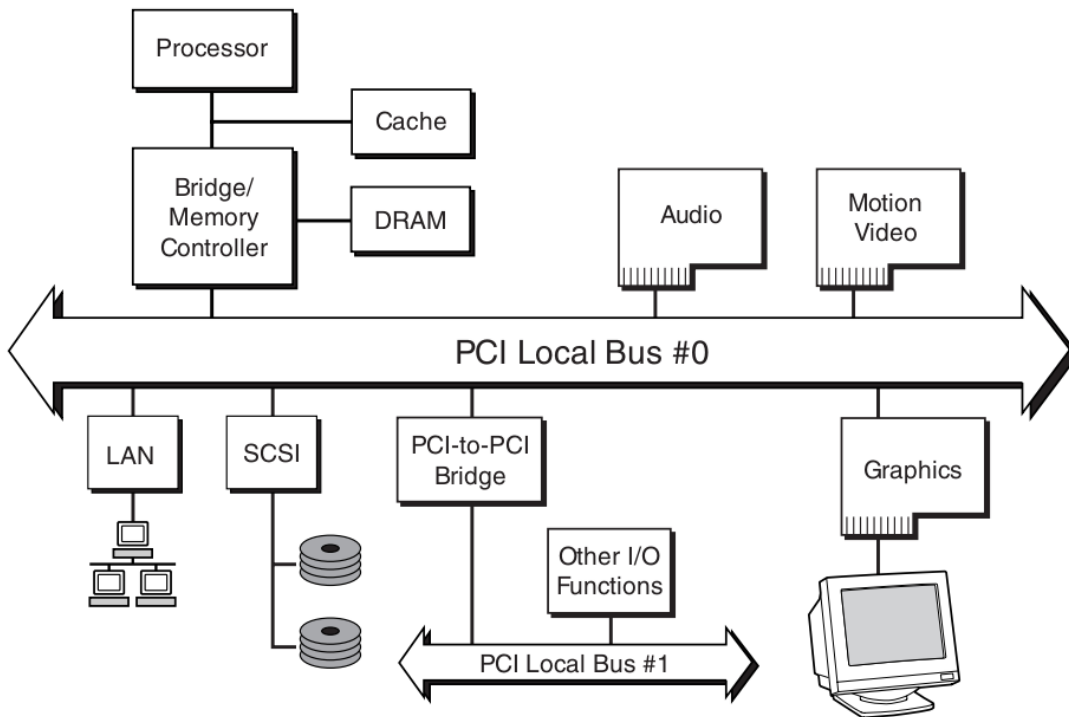
Лекция 4. Интерфейс PCI. Интерфейс USB

Яналов Р.И., Алексеенко В.Ю.

e-mail: sergei_bykovskii@corp.ifmo.ru

Санкт-Петербург, 2016

Интерфейс PCI



PCI – мультиплексированный параллельный (разрядность 32 или 64 бита) системный интерфейс, предназначенный для соединения подсистемы памяти процессора с высоко интегрированными периферийными контроллерами и платами расширения, с топологией «общая шина»

Причины появления интерфейса PCI

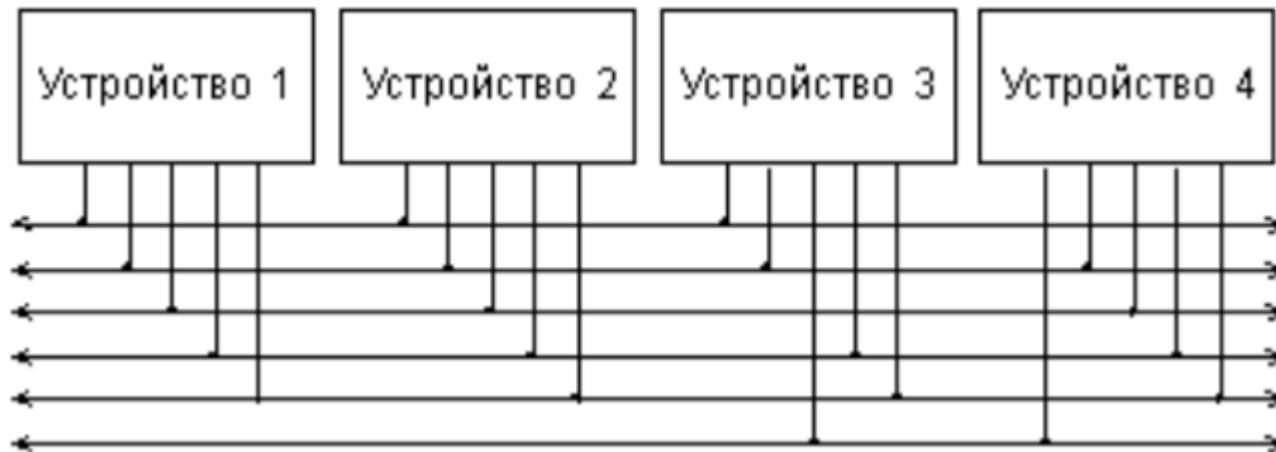
В 1992 году, когда была создана первая версия спецификации на интерфейс PCI, графические ОС, такие как Windows и OS/2, создали большую нагрузку (передача данных между процессором и графическим адаптером для подключения монитора) на подсистему ввода-вывода ПК. Помимо графических интерфейсов высокую производительность требовали и другие устройства: сетевые, устройства видео-захвата, диски и пр.

Перемещение периферийных устройств ближе к шине процессора исправило данную проблему, шина PCI успешно удовлетворила эти запросы и широкое распространение не только в области ПК, но и в вычислительной технике в целом.

Топология «общая шина»

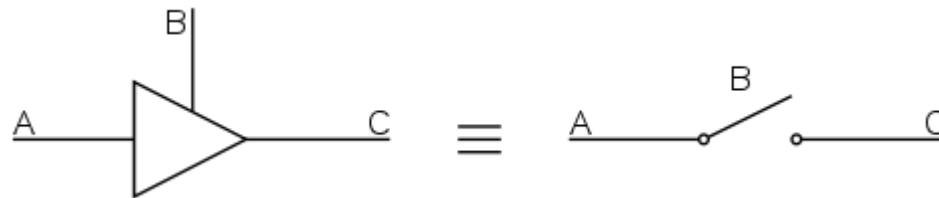
Общая шина – вид топологии, в котором два или более устройств соединяются друг с другом посредством подключения к одной магистрали, доступ к которой между ними разделяется во времени.

В такой топологии требуется система адресации и синхронизации (арбитраж, система доступа).



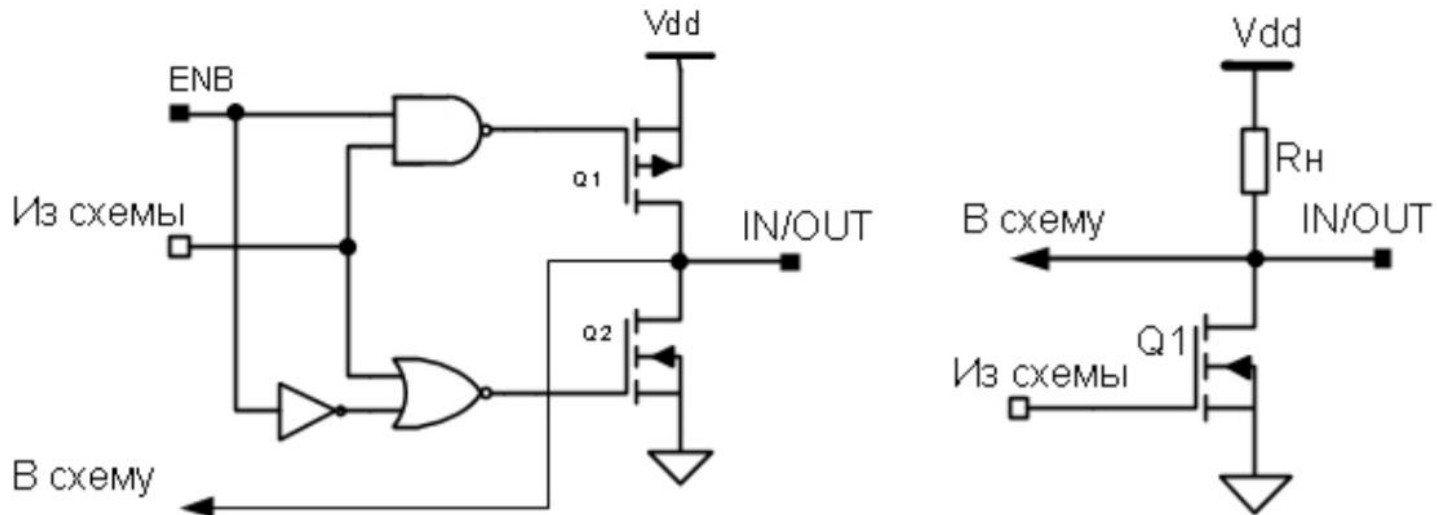
Подключение к общей шине: Z-состояние

Основным типом выхода для подключения к шинам с несколькими источниками является выход с тремя состояниями. Выход с тремя состояниями помимо логических 0 и 1 может переключаться в **высокоомное** состояние ("третье" или **Z-состояние**), при котором он ведет себя как не подключенный к схеме, т.е. не оказывает никакого воздействия на неё.

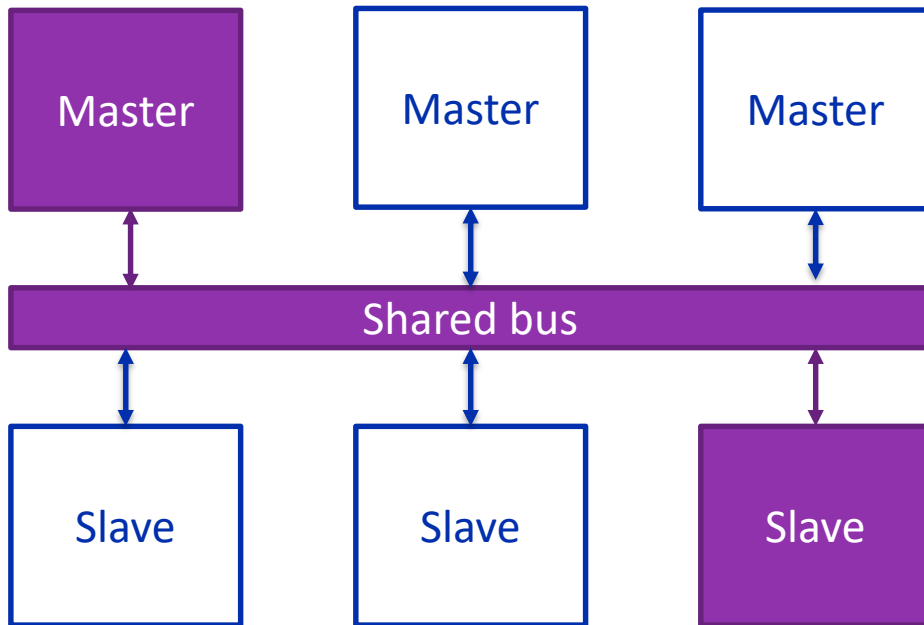


Подключение к общей шине: Двунаправленные порты

Двунаправленные порты позволяют использовать одни и те же сигналы интерфейса как для чтения, так и для записи в разные моменты времени. Например, в PCI для передачи и приема данных используется одна и та же шина данных.

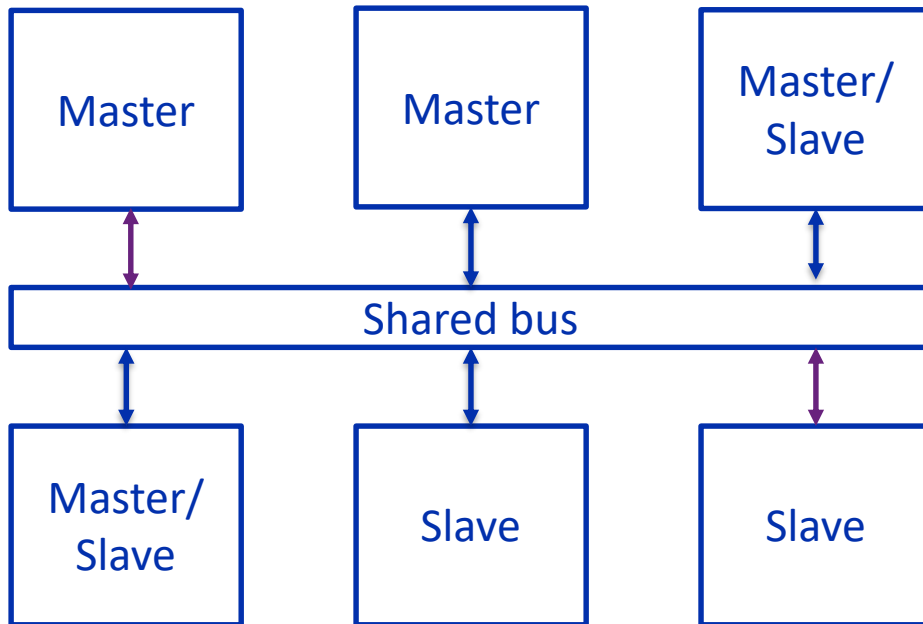


Система адресации общей шины



Для идентификации устройства на общей шине, ему присваивается уникальный адрес или диапазон адресов. При появлении транзакции на шине все устройства проверяют её адрес: если он совпадает с адресом устройства (или попадает в его диапазон адресов), то устройство отвечает на транзакцию.

Типы устройств на общей шине



Ведущий (Master) - инициирует операции чтения и записи посредством подачи адреса и управляющих сигналов. Только один мастер в определенный момент времени может быть активным.

Ведомый (Slave) - отвечает на операции чтения и записи в заданном адресном пространстве. Ведомый сигнализирует активному мастеру в случае успешного, ошибочного обмена данными или в случае ожидания

Комбинированное устройство - Master/Slave

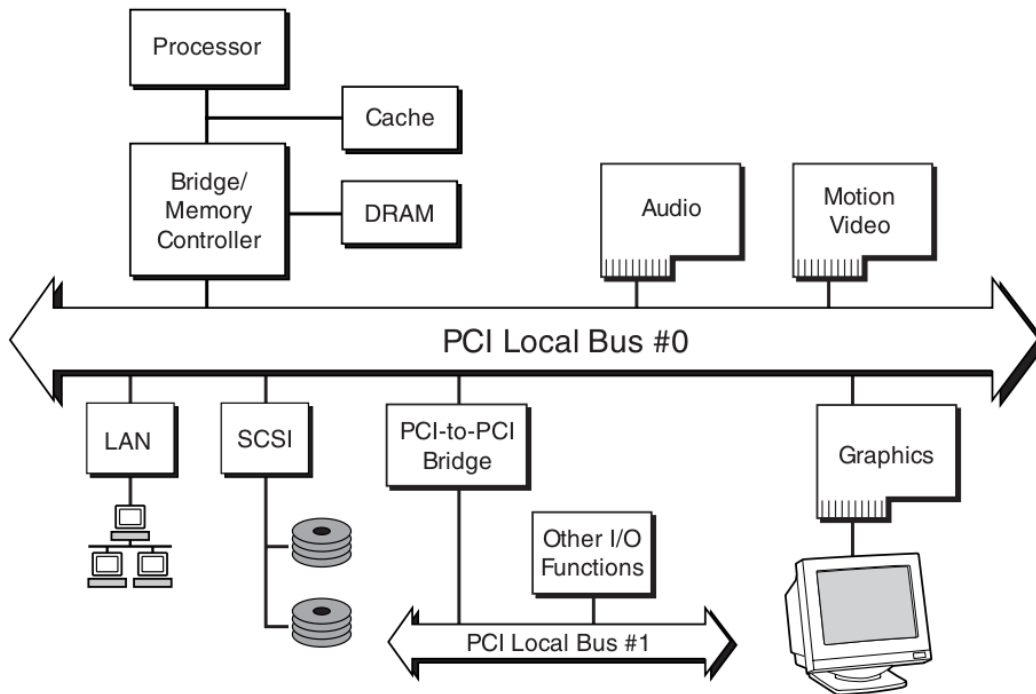
Особенности PCI

- ✓ PCI-устройство должно обязательно быть ведомым и опционально может быть ведущим
- ✓ Ведомое устройство, начавшее транзакцию называется инициатором (**Initiator**), ведущее устройство, отвечающее на нее – исполнителем (**Target**)
- ✓ PCI-устройство может включать до 8 логических устройств, называемых функциями (**function**)
- ✓ Каждая функция может затребовать до шести диапазонов в адресном пространстве памяти PCI или в адресном пространстве ввода-вывода PCI.

Особенности PCI

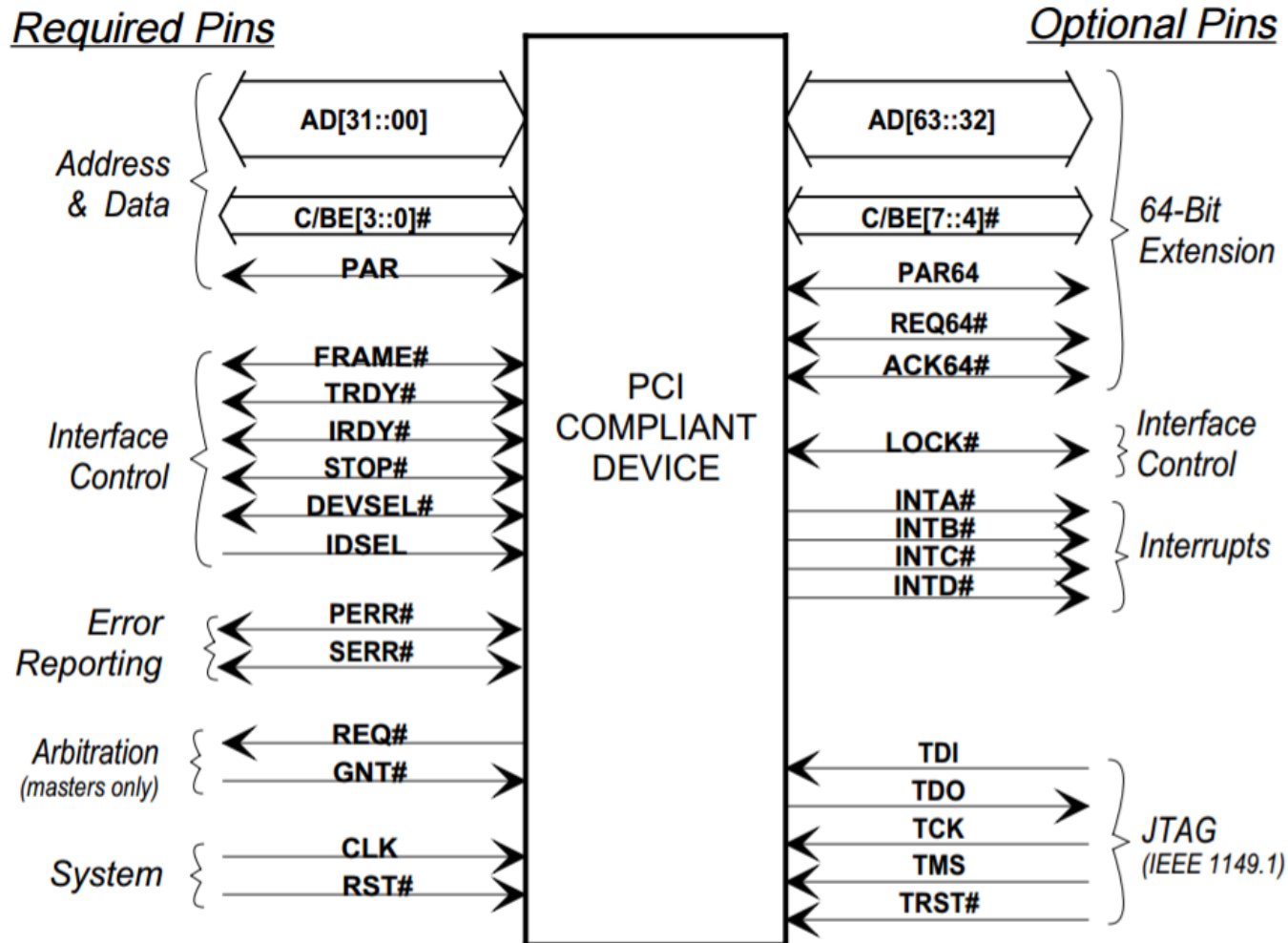
- ✓ PCI-устройства с точки зрения пользователя самонастраиваемы (**Plug and Play**). После старта компьютера системное программное обеспечение обследует конфигурационное пространство PCI каждого устройства, подключённого к шине, и распределяет ресурсы
- ✓ Устройства могут иметь ПЗУ, содержащее исполняемый код для процессоров, инициализирующий устройство
- ✓ PCI позволяет организовывать иерархии шин с помощью мостов **PCI-to-PCI**

Примеры PCI-устройств



- Сетевая карта
- Видеокарта
- Wi-Fi адаптер
- ТВ-тюнер
- Устройство видео-захвата

Сигналы шины PCI



Функциональные группы сигналов PCI

✓ Системные сигналы

- CLK - тактовый сигнал (синхроимпульс)
- RST# - сброс

✓ Адрес и данные

- AD[31::00] - мультиплексированная шина адреса и данных
- C/BE[3::0] - мультиплексированная шина команд и маска валидных байт (byte enable)
- PAR - бит контроля четности AD[31::00] и C/BE[3::0]#

✓ Арбитраж (только для мастеров)

- REQ# - запрос к арбитру на разрешение доступа к шине
- GNT# - сигнал наличия разрешения доступа к шине

Функциональные группы сигналов PCI

✓ Сигналы управления

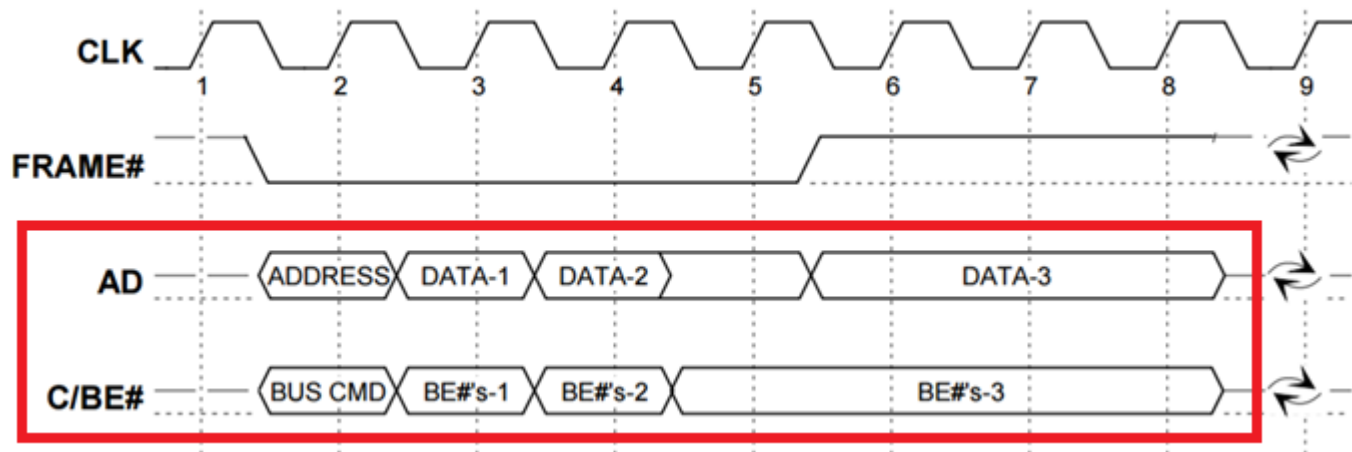
- FRAME# - сигнал выдаётся инициатором в начале транзакции и определяет её длительность
- IRDY# - готовность инициатора (Initiator ready)
- TRDY# - готовность исполнителя (Target ready)
- STOP# - запрос на остановку текущей транзакции от исполнителя
- LOCK# - атомарная транзакция (только для мостов PCI-to-PCI)
- IDSEL - выбор устройства при обращении к конфигурационному пространству PCI, используемый в процессе настройки
- DEVSEL# - сигнал выбора устройства, уведомляющий инициатора о том, что устройство, к которому он пытается обратиться, существует

Функциональные группы сигналов PCI

- ✓ Индикация ошибок
 - PERR# - ошибка контроля по четности во время всех транзакций PCI, за исключением специального цикла
 - SERR# - предназначен для выдачи сообщений об ошибках контроля по четности для адреса, по команде Special Cycle (специальный цикл), или любых других системных ошибках, когда результаты могут оказаться катастрофическими
- ✓ Прерывания
 - INTA#, INTB#, INTC#, INTD#
- ✓ JTAG
- ✓ Сигналы расширения шины до 64-бит

Мультиплексирование сигналов

Для снижения общего количества линий связи часто применяется мультиплексирование шин адреса и данных, т.е. одни и те же линии связи используются в разные моменты времени для передачи как адреса, так и данных (в начале цикла – адрес, в конце цикла – данные). Для фиксации этих моментов (стробирования) служат специальные сигналы на шине управления.



Адресные пространства PCI

- ✓ Пространство памяти
 - доступ к памяти со стороны процессора осуществляется с помощью инструкции MOV

- ✓ Пространство ввода-вывода
 - доступ к портам ввода-вывода со стороны процессора осуществляется с помощью инструкций IN, OUT

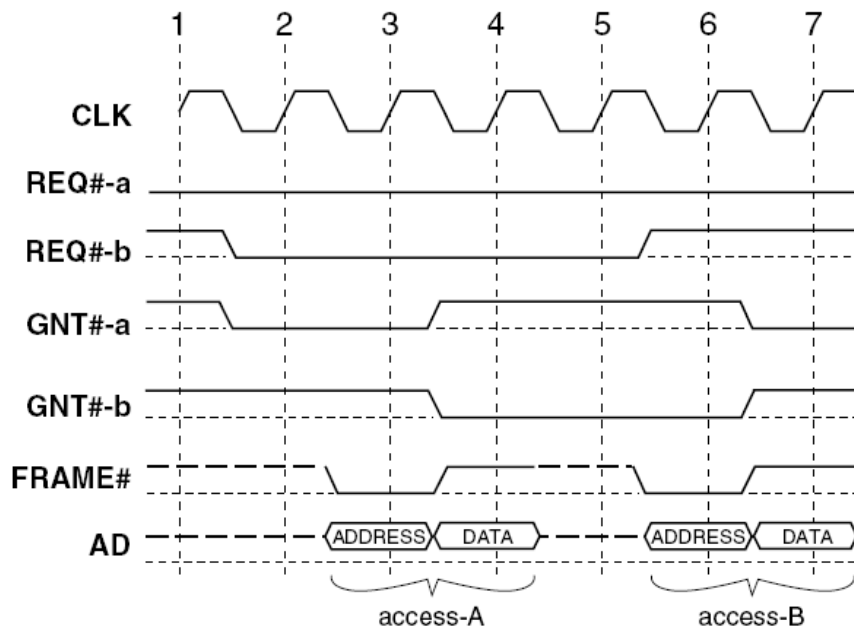
- ✓ Конфигурационное пространство
 - используется для настройки устройств и назначения им диапазонов адресов в пространствах памяти и ввода-вывода

Команды PCI

Команда шины определяет тип транзакции, запрашиваемой инициатором, и адресное пространство, к которому производится обращение.

C/BE[3::0]#	Command Type
0000	Interrupt Acknowledge
0001	Special Cycle
0010	I/O Read
0011	I/O Write
0100	Reserved
0101	Reserved
0110	Memory Read
0111	Memory Write
1000	Reserved
1001	Reserved
1010	Configuration Read
1011	Configuration Write
1100	Memory Read Multiple
1101	Dual Address Cycle
1110	Memory Read Line
1111	Memory Write and Invalidate

Доступ к шине



Каждое мастер-устройство в системе имеет свою пару сигналов REQ#/GNT#.

Устройство, желающее получить доступ к шине, выдаёт связанный с ним сигнал REQ#. Когда арбитр решит предоставить шину этому устройству, он выдаст относящийся к нему сигнал GNT#.

Сигнал GNT# может быть снят арбитром в любой момент. Его снятие означает, что обмен данными пора заканчивать.

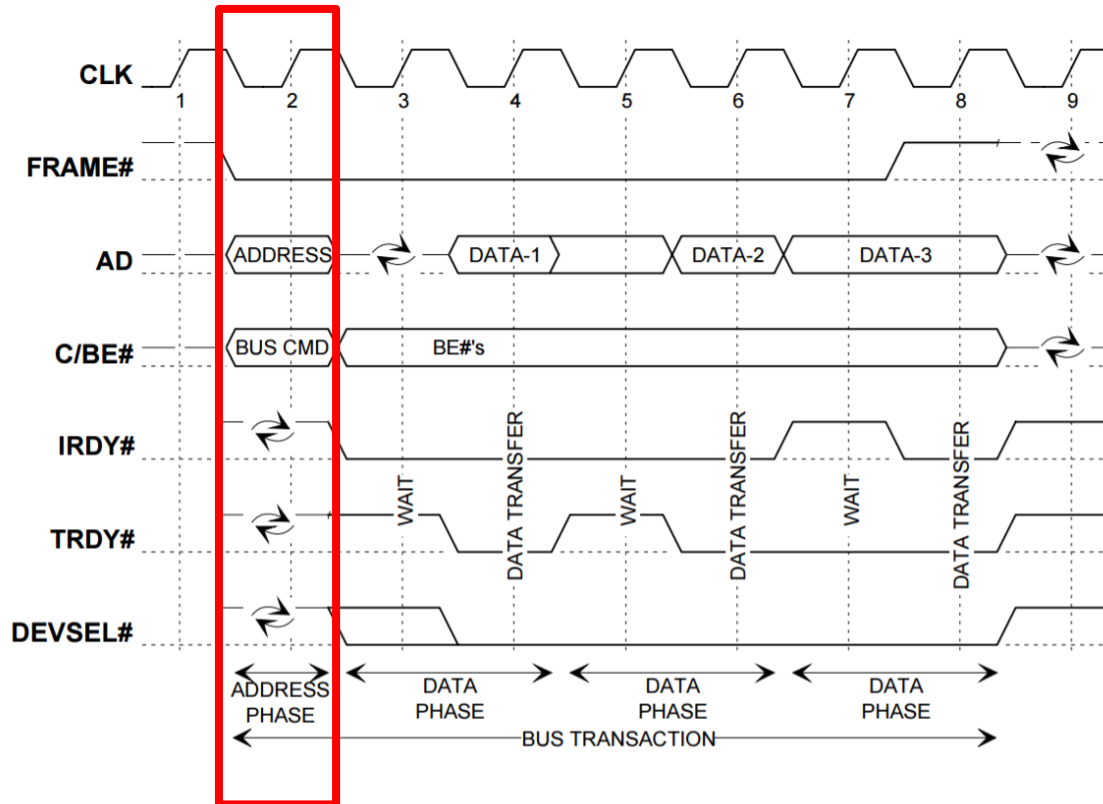


Управление передачей данных

Основой управления всеми передачами данных на PCI служат сигналы:

- ✓ **FRAME#** - управляется инициатором (Initiator) для индикации начала и конца транзакции
- ✓ **IRDY#** - Initiator Ready – управляется инициатором (initiator) для уведомления о его готовности
- ✓ **TRDY#** - Target Ready – управляется исполнителем (target) для уведомления о его готовности

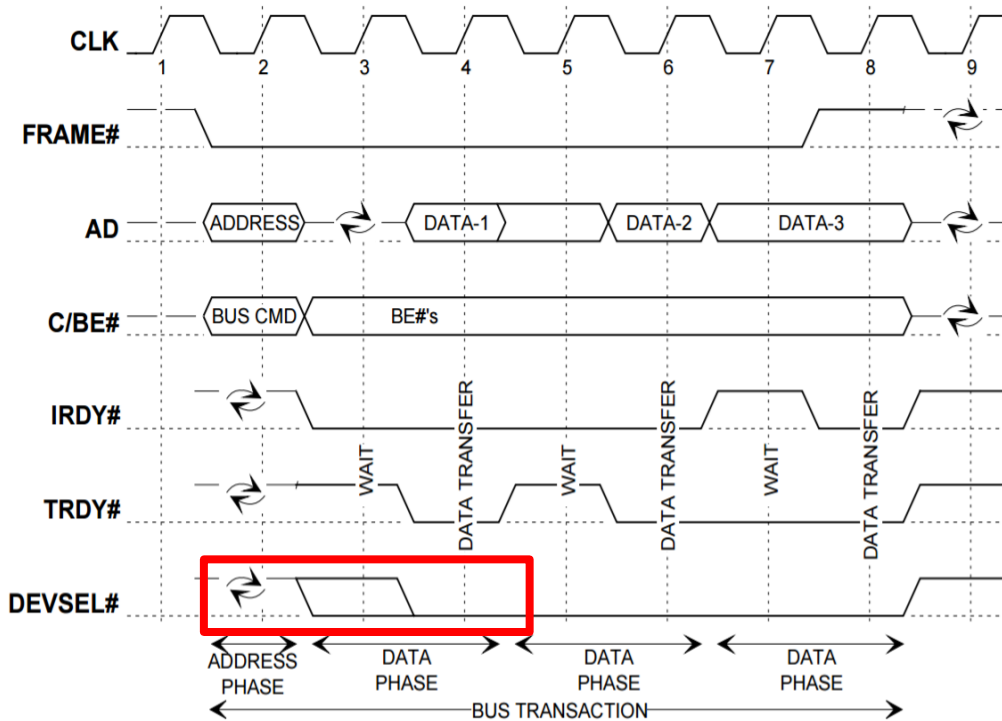
Транзакция чтения: фаза адреса



Первый такт **CLK**, на котором разрешается **FRAME#** это адресная фаза. На этом такте **CLK** по линиям **AD** передается адрес транзакции, а по **C/BE#** - команда.

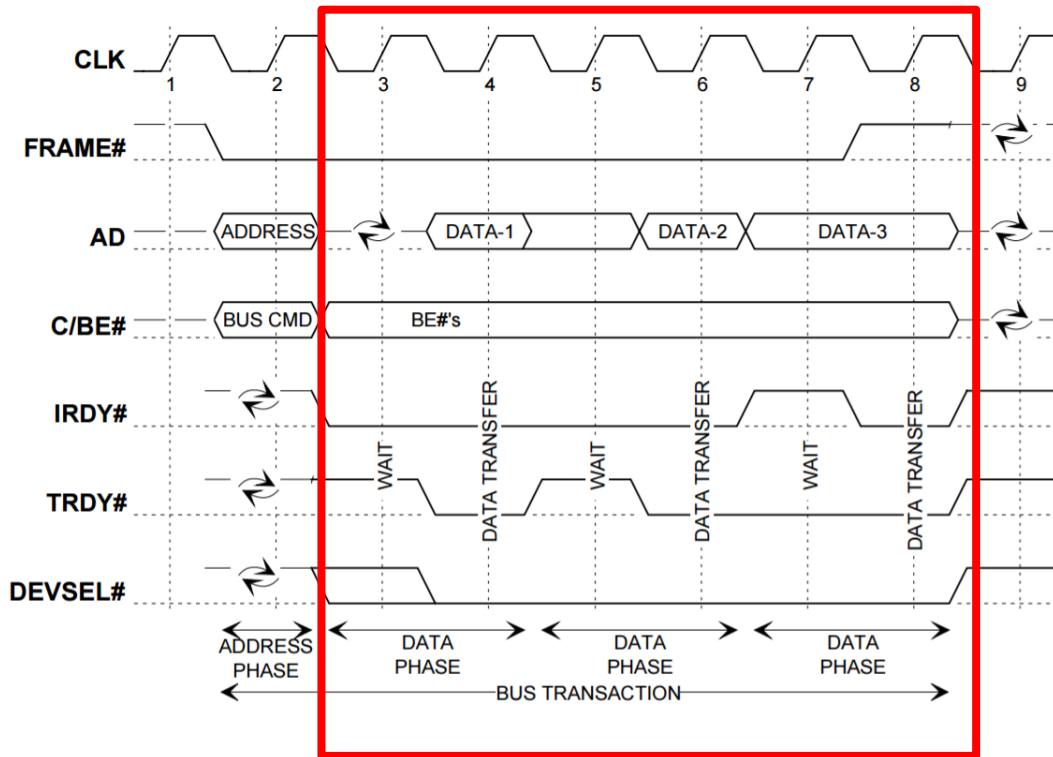
Команда указывает к какому адресному пространству выполняется обращение.

Транзакция чтения: фаза адреса



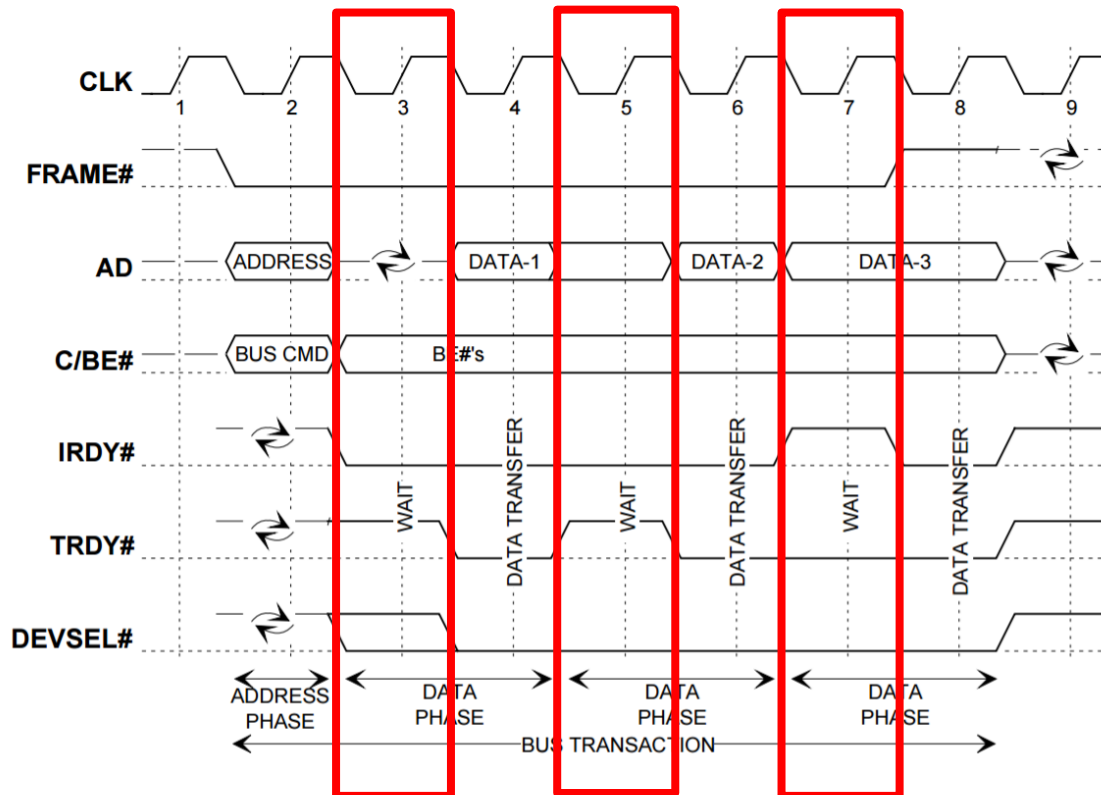
В фазе адреса все устройства сравнивают указанный в ней адрес с назначенными им диапазонами адресов. То устройство, в чей диапазон попадает заданный в транзакции адрес, разрешает сигнал **DEVSEL#** и участвует в ней в качестве исполнителя.

Транзакция чтения: фазы данных



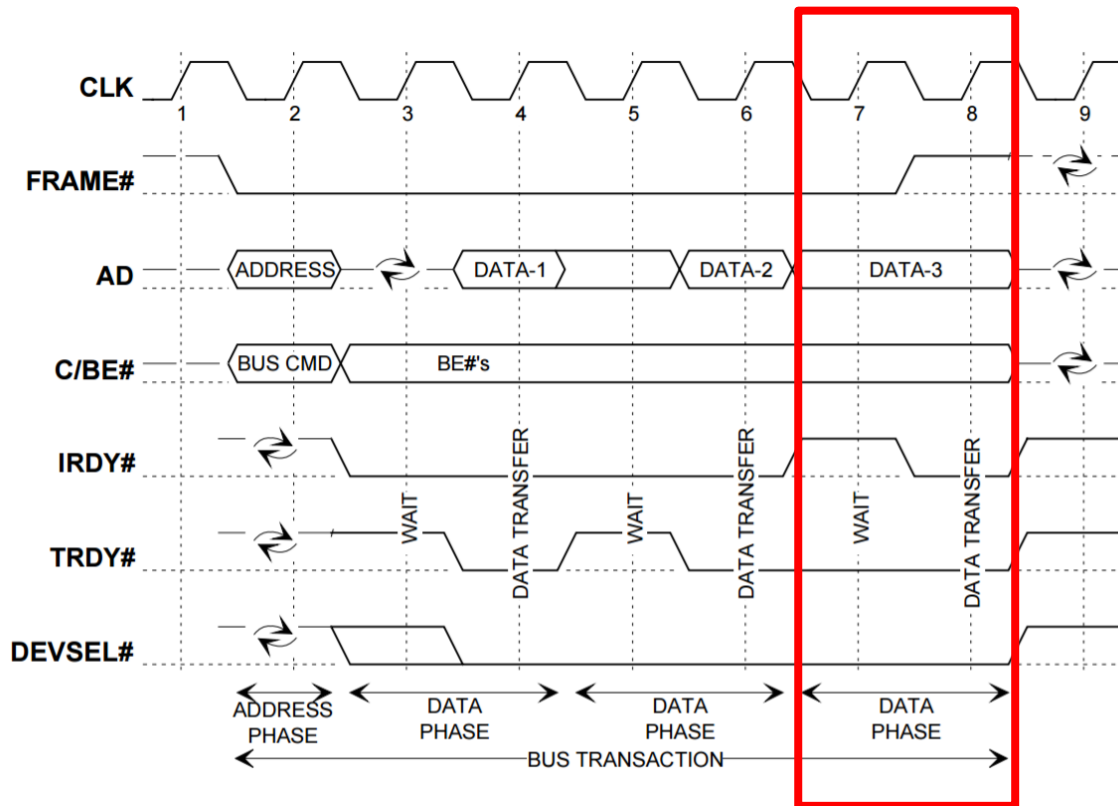
Следующий фронт **CLK** начинает первую из одной или нескольких фаз данных, в течение которой данные передаются между ведущим и исполнителем по каждому фронту **CLK** и для этого разрешаются оба сигнала **IRDY#** и **TRDY#**.

Транзакция чтения: ожидание



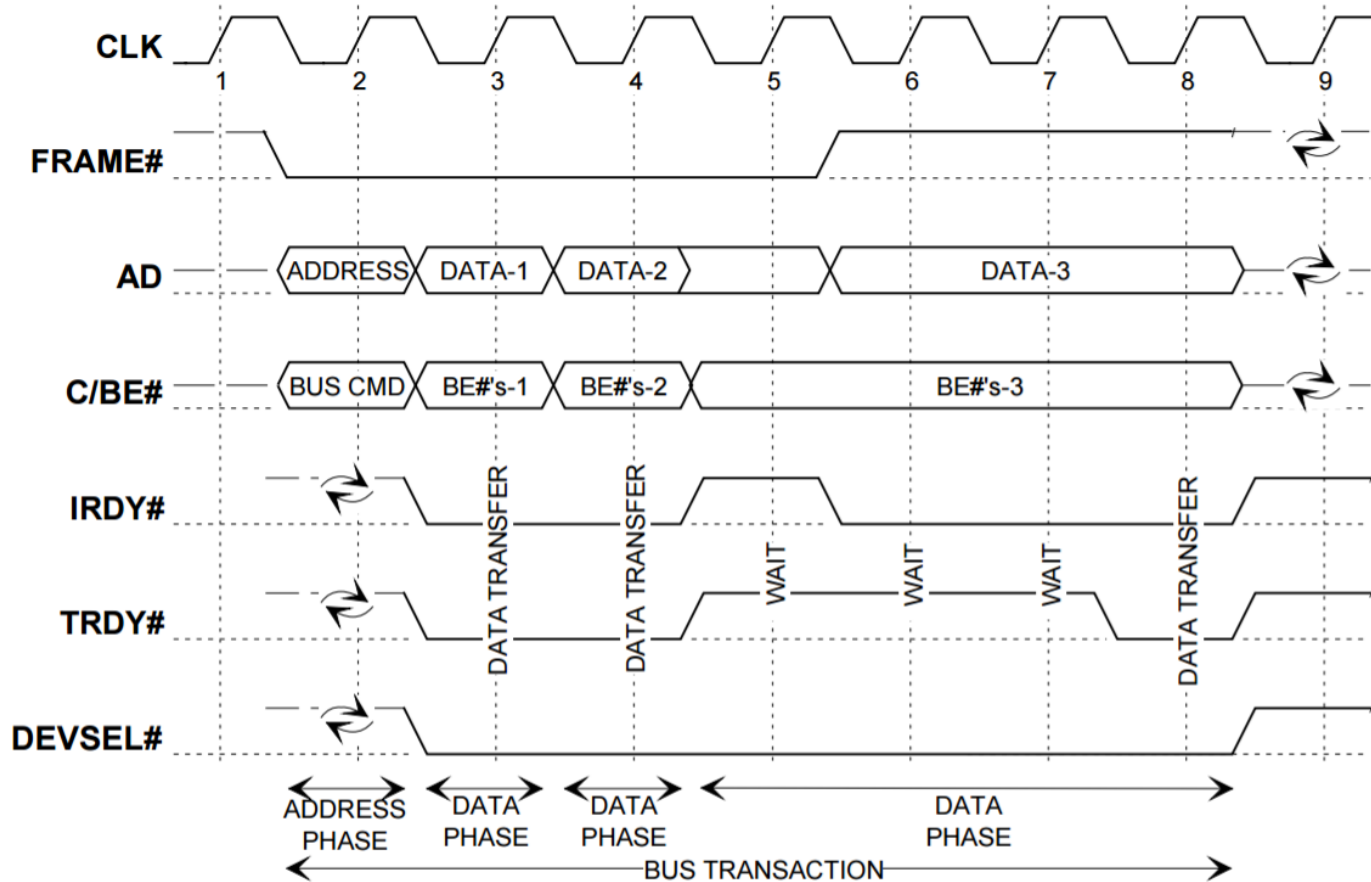
Состояния ожидания могут быть вставлены в фазу данных инициатором или исполнителем с помощью соответствующих сигналов **IRDY#** и **TRDY#**

Транзакция чтения: завершение

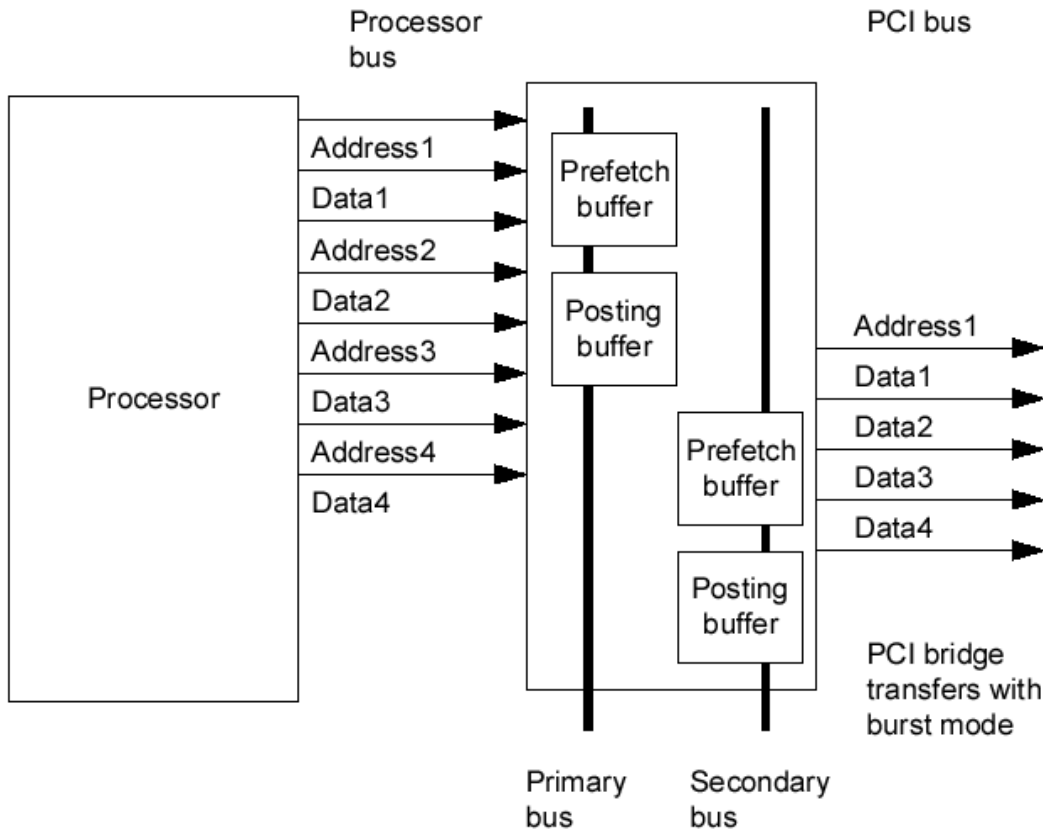


Для завершения транзакции инициатор запрещает **FRAME#** и разрешает **IRDY#**. После того, как исполнитель укажет на последнюю передачу данных (**TRDY#** разрешен), интерфейс возвращается в IDLE с запрещенными сигналами **FRAME#** и **IRDY#**.

Транзакция записи



Burst-транзакции и процессор



Хост-мост (мост, соединяющий центральный процессор и PCI) может объединять доступ к памяти на запись в единый запрос без посторонних эффектов.



Конфигурирование PCI-устройств

Обращения к конфигурационному пространству PCI производятся в основном на этапе инициализации (включения) ПК:

- ✓ поиск устройств
- ✓ выделение им непересекающихся ресурсов (областей памяти и пространства ввода-вывода)
- ✓ назначение номеров аппаратных прерываний.

При дальнейшей регулярной работе устройства будут отзываться на обращения по назначенным им адресам памяти и ввода-вывода.

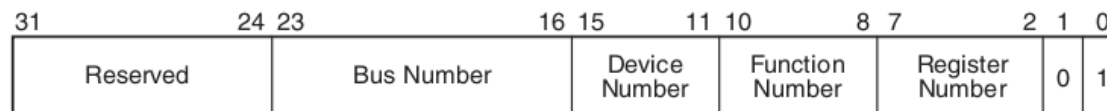
Для доступа к конфигурационному пространству в отличие от пространства памяти и ввода-вывода используются сигнал **IDSEL**

Конфигурационных транзакции

Для поддержки иерархических шин PCI введены два типа конфигурационных транзакций. Конфигурационная транзакция типа 0 ($AD[1::0] = "00"$) используется для выбора устройства в том же самом сегменте, где будет происходить транзакция. Конфигурационная транзакция типа 1 ($AD[1::0] = "01"$) используется, чтобы передать конфигурационный запрос в другой сегмент шины.



Type 0



Type 1

Организация иерархических шин

Для шины PCI принята иерархия понятий адресации: шина, устройство, функция. Эти понятия фигурируют только при обращении к регистрам конфигурационного пространства.

Число устройств, которые могут подключаться к одному сегменту шины, ограничено из-за электрических вопросов нагрузки. Увеличение количества устройств в системе возможно осуществить за счет использования нескольких взаимосвязанных сегментов шины.

Для подключения дополнительных сегментов шины необходимо соединяющее звено – мост PCI-to-PCI.

Конфигурационное пространство

Конфигурационное адресное пространство состоит из 256 байт, первые 64 которых стандартизированы и являются заголовком, а остальные могут быть использованы по усмотрению изготовителя.

Типы заголовков

- ✓ 00h - Устройство
- ✓ 01h - Мост PCI-to-PCI
- ✓ 02h - Мост CardBus

Заголовок конфигурационного пространства PCI-устройства

31		16	15		0	
Device ID		Vendor ID				00h
Status		Command				04h
Class Code			Revision ID			08h
Built-In Self-Test	Header Type	Latency Timer		Cache Line Size		0Ch
Base Address Registers (BARs)						10h
Base Address Registers (BARs)						14h
Base Address Registers (BARs)						18h
Base Address Registers (BARs)						1Ch
Base Address Registers (BARs)						20h
Base Address Registers (BARs)						24h
CardBus CIS Pointer						28h
Subsystem ID			Subsystem Vendor ID			2Ch
Expansion ROM Base Address Register (XROMBAR)						30h
Reserved				Capabilities Pointer		34h
Reserved						38h
Max Lat	Min Gnt	Interrupt Pin		Interrupt Line		3Ch



Поля заголовка

- ✓ **Device ID** – идентификатор устройства, назначаемый производителем
- ✓ **Vendor ID** – идентификатор производителя, назначенный PCI SIG
- ✓ **Status** – регистр статуса
- ✓ **Command** – регистр управления
- ✓ **Revision ID** – версия продукта, назначенная производителем
- ✓ **Header Type** – тип заголовка, 7 бит - признак многофункционального устройства
- ✓ **Class Code** – код класса устройства

Поля заголовка

- ✓ **Base Address Register** – регистр для назначения базового адреса одного из пространств памяти или ввода-вывода устройства, также используется для определения размера требуемого адресного пространства.
- ✓ **Expansion ROM Base Address** - Адрес ПЗУ, расположенного на устройстве, с программой инициализирующей это устройство.
- ✓ **Capabilities pointer** – Указатель на односвязный список со специфическими возможностями PCI-устройства
 - MSI прерывания
 - MSI-X прерывания
 - PCI-Express



Автоматическая конфигурация устройств PCI

При включении питания системное ПО вычислительного ядра системы должно уметь определять наличие устройств, формировать карту их адресов и определять, есть ли у устройства ПЗУ с инициализационной программой для центрального процессора.



Поиск PCI устройств

В процессе поиска подключенных к шине устройств, системное ПО должно прочитать VendorID из каждого возможного PCI-устройства.

Хост-мост должен сообщать о попытках чтения из несуществующих устройств. Т.к. FFFFh не является валидным Vendor ID, можно возвращать хосту все 1 на любую транзакцию чтения из конфигурационного пространства отсутствующего устройства (транзакции к отсутствующим устройствам завершаются по Master-Abort)

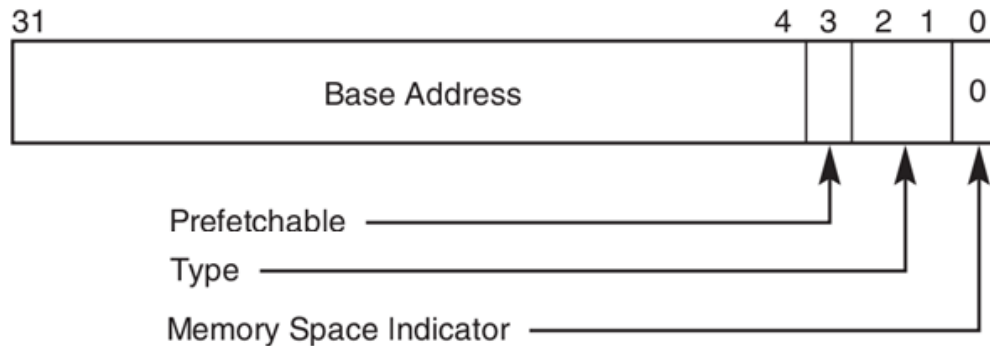
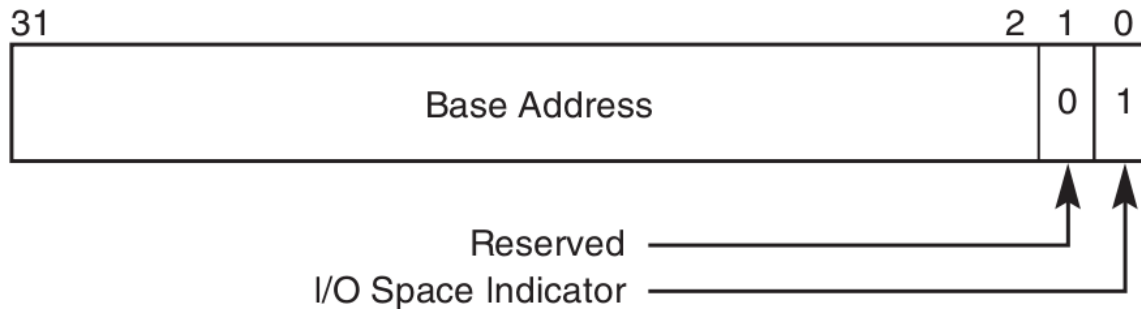
Базовые адреса

Одними из важнейших функций для просты конфигурирования PCI-устройств являются возможность определения размера адресного пространства, требуемого устройству, и возможность назначить ему базовые адреса, т.е. отобразить в адресное пространство центрального процессора.

Для этого в конфигурационном пространстве PCI выделены 6 32-разрядных регистра, называемые **Base Address Registers (BAR)**. Также они могут быть сконфигурированы как 3 64-разрядных регистра.

Base Address Register

Бит 0 в каждом **BAR** доступен только для чтения и используется, чтобы определить, какой из типов адресных пространств требуется для устройства: пространство памяти (0) или ввода-вывода (1).





Определение требований устройства

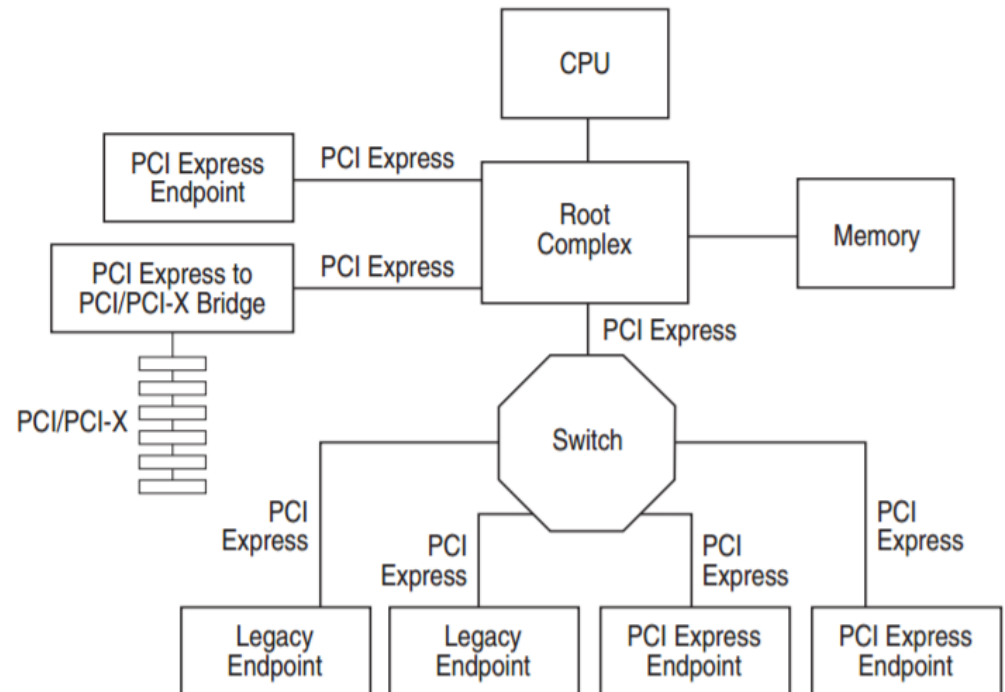
Размер памяти, требуемый для устройства, должен быть степенью двойки и определяется следующим образом:

Младшие биты регистра BAR жестко подтягиваются к «0», остальные биты остальные доступны для записи. Системное ПО после записи в BAR всех «1», читает его и определяет размер адресного пространства, требуемый для устройства, инвертируя считанное значение и прибавляя 1.

32-разрядный регистр может быть использован для запроса адресного пространства размером от 16 байт до 2 ГБ.

PCI Express (PCIe)

PCI Express, или PCIe, или PCI-E - компьютерная шина, использующая программную модель шины PCI и высокопроизводительный физический протокол, основанный на последовательной передаче данных.





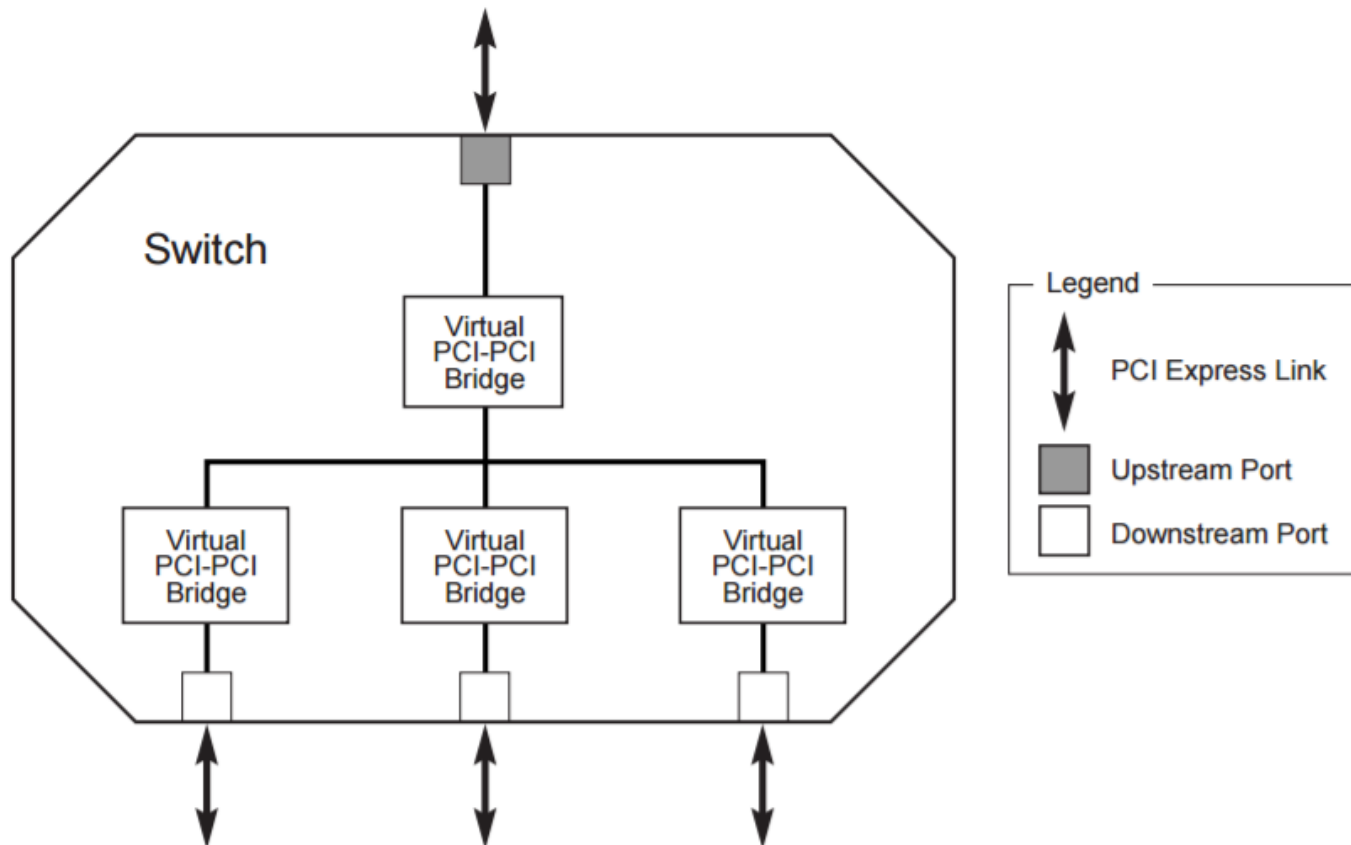
Отличия PCIe от PCI

В отличие от шины PCI, использовавшей для передачи данных общую шину, PCI Express, в общем случае, является пакетной сетью с топологией типа звезда, устройства PCI Express взаимодействуют между собой через среду, образованную коммутаторами, при этом каждое устройство напрямую связано соединением типа точка-точка с коммутатором.

Кроме того, шиной PCI Express поддерживается:

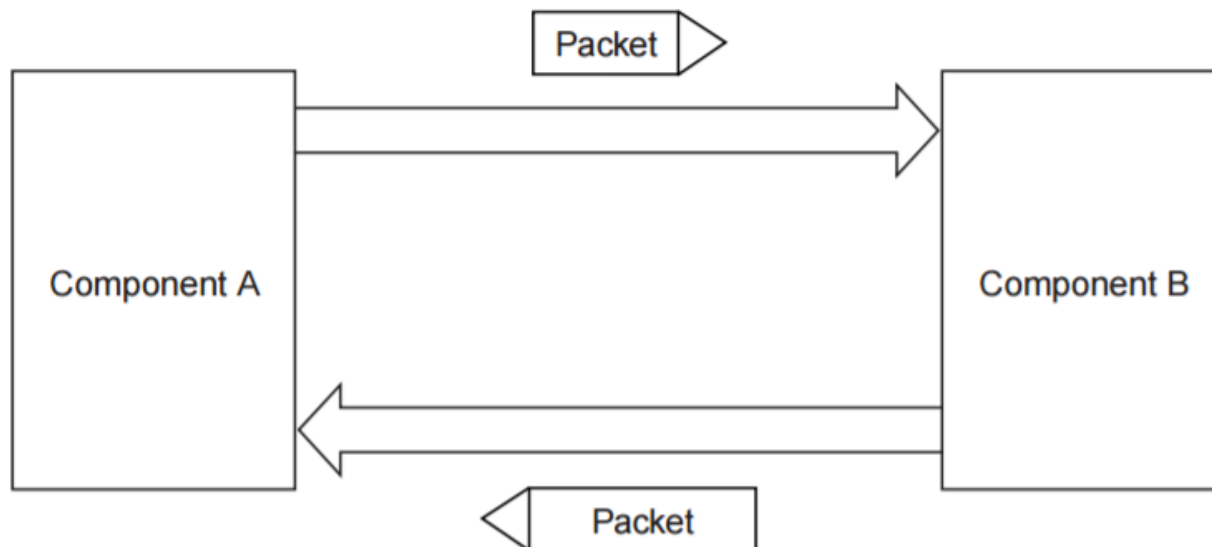
- ✓ Горячая замена карт
- ✓ Гарантированная полоса пропускания (QoS)
- ✓ Управление энергопотреблением
- ✓ Контроль целостности передаваемых данных

Устройство коммутатора PCIe



PCI Express (PCIe)

Для подключения устройства PCI Express используется двунаправленное последовательное соединение типа точка-точка, называемое **lane**, что отличает PCIe от PCI, в которой все устройства подключаются к общей параллельной двунаправленной шине.



PCI Express link

Соединение между двумя устройствами PCI Express называется **link**, и состоит из одного (называемого x1) или нескольких (x2, x4, x8, x12, x16 и x32) двунаправленных последовательных соединений lane. Каждое устройство должно поддерживать соединение x1. На электрическом уровне каждое соединение использует низковольтную дифференциальную передачу сигнала (**LVDS**), прием и передача информации производится каждым устройством PCI Express по отдельным двум проводникам, таким образом, в простейшем случае, устройство подключается к коммутатору PCI Express всего лишь четырьмя проводниками.



Кодирование

Во всех высокоскоростных последовательных протоколах (например, гигабитный Ethernet) информация о синхронизации должна быть встроена в передаваемый сигнал. На физическом уровне, PCI Express использует метод канального кодирования 8B/10B (8 бит в 10-и, избыточность 20%) для устранения постоянной составляющей в передаваемом сигнале и для встраивания информации о синхронизации в поток данных. В PCI Express 3.0 используется более экономное кодирование 128b/130b с избыточностью 1,5%.



Обзор интерфейса USB

USB (Universal Serial Bus) — универсальная последовательная шина: является промышленным стандартом расширения архитектуры PC, ориентированным на интеграцию с телефонией и устройствами бытовой электроники.

Число устройств: до 127

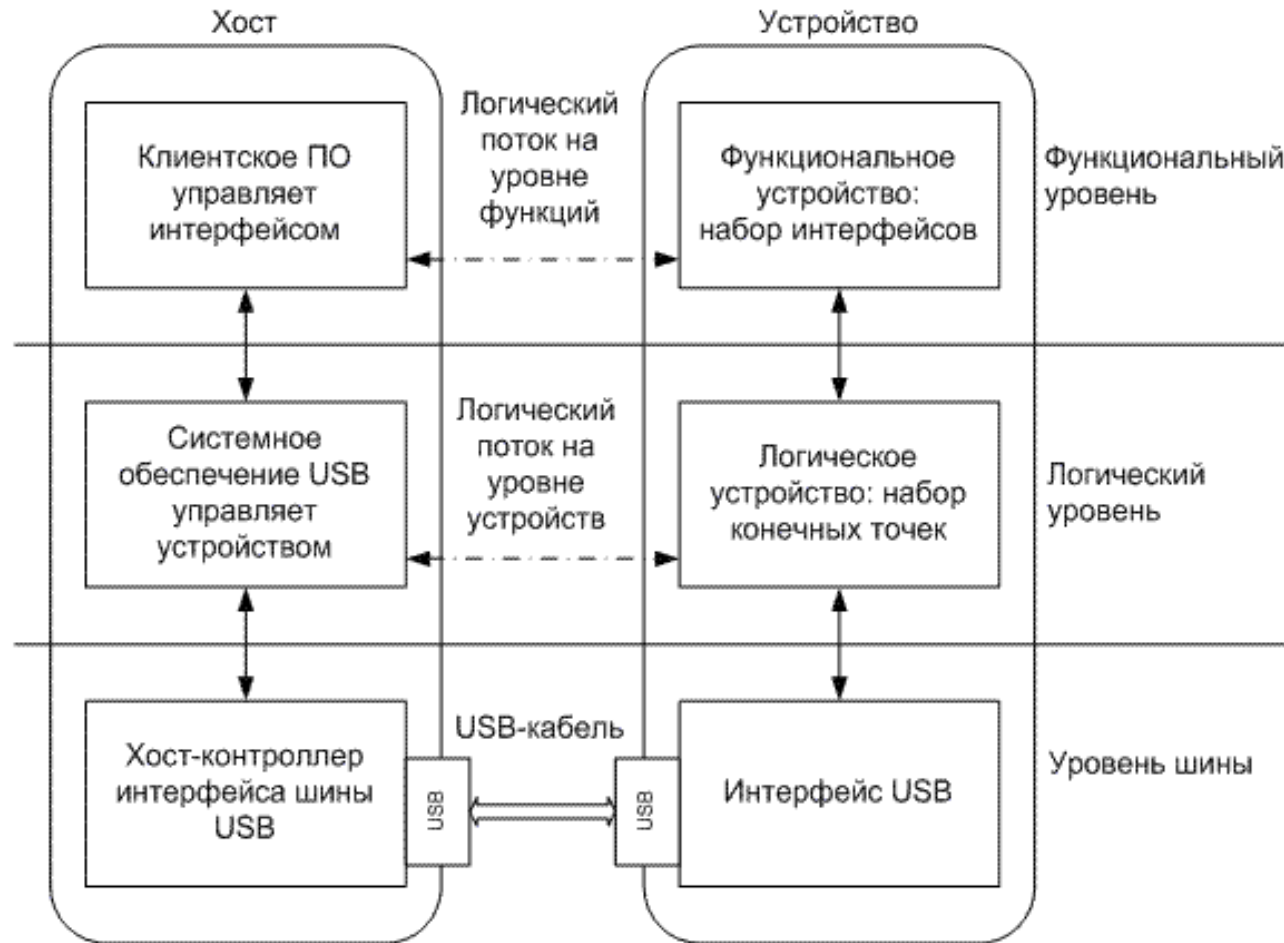
Пропускная способность: до 5 Гбайт/сек



Физический уровень USB

Стандарт USB определяет электрические и механические спецификации шины. Информационные сигналы и питающее напряжение 5 В передаются по четырехпроводному кабелю. Используется дифференциальный способ передачи сигналов D+ и D- по двум проводам. Уровни сигналов передатчиков в статическом режиме должны быть ниже 0,3 В (низкий уровень) или выше 2,8 В (высокий уровень). Приемники выдерживают входное напряжение в пределах - 0,5...+3,8 В. Передатчики должны уметь переходить в высокоимпедансное состояние для двунаправленной полудуплексной передачи по одной паре проводов.

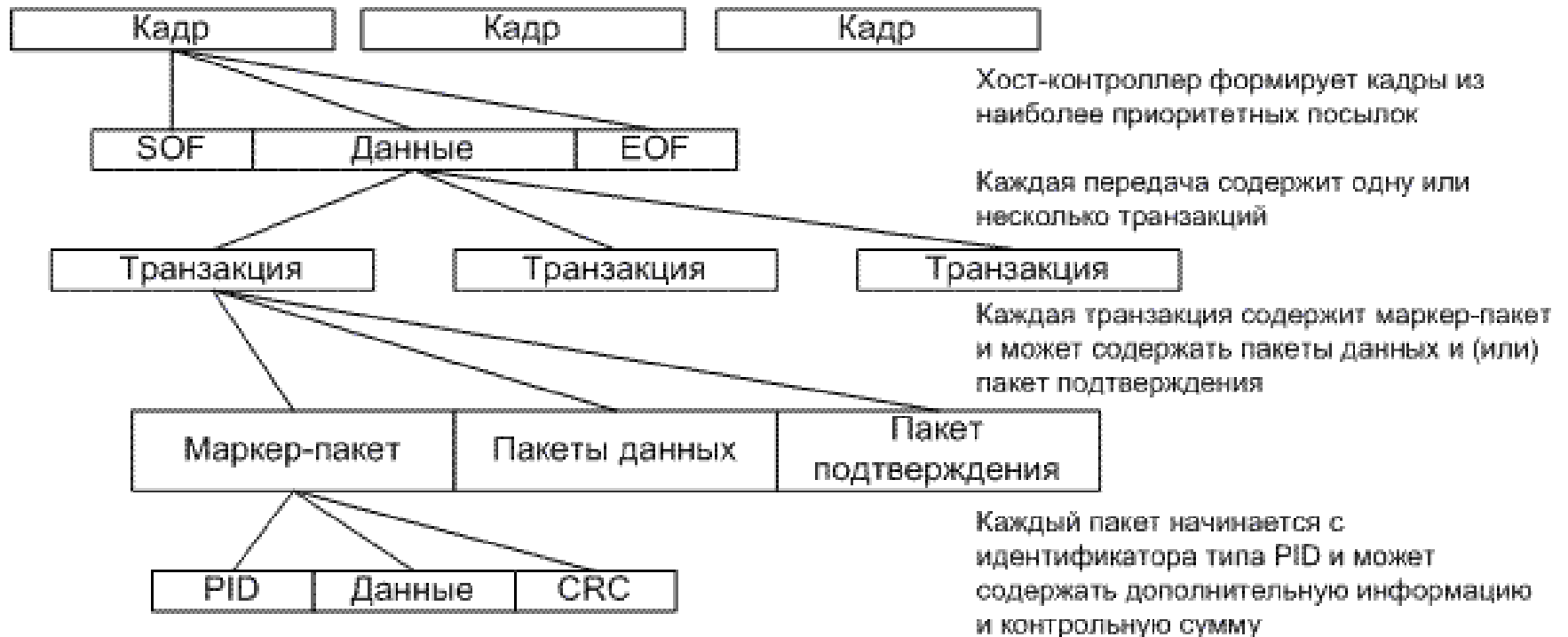
Стек протоколов интерфейса USB



Уровни передачи данных



Формат информационных посылок





Типы сообщений USB

Спецификация шины определяет четыре различных типа передачи (transfer type) данных для конечных точек:

- *управляющие передачи (Control Transfers)*
- *передачи массивов данных (Bulk Data Transfers)*
- *передачи по прерываниям (Interrupt Transfers)*

Стандарт USB 2.0

- Спецификация выпущена в апреле 2000 года.
- USB 2.0 отличается от USB 1.1 введением режима *High-speed*
- Для устройств USB 2.0 регламентировано три режима работы:
- *Low-speed*, 10—1500 Кбит/с (клавиатуры, мыши, джойстики, геймпады)
- *Full-speed*, 0,5—12 Мбит/с (аудио-, видеоустройства)
- *High-speed*, 25—480 Мбит/с (видеоустройства, устройства хранения информации)

Стандарт USB 3.0

- 31 июля 2013 года Promoter Group объявила о принятии спецификации следующего интерфейса, USB 3.1, скорость передачи которого может достигать 10 Гбит/с. Разъём USB 3.1 Type-C является симметричным, позволяя вставлять кабель любой стороной
- В USB 3.1 входит два стандарта :
- SuperSpeed USB (USB 3.1 Gen 1) со скоростью до 5 гбит/с
- SuperSpeed USB 10Gbps (USB 3.1 Gen 2) со скоростью до 10 гбит/с



УНИВЕРСИТЕТ ИТМО

Спасибо за внимание!

<http://embedded.ifmo.ru>
sergei_bykovskii@corp.ifmo.ru