САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ

*Кафедра Вычислительной техники*

*Цифровая схемотехника*

**Лабораторная работа №1**

*«Введение в проектирование и*

*анализ цифровых схем»*

Вариант 3

Выполнил:

студент II курса группы 2125

Припадчев Артём

Проверит:

Попов Р.И.

Санкт-Петербург

2014

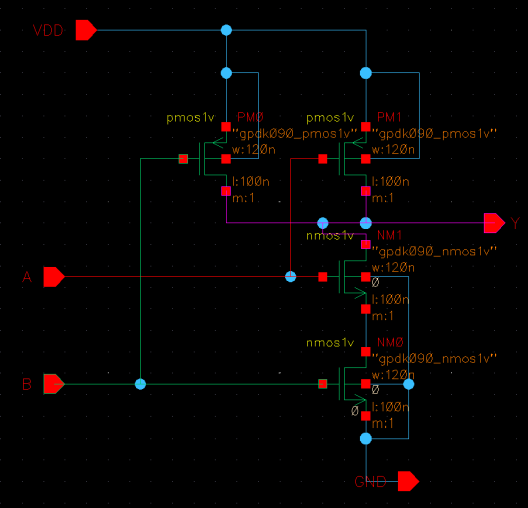
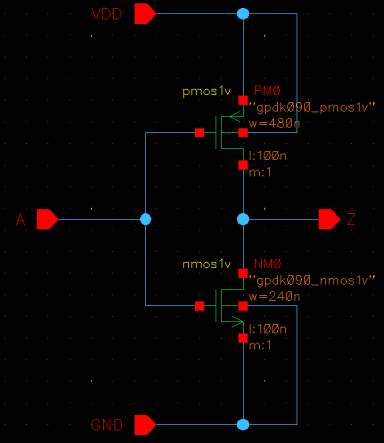
**Цель работы:**

* Получение базовых знаний о технологии КМОП
* Знакомство с основными параметрами цифровых вентилей

**Содержание**



**Исследуемые схемы**



Инвертор И-НЕ

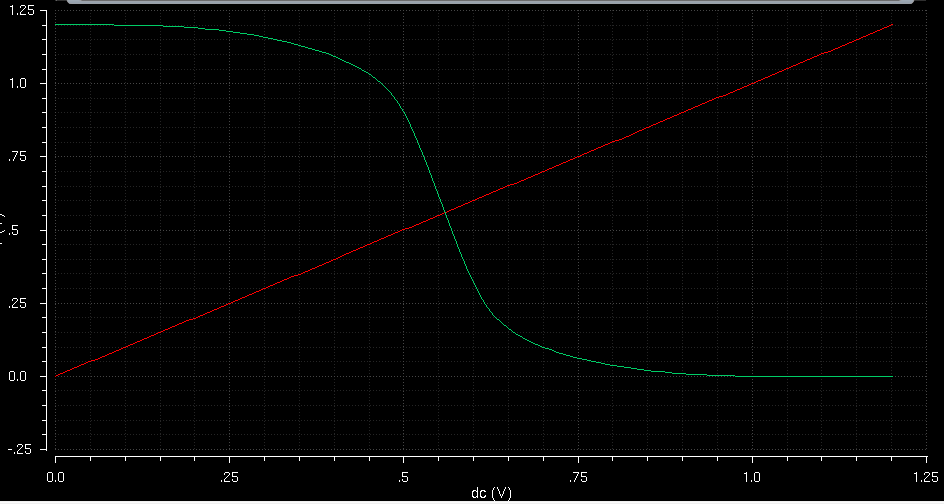
**Ход работы**

Тестирование КМОП инвертора



Временная диаграмма результатов тестирования

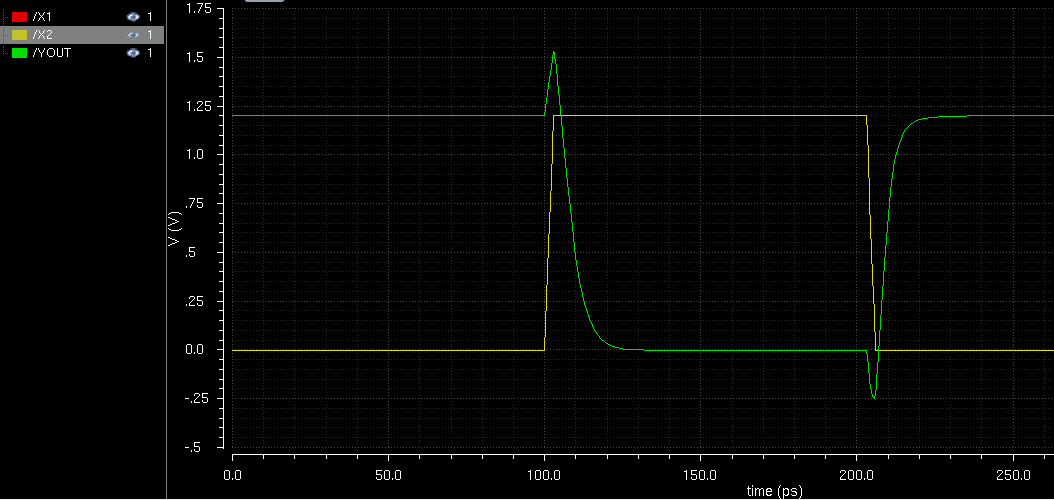
Задержка распространения сигнала ~10ps



Результаты моделирования переходной характеристики

Порог переключения инвертора ~0.6V

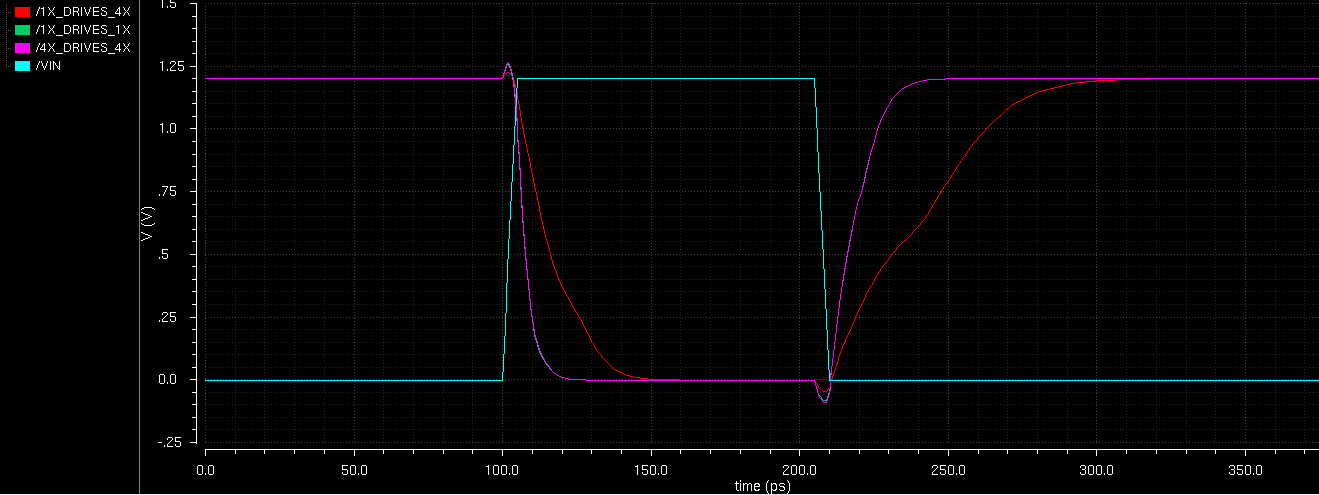
Тестирование работы вентиля И-НЕ



Временная диаграмма результатов тестирования

Задержка распространения сигнала ~20ps

Измерение влияния размера вентиля на его параметры



Временная диаграмма результатов тестирования

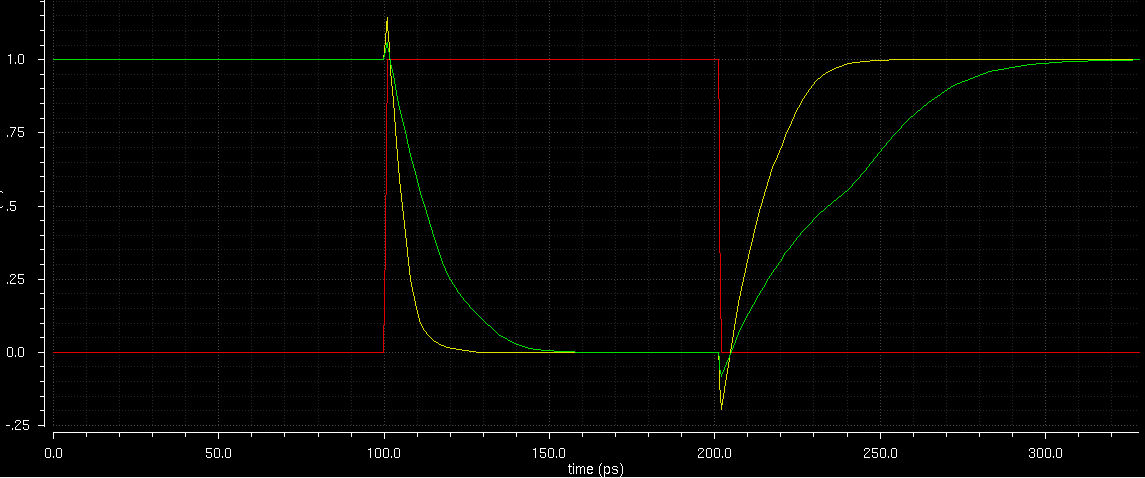
Задержка распространения сигнала:

Из «0» в «1»: 1X\_4X ~ 90ps; 1X\_1X = 4X\_4X ~ 30ps

Из «1» в «0»: 1X\_4X ~ 45ps; 1X\_1X = 4X\_4X ~ 20ps

Измерение влияния коэффициента разветвления

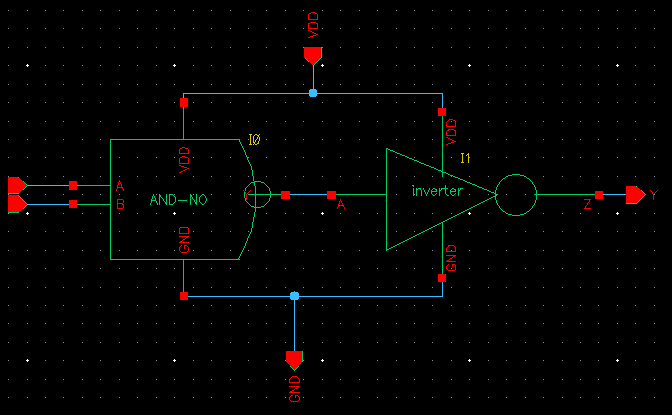
по выходу на задержку распространения сигнала



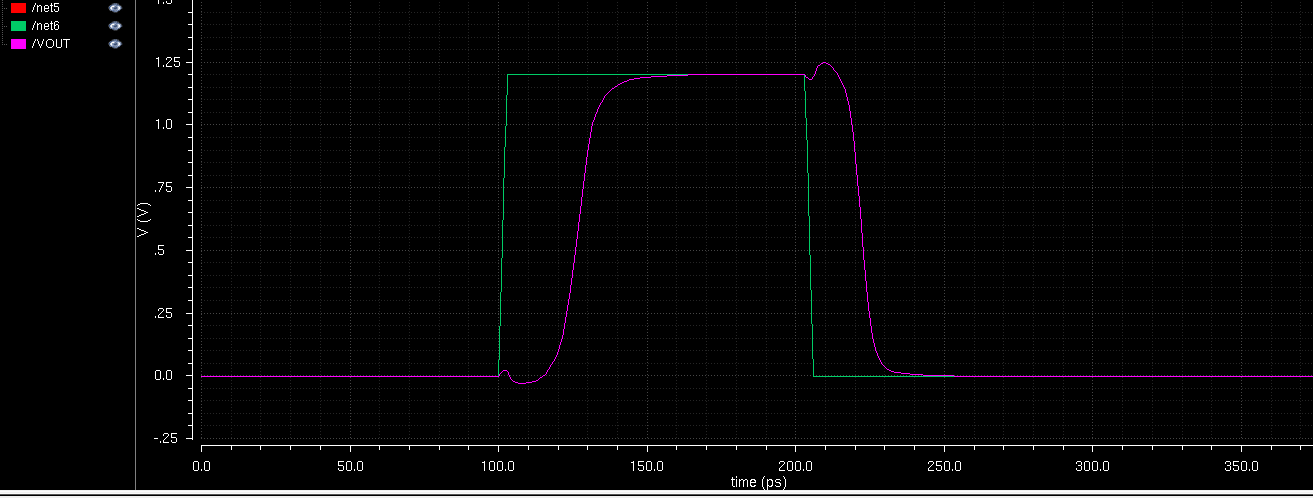
Временная диаграмма результатов тестирования

Задержка распространения сигнала: 1\_1 ~ 40ps; 1\_4 ~ 100ps

Построение схемы логического вентиля AND



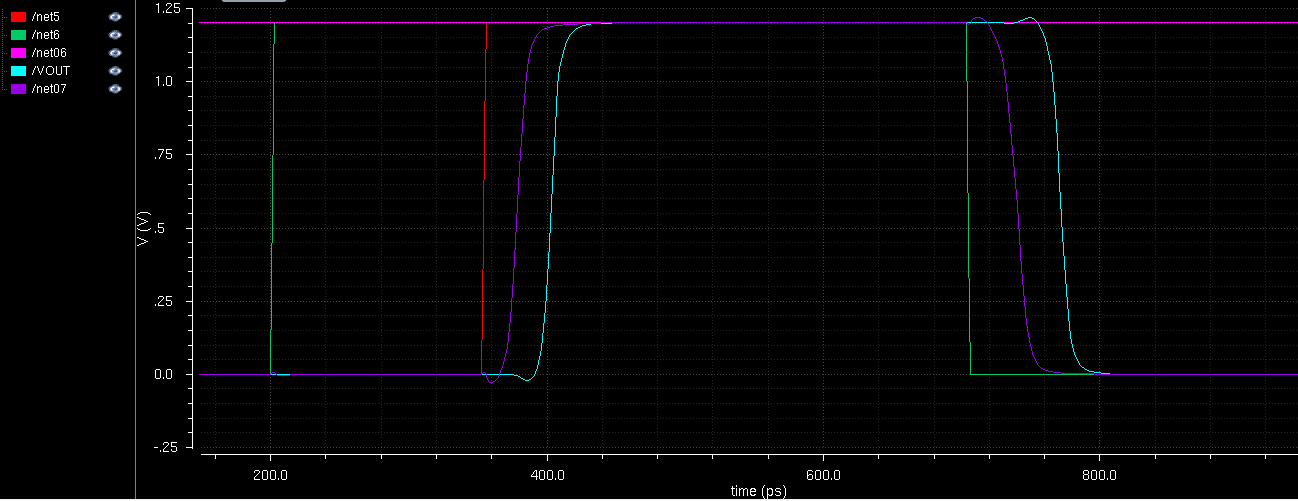
Тестирование логического вентиля AND



Временная диаграмма результатов тестирования

Задержка распространения сигнала ~30ps

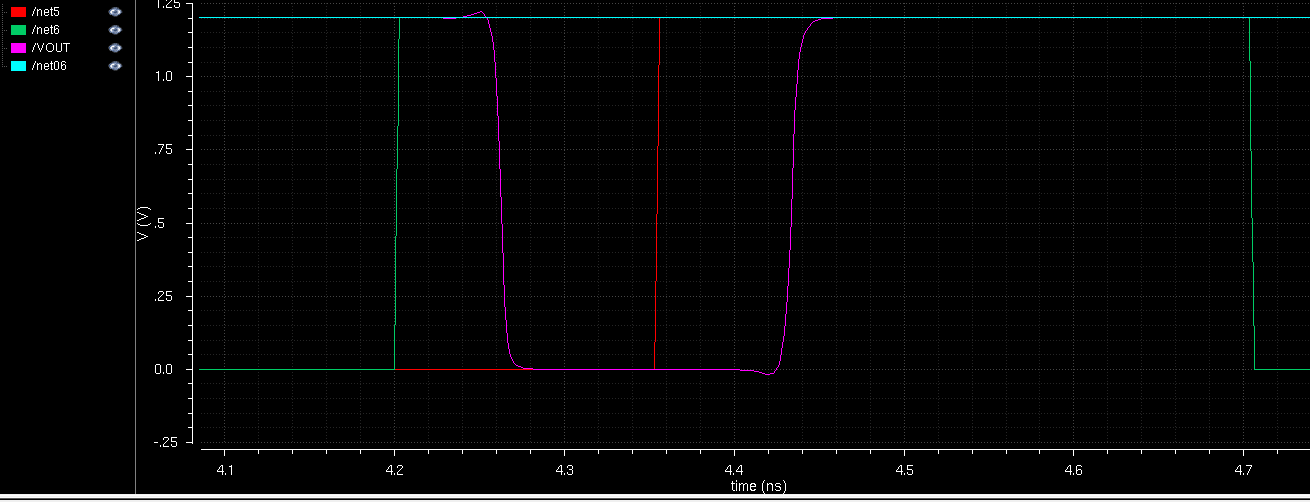
Y1 = X1 ∧ X2 ∧ X3



Временная диаграмма результатов тестирования

Задержка распространения сигнала: AND1 ~ 30ps AND2 ~50ps

Y1 = !(!X1 ∧ X2 ∧ X3)



Временная диаграмма результатов тестирования

Задержка распространения сигнала: 80ps

**Вывод**

Задержка распространения сигнала, которая характеризует быстродействие схемы и представляет собой время задержки выходного сигнала относительного сигнала на входе, присутствует в интегральных схемах всегда. Основными факторами, определяющими задержку распространения сигнала через схему, являются емкости переходов транзисторов и диодов, паразитные емкости между компонентами интегральной схемы и подложкой, а также инерционность процесса переключения диодов и транзисторов, обусловленная процессами накопления и рассасывания заряда в их структурах.

При прохождении сигнала последовательно через несколько логических элементов, времена задержки складываются. Чем больше каскадов сигнал проходит, тем соответственно задержка выше.

Задержка распространения сигнала через инвертор, имеющий один каскад составила 10ps. В то же время, задержка через вентиль И-НЕ, имеющий в своём составе большее кол-во каскадов, составила 20ps.

При исследовании влияния размера вентиля на его параметры было определено, что задержка распространения сигнала через вентиль размера 1X, управляющего вентилем 4X, больше, чем задержка при прохождении вентилей одинаковых размеров. Это обуславливается мощностью выходного сигнала вентиля, т.к. емкость (и соответственно величина заряда, необходимого для переключения состояния схемы) вентиля размера 4X будет больше, чем у вентиля 1X.

Величина коэффициента разветвления оказывает прямую зависимость на задержку распространения сигнала, что также обуславливается необходимым количеством заряда, необходимого для переключения состояния схемы.

Также в процессе выполнения работы была построена схема логического вентиля AND. В процессе ее исследования был также подтвержден тот факт, что большее количество пройденных сигналом каскадов увеличивает задержку распространения сигнала. И несмотря на то, что это время не велико для одного элемента, для схемы, в которой может быть огромное количество различных элементов, задержка распространения уже может быть существенной.