

## Лабораторная работа №4. Пример выполнения обязательных пунктов задания.

Тип ячейки памяти	Структура, способ доступа	Размер
пример 6Т	2D, адресный	8 x 2 бита

Данный документ не поясняет принципов работы памяти, а служит практическим примером проектирования и моделирования памяти в custom designer/ hspice.

Перед выполнением работы необходимо прочитать главу 12 в Ж. Рабаи “Цифровые интегральные схемы. Методология проектирования”, в частности с. 792 — 798.

Для выполнения работы нам потребуются несколько вентилях и D-триггер, построенные в лабораторных работах 1-3. Для большинства вентилях выводы питания и земли подключены внутри схемы (т. е. не отображены на символе), что упрощает их использование в других схемах. (Однако это делает невозможным использование схемы для LVS верификации топологии)

### 1. Инвертор (JP1):

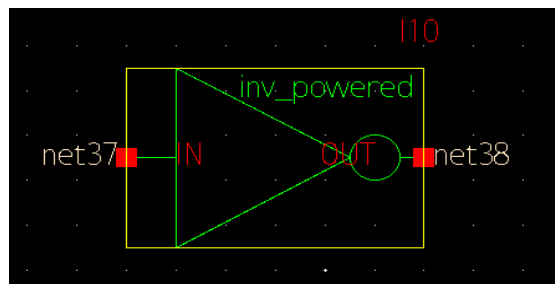


Рисунок 1: Инвертор, символ

### 2. И-НЕ (JP2):

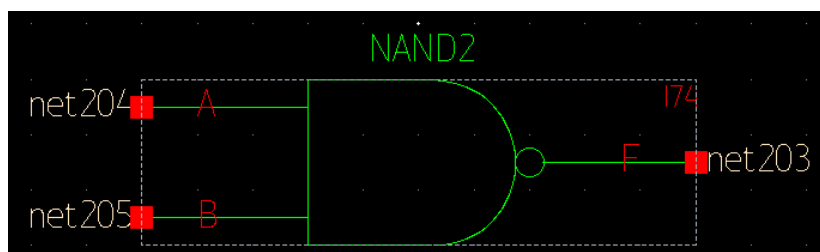


Рисунок 2: И-НЕ, символ

### 3. И с 3мя инверсными входами, эквивалентный элементу ИЛИ-НЕ (JP2)

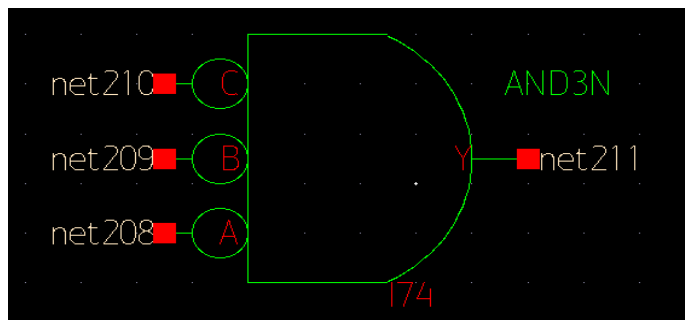


Рисунок 3: И-НЕ, 3 инверсных входа, символ

4. Выход с тремя состояниями с инверсным входом (JP1):

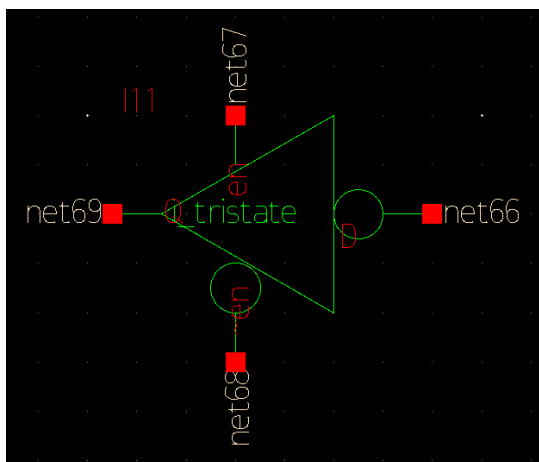


Рисунок 4: Тристабильный буфер, символ

5. Синхронный D-триггер:

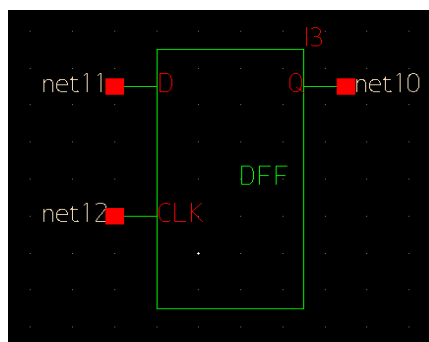


Рисунок 5: D-триггер, символ

Схема D-триггера на двух статических защелках (Master-Slave):

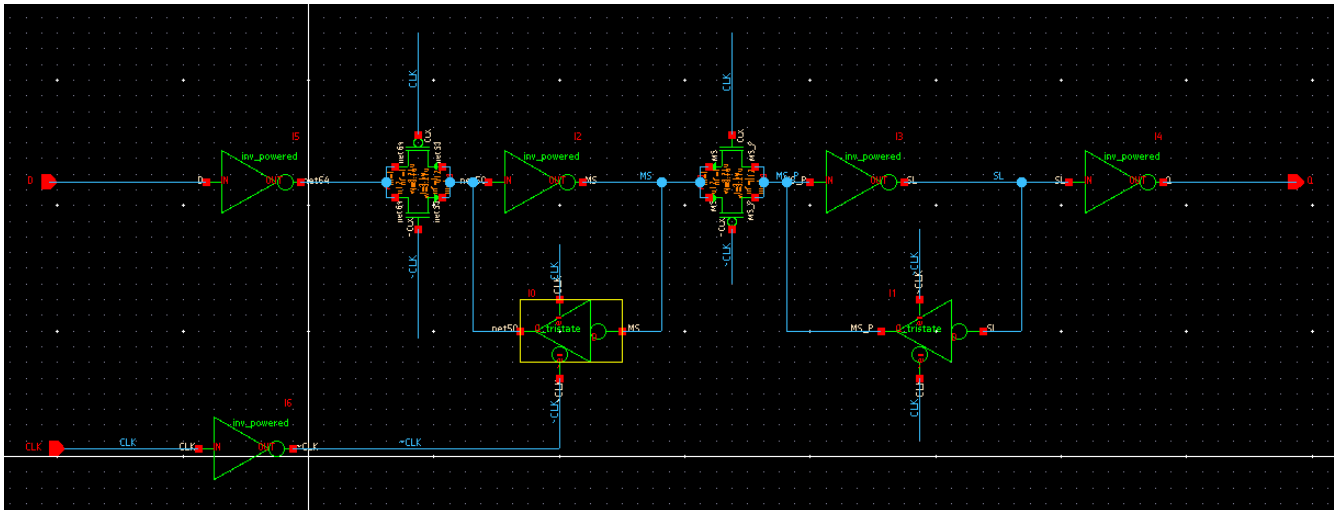


Рисунок 6: D-триггер, принципиальная схема

- 1) Начнем выполнение работы с построения схемы ячейки памяти.

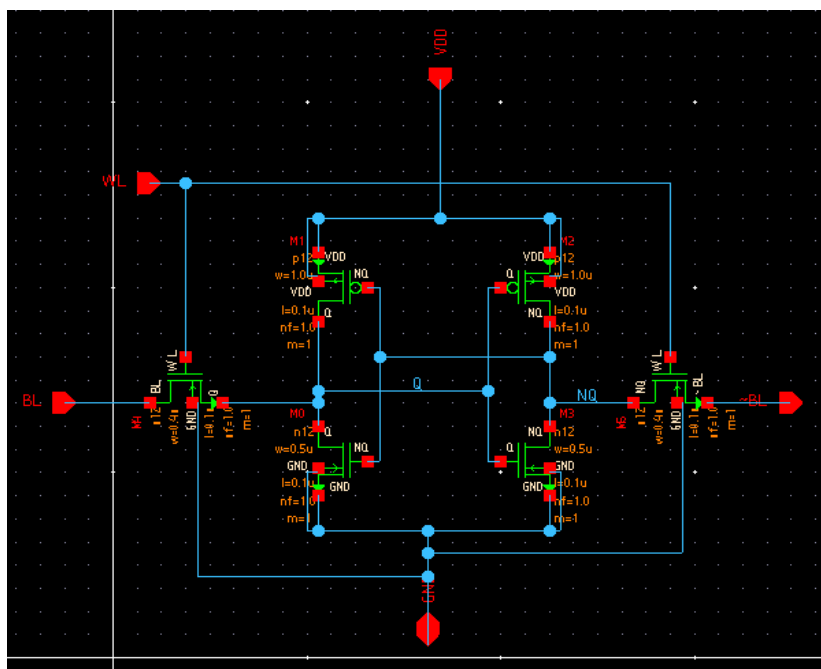


Рисунок 7: Статическая ячейка памяти 6Т

Для полученной схемы создадим символ - **6t\_cell**.

- 2) Построим схемы тестового окружения для проверки операций чтения и записи из ячейки памяти. Для тестирования цикла чтения построим следующую схему:

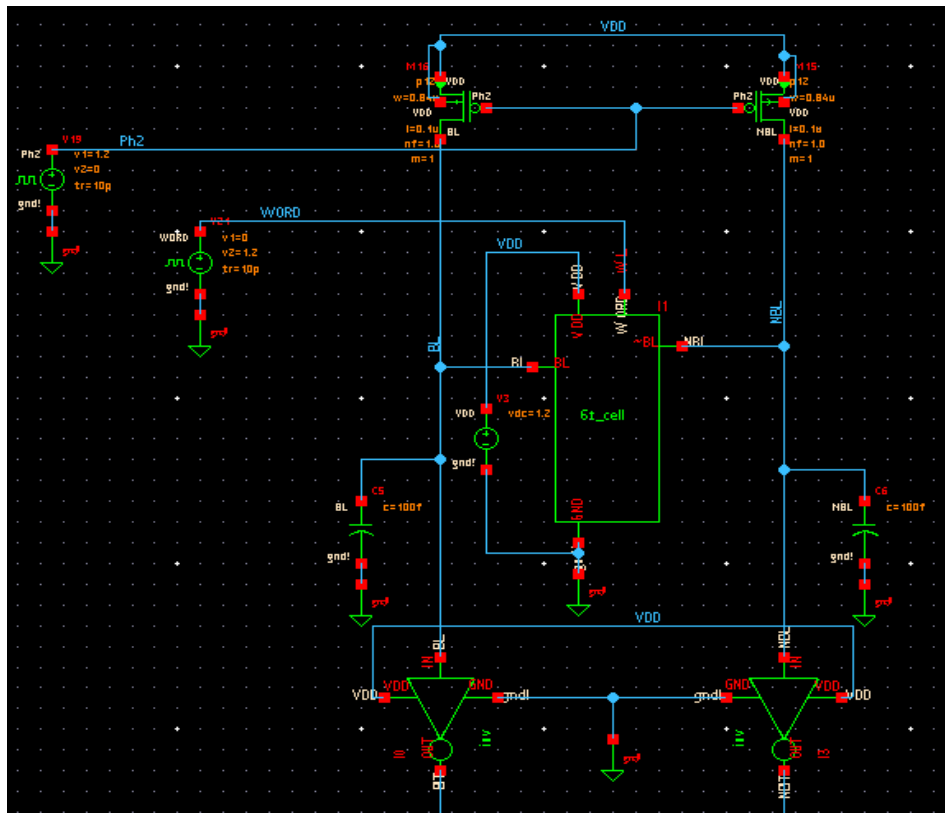


Рисунок 8: Модель SRAM памяти, процесс чтения

Память состоит из множества ячеек подключенных к общей шине считывания/записи (*bitline*). Для моделирования работы ячейки памяти в “реальных” условиях, на схему добавлена дополнительная емкостная нагрузка 100фФ, имитирующая емкость входов других ячеек и емкость проводов. Данная нагрузка ограничивает быстродействие памяти.

Цикл чтения состоит из двух фаз:

- На подготовительной фазе (Сигнал Ph2) линии BL и NBL заряжаются до напряжения VDD, с помощью двух pmos транзисторов:

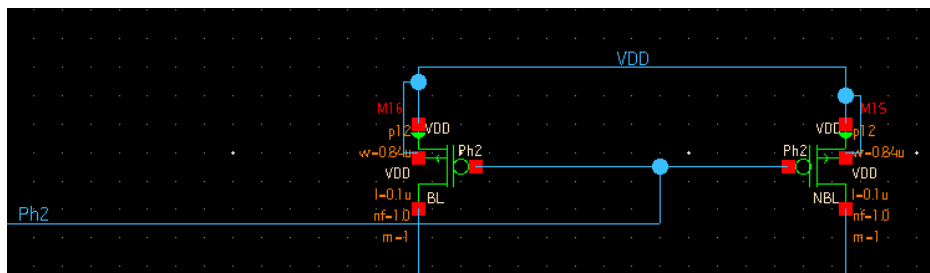


Рисунок 9: pmos-транзисторы, заряжающие разрядные шины

- На фазе считывания по сигналу WORD (на схеме ячейки памяти этот сигнал называется WL) открываются два проходных транзистора. В зависимости от хранимого в ячейке значения, одна из линий BL или NBL будет разряжена через два pmos транзистора внутри ячейки.

3) Проведем симуляцию процесса чтения.

Предварительно установим начальные значения напряжений внутри ячейки памяти, чтобы ячейка находилась в известном нам состоянии перед операцией чтения.

Для этого воспользуемся настройками convergence aids (SAE: Setup -> Convergence Aids)

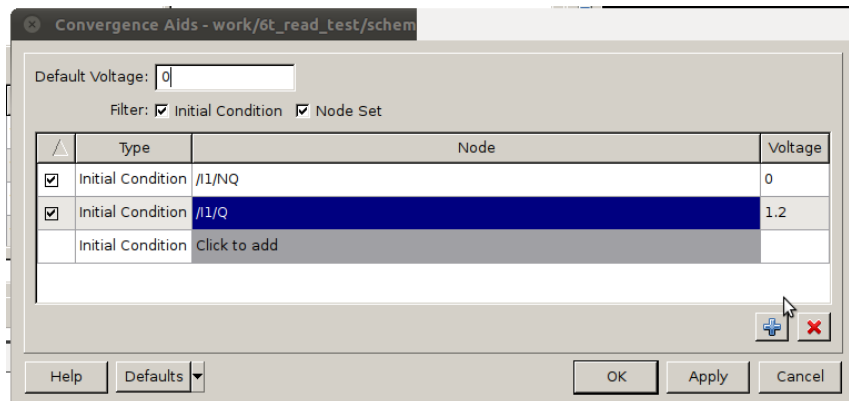


Рисунок 10: Настройки начальных условий, SAE

Далее показаны результаты симуляции:

0-2 нс : Q = 1, NQ = 0; Линии BL, NBL разряжены

2-4 нс : Сигнал Ph2 устанавливается в 0, тем самым открываются два pmos транзистора (рис. 9), заряжающие разрядную шину.

4-6 нс: Устанавливается сигнал WORD. Линия NBL разряжается через ячейку памяти (цепь ~BL → NQ → GND). На выходах инверторов BIT и NBIT устанавливаются считанные значения.

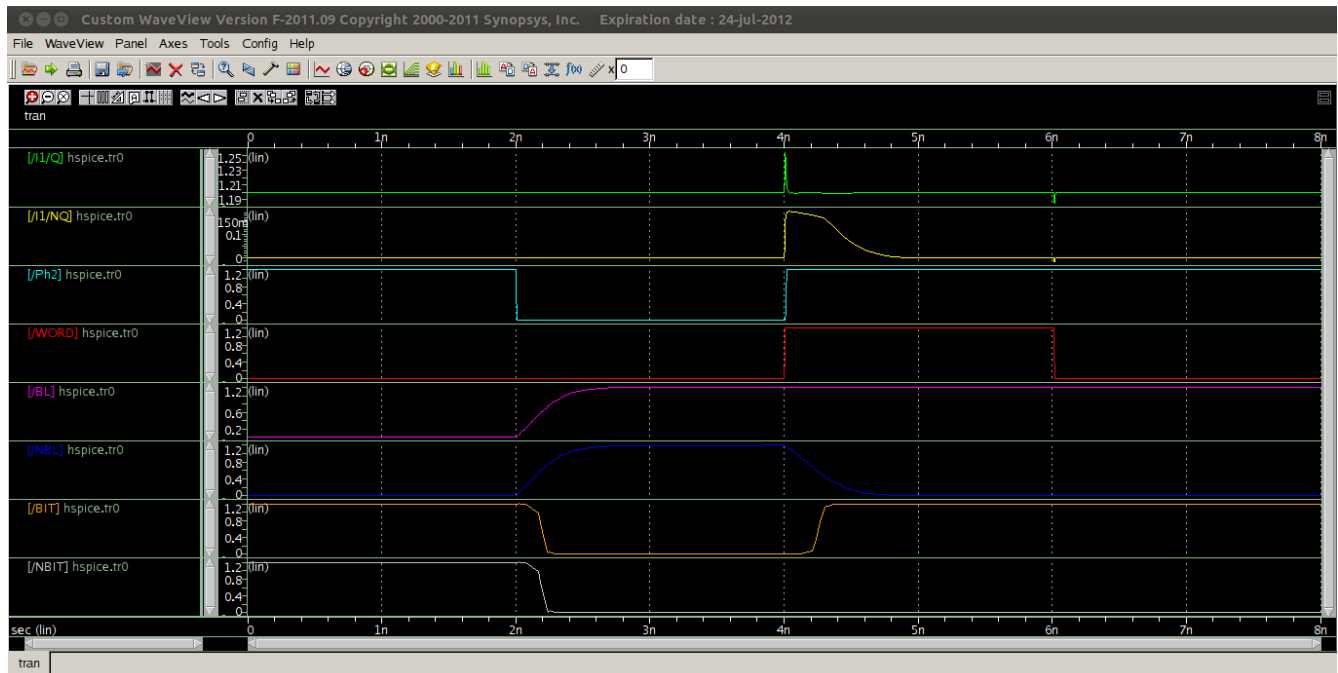


Рисунок 11: Чтение из ячейки памяти

4) Добавим к нашей тестовой схеме драйвер записи, состоящий из pmos-транзистора, подключающего разрядную шину к земле, и управляющей логики. На рисунке показан драйвер для шины NBL. Такая же схема подключается к шине BL (с одним исключением,

сигнал DATA не инвертируется)

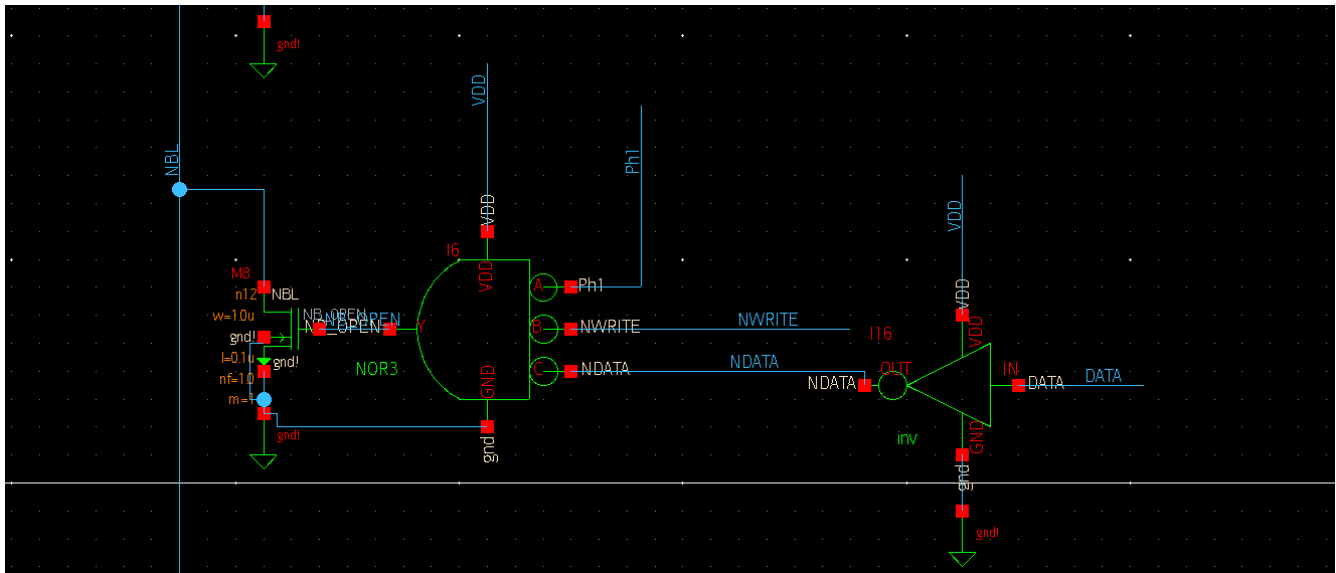


Рисунок 12: Драйвер записи

5) Проведем симуляцию процесса записи:

0-2 нс:  $Q = 1$ ,  $NQ = 0$ , разрядные шины BL и NBL разряжены

2-4 нс: Разрядные шины заряжаются до Vdd

4-6 нс: Открывается pmos транзистор драйвера записи на шине BL (рис. 12), начинается разрядка шины BL. Одновременно с этим устанавливается сигнал WORD, подключающий ячейку памяти к разрядным шинам. Начинается разрядка шины NBL через выход NQ ячейки памяти.

Так как шина BL разряжается через более мощный транзистор драйвера записи (в сравнении с транзисторами ячейки памяти) происходит переключение ячейки в противоположное состояние. Разрядка шины NBL прекращается.

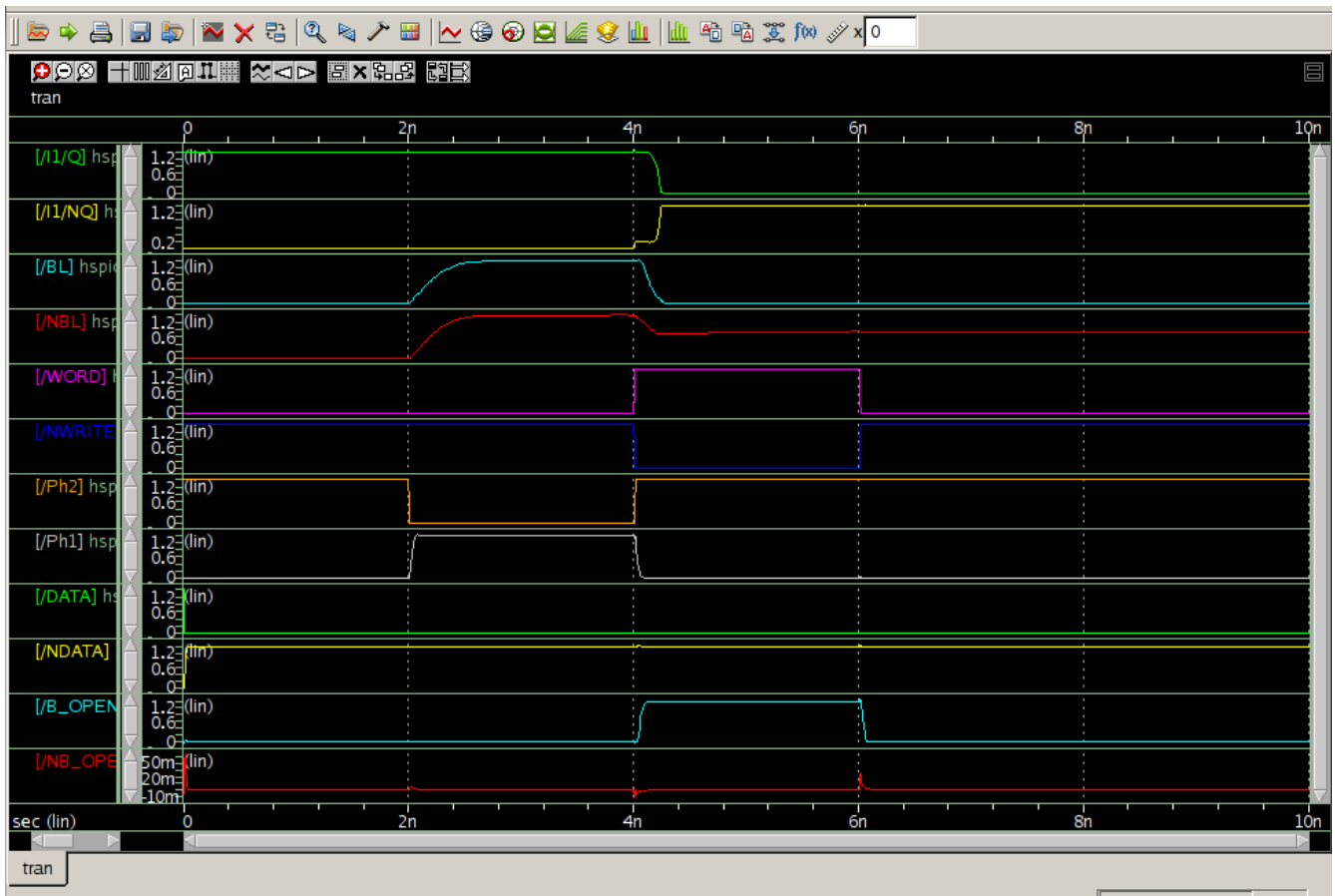


Рисунок 13: Цикл записи в ячейку памяти

- 6) Завершив разработку схем чтения и записи можно перейти к созданию массива ячеек 8x2.

Временно отвлечемся от этого процесса и сначала построим схему 3-х разрядного двоичного счетчика, который будем использовать для тестирования схемы памяти (управления адресными входами).

Счетчик состоит из 3-х разрядного регистра и 3-х разрядного сумматора.

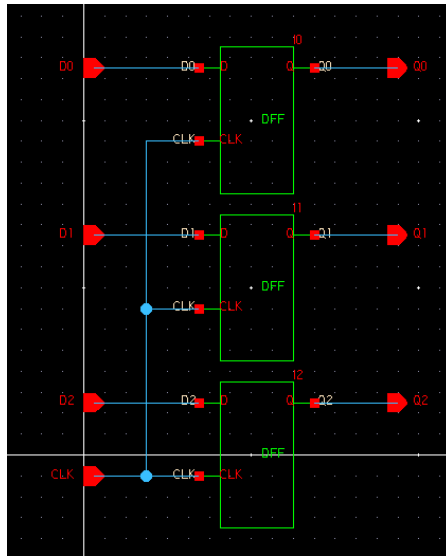


Рисунок 14: 3-х разрядный регистр

Схему 3-х разрядного сумматора построим на основе зеркального сумматора [Рабаи, с. 684]

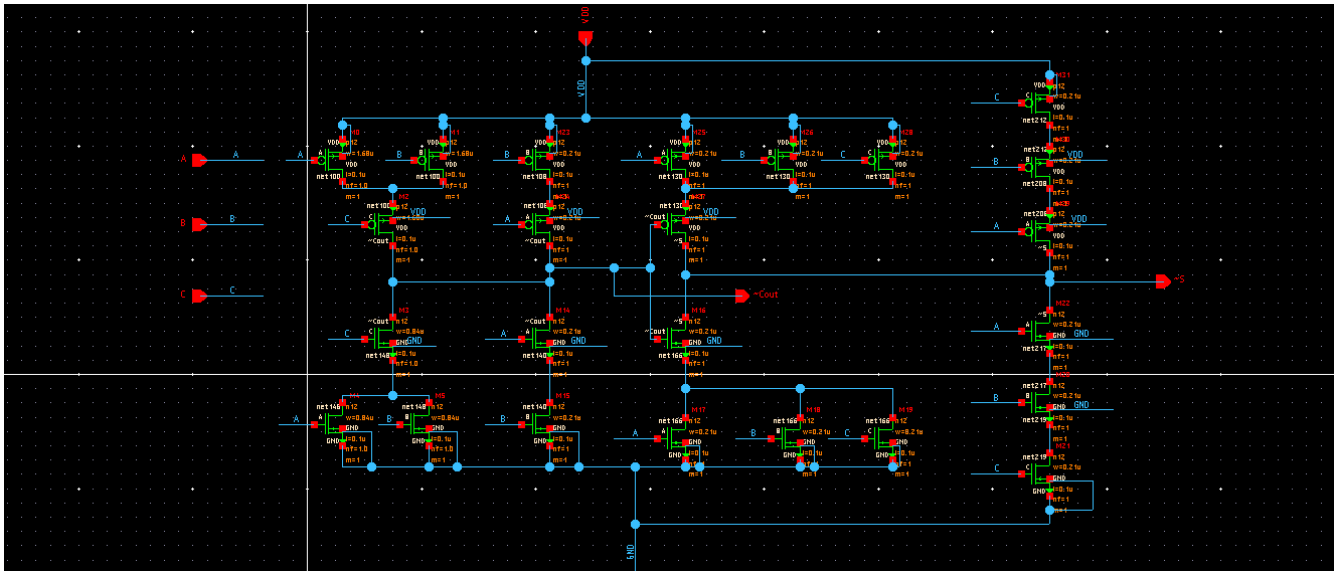


Рисунок 15: Зеркальный сумматор (Полный сумматор с инверсными выходами)



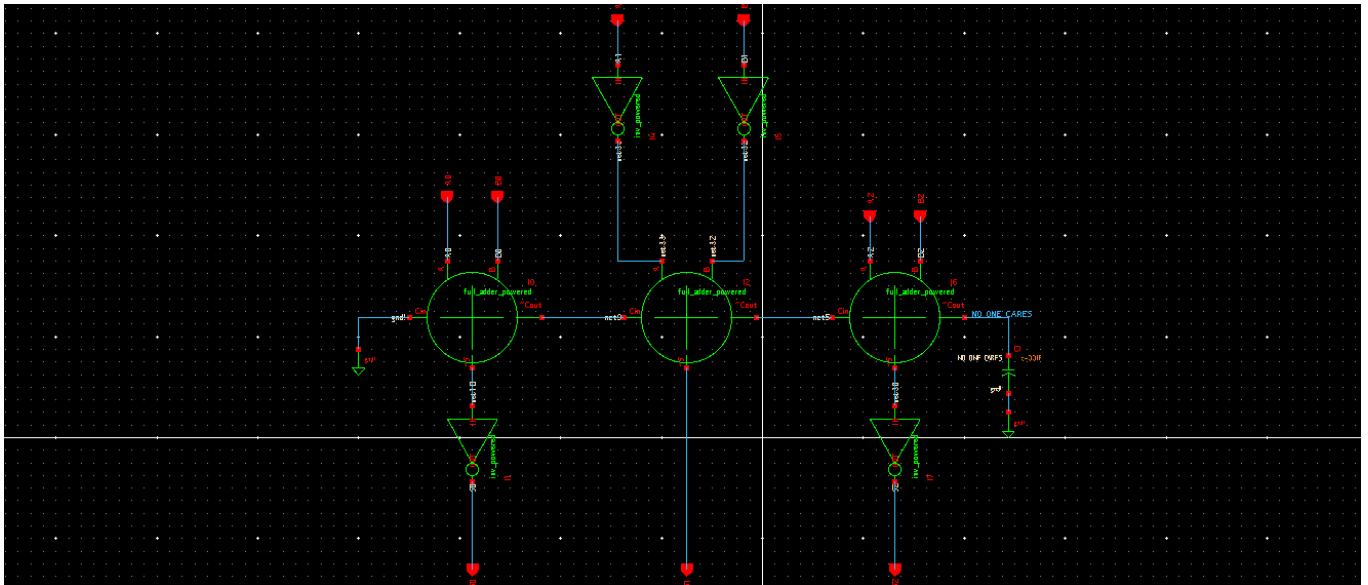


Рисунок 16: 3-х разрядный сумматор

На основе регистра и сумматора построим схему счетчика с синхронным сбросом:

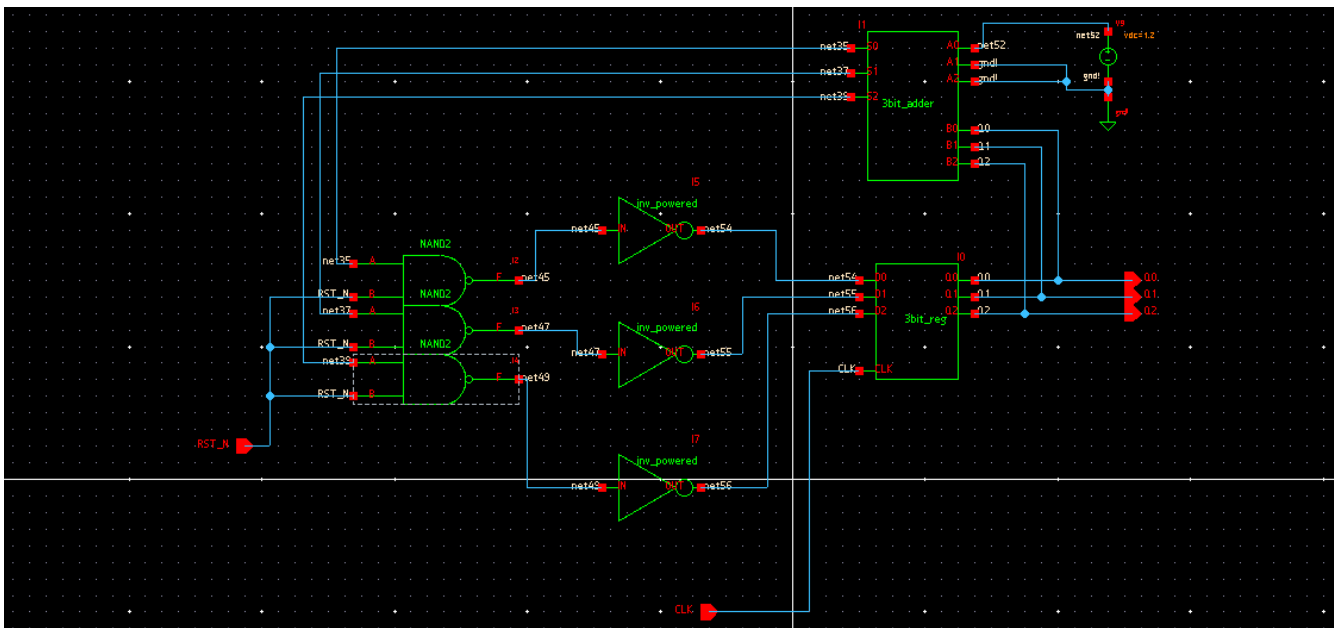


Рисунок 17: 3-х разрядный счетчик с синхронным сбросом

На один из входов сумматора все время подается 1. Таким образом, по каждом такте в регистр записывается значение  $3bit\_reg = 3bit\_reg + 1$ ;

7) Проверим функциональность счетчика с помощью симуляции:

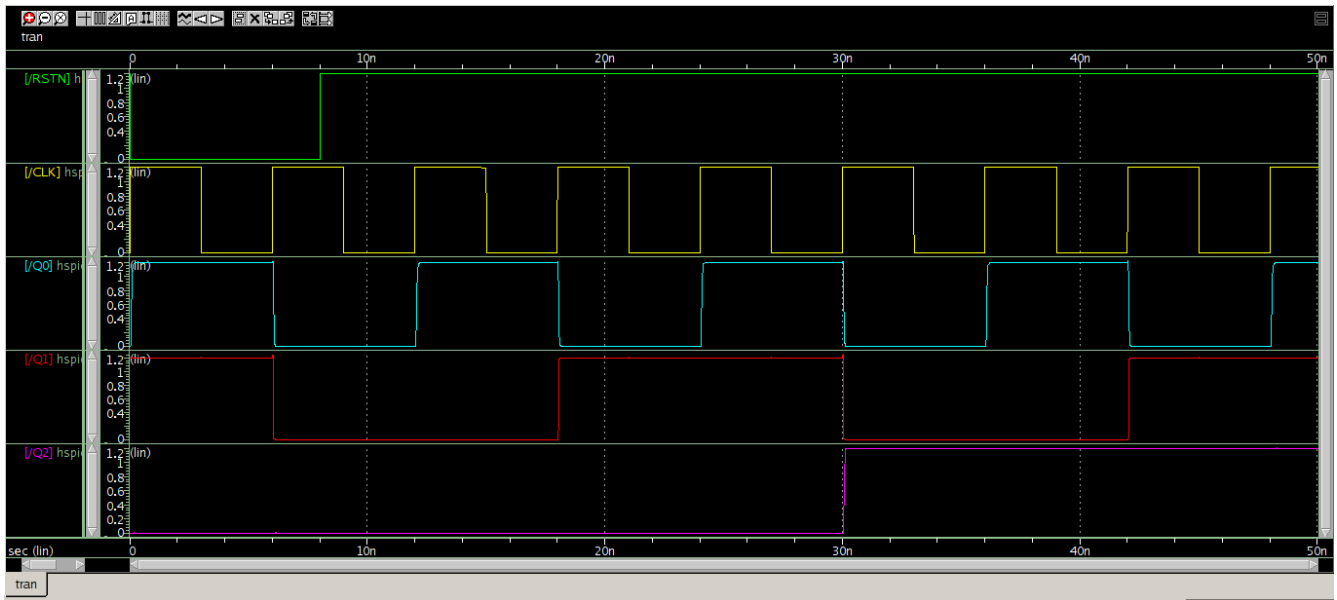


Рисунок 18: Временная диаграмма работы двоичного счетчика

- 8) Далее построим и верифицируем дешифратор адреса, который будет использоваться для выбора слова данных из памяти (Сигнал WORD)

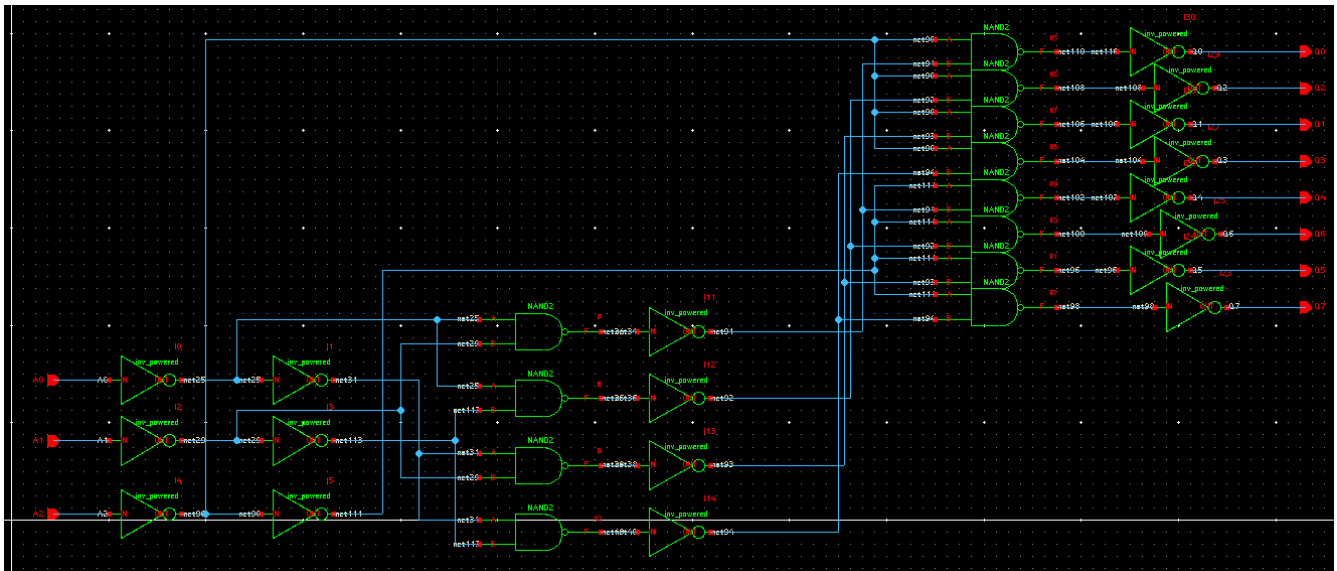


Рисунок 19: Дешифратор 3 в 8

Для генерации тестовых векторов на входе дешифратора используем построенную ранее схему счетчика:

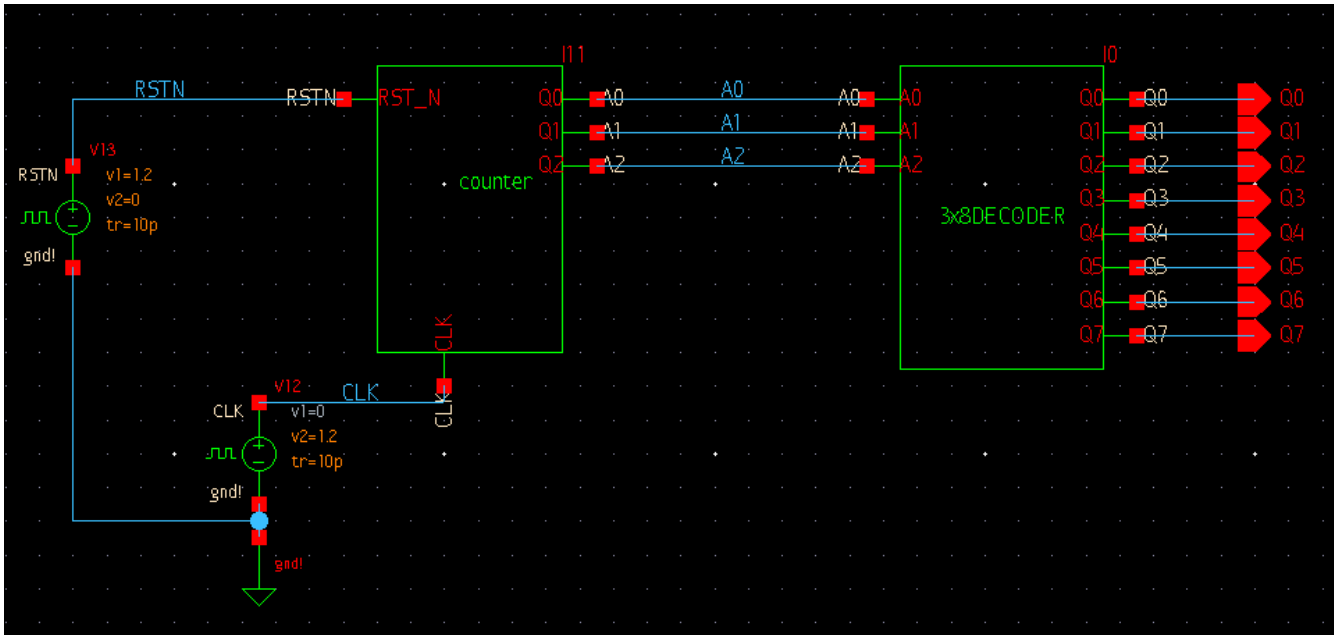


Рисунок 20: Схема тестирования дешифратора

В результате симуляции получим следующую временную диаграмму:

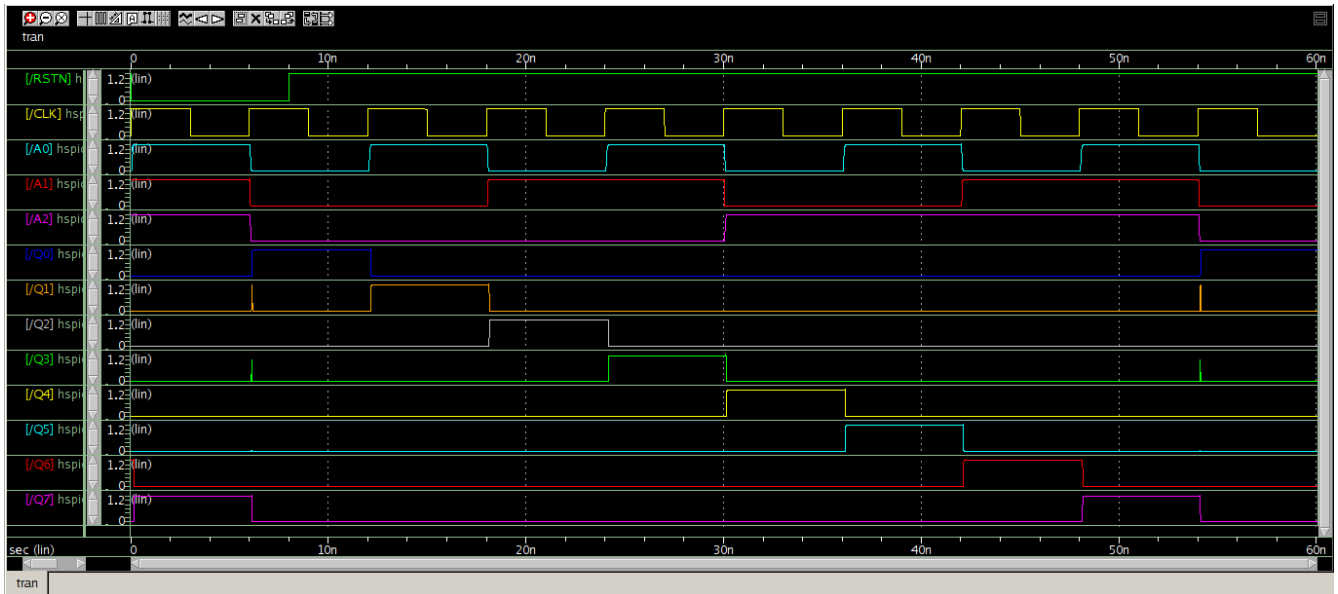


Рисунок 21: Результат тестирования дешифратора

9) Теперь всё готово для того чтобы перейти к разработке схемы памяти SRAM 8x2.

Начнем с построения массива ячеек, как показано на рисунке:

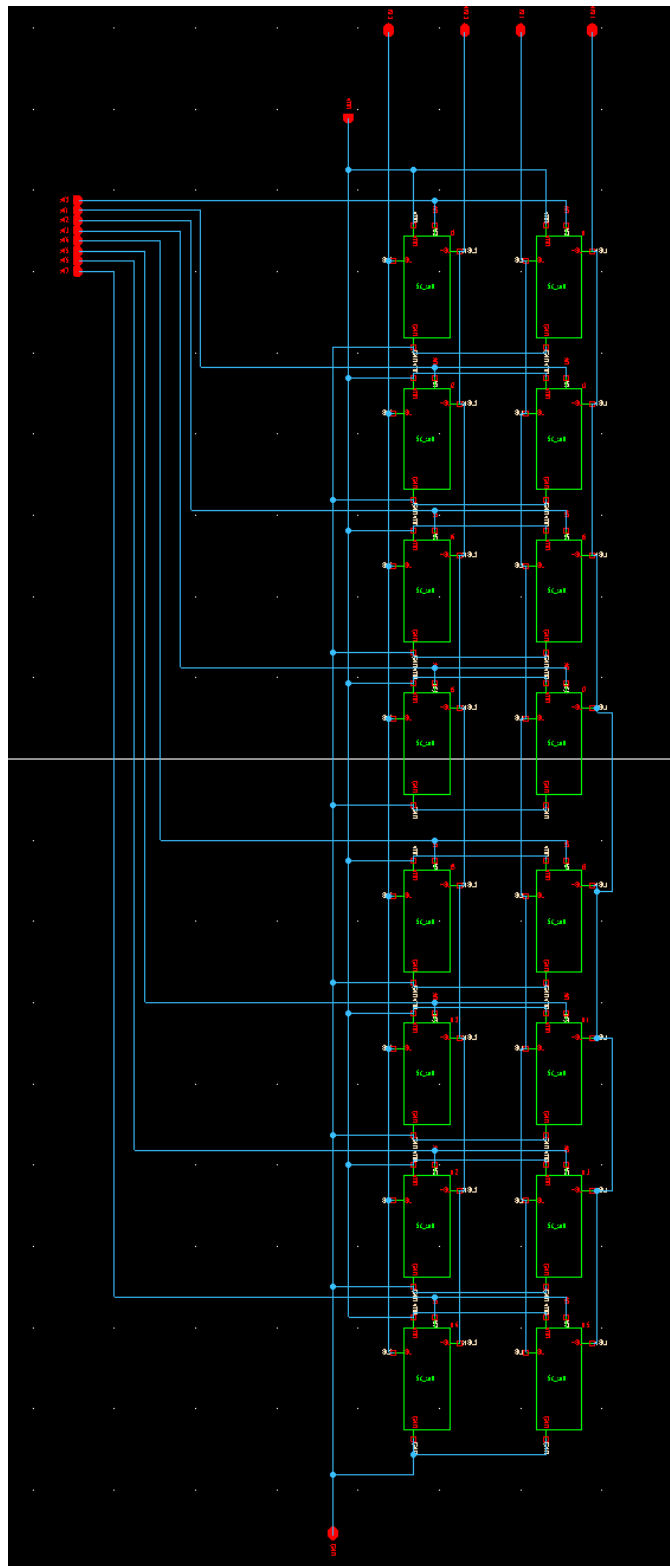


Рисунок 22: Массив ячеек памяти  $8 \times 2$

8 сигналов выборки слова (WL\_SEL\*) выбирают одну из восьми пар ячеек. У восьми ячеек в каждой колонке общие разрядные шины BL и NBL.

10) На основе массива ячеек построим схему памяти:

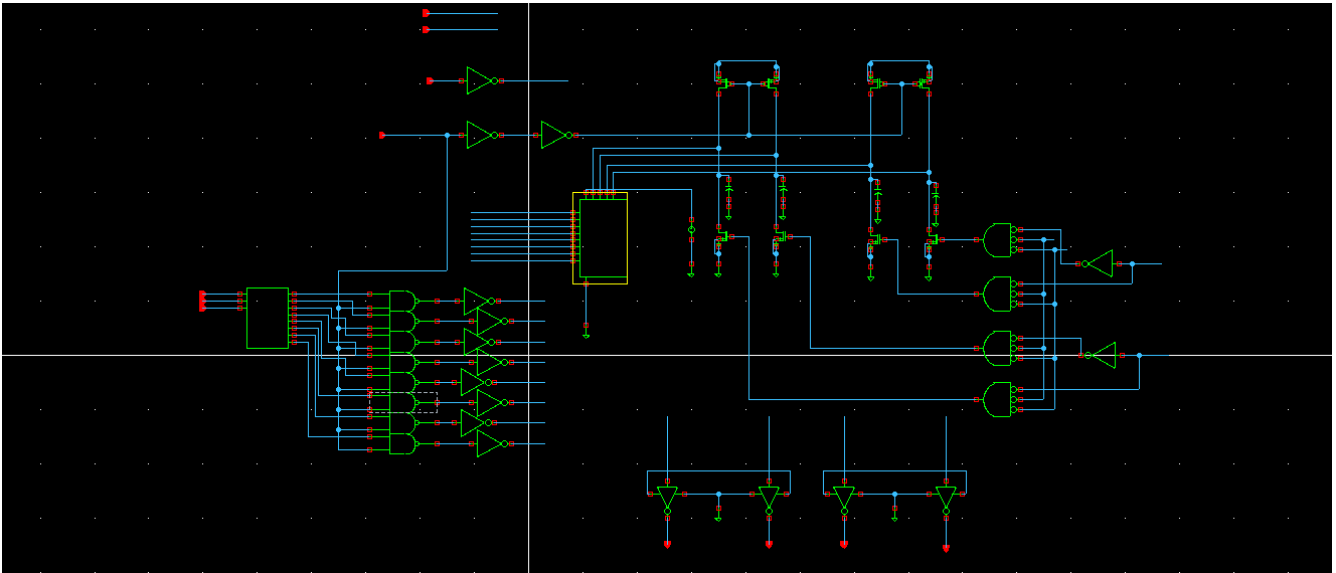


Рисунок 23: Схема памяти SRAM 8x2

Рассмотрим каждый из компонентов схемы:

Входные сигналы:

- CLK - Сигнал синхронизации. Чтение / запись происходит по уровню 1. По уровню 0 осуществляется перезарядка разрядных шин.
- DATA0, DATA1 – Данные для записи в память.
- WRITE – Выбор операции: 1- Запись, 0 – Чтение
- A0, A1 , A2 – Адрес чтения/записи

Выходные сигналы:

- Q0, Q1 , NQ0, NQ1 - Прочитанные данные и их инверсное значение.

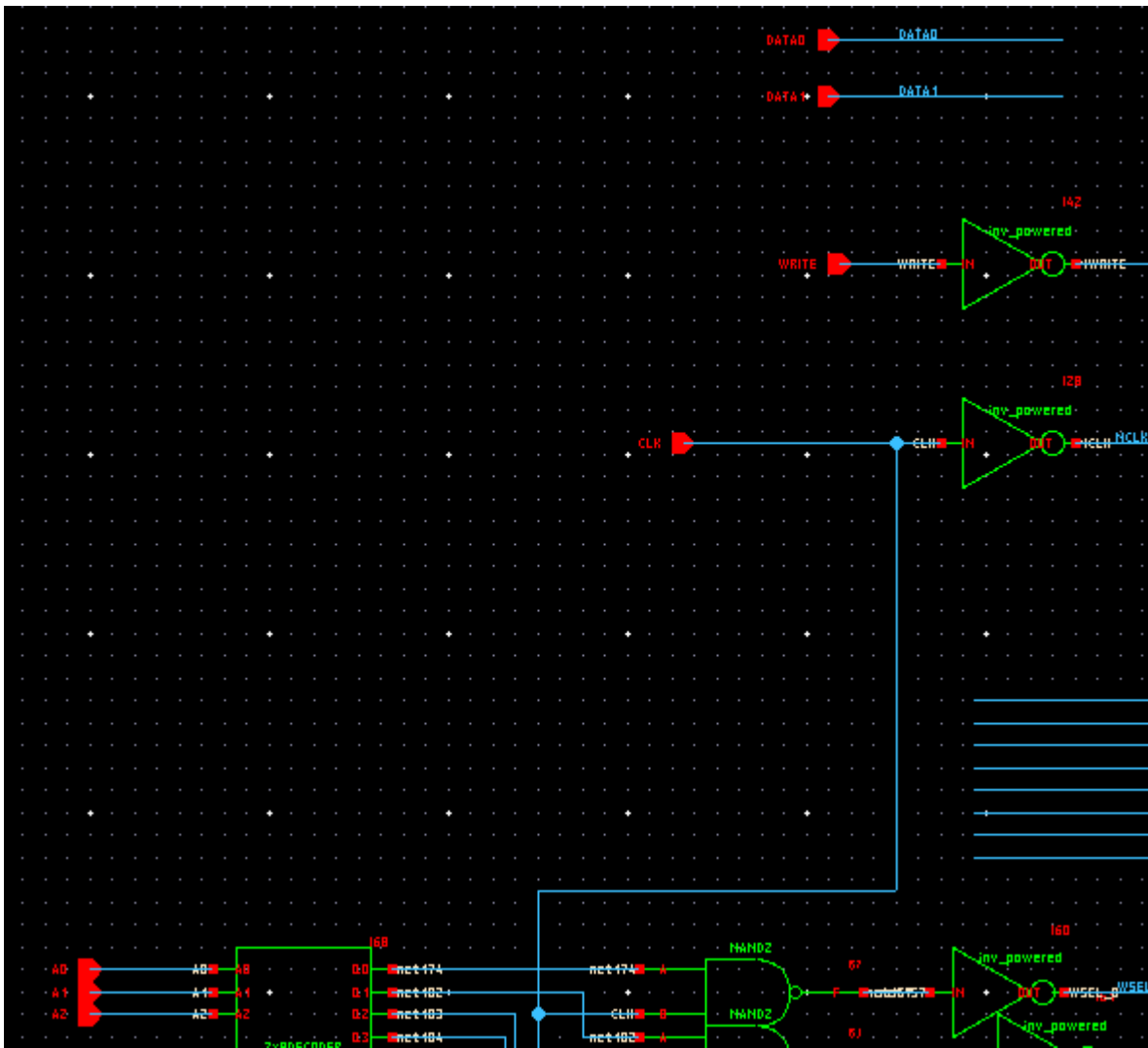


Рисунок 24: Входные сигналы памяти

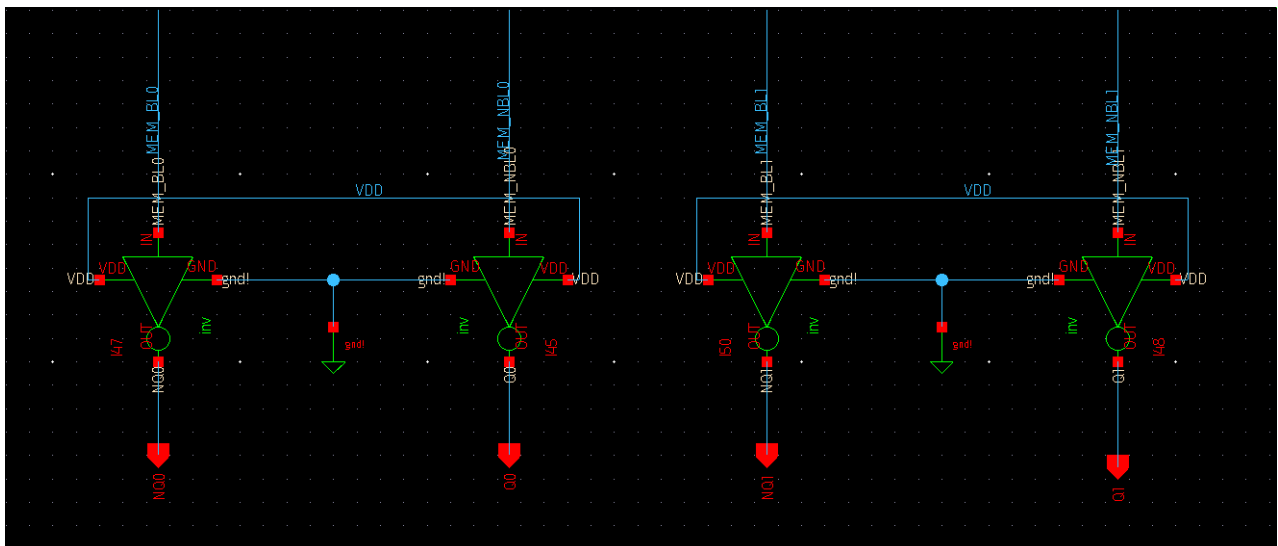


Рисунок 25: Выходные сигналы памяти

Когда сигнал синхронизации установлен в 0 начинается предзарядка разрядных шин (сигнал PRECHARGE подключен к сигналу синхронизации через 2 инвертора).

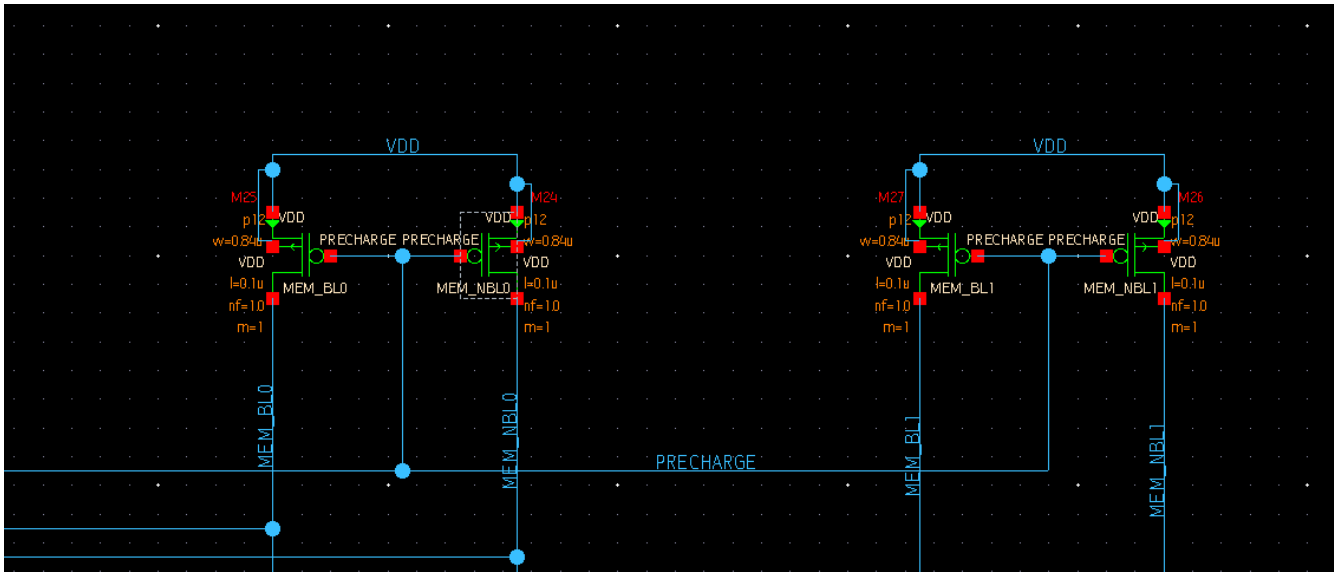


Рисунок 26: Схема предзарядки разрядных шин

Когда сигнал синхронизации установлен в 1 генерируется сигнал выборки слова (WSEL\_\*), подключающий выбранную пару ячеек памяти к разрядной шине.

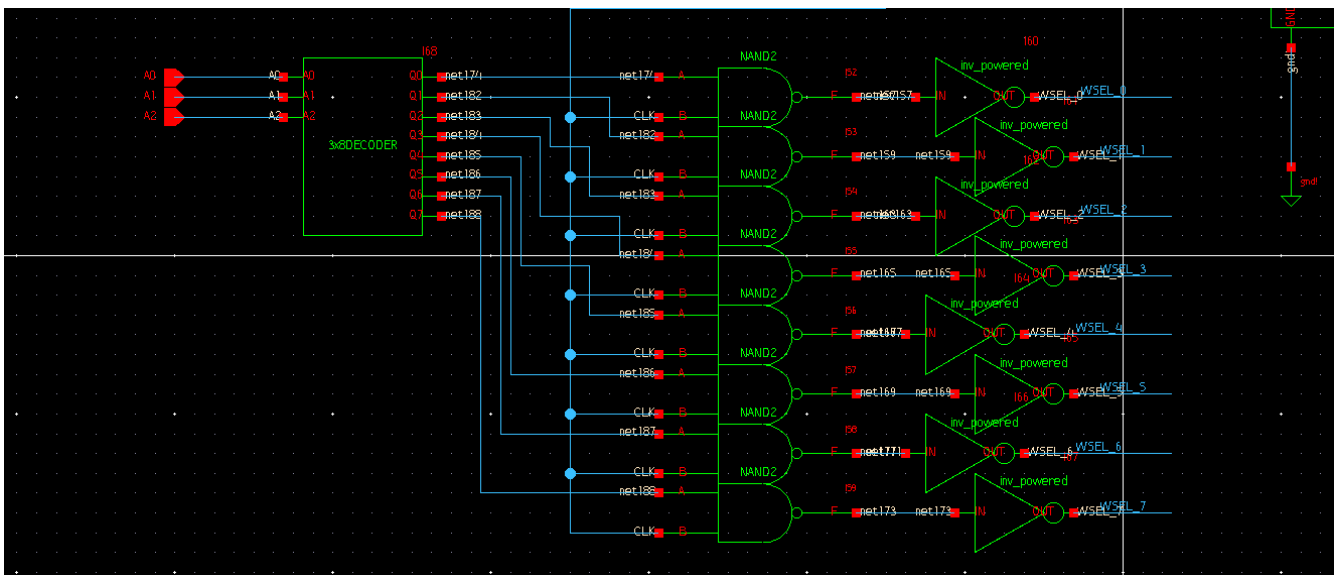


Рисунок 27: Декодирование адреса

Если установлен сигнал записи (WRITE) через драйверы записи начинается разрядка двух разрядных шин, выбранных в зависимости от записываемых данных : DATA0, DATA1.

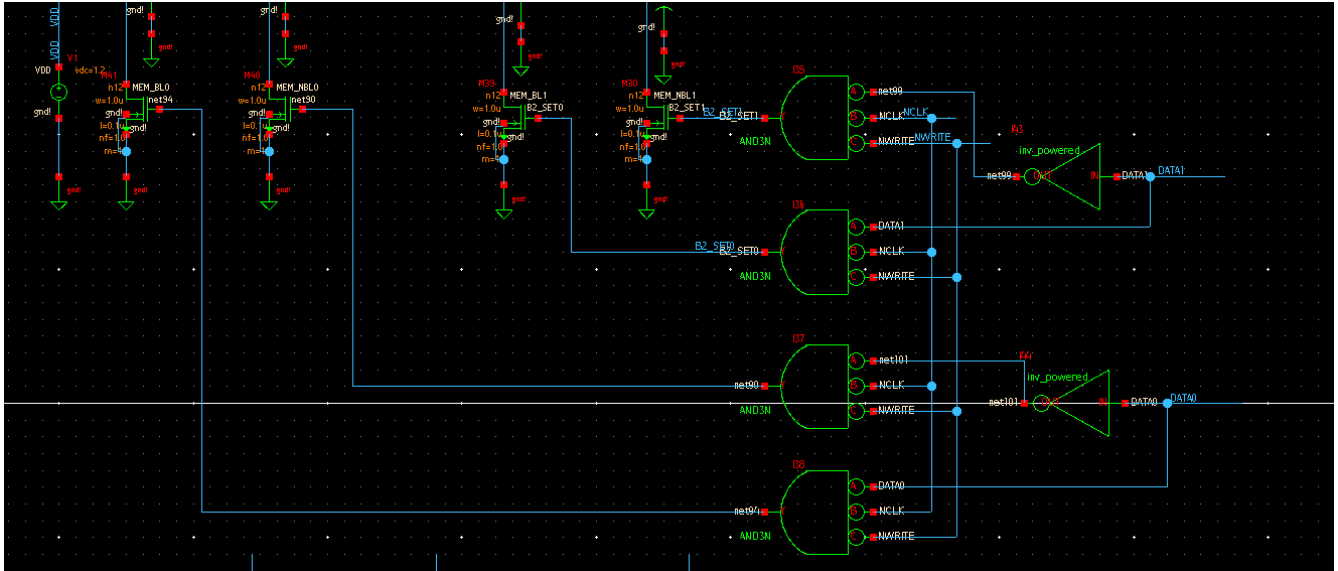


Рисунок 28: Драйверы записи

11) Для тестирования разработанной памяти построим схему на основе ранее разработанного двоичного счетчика. В качестве записываемых данных будем использовать 2 младших разряда счетчика.

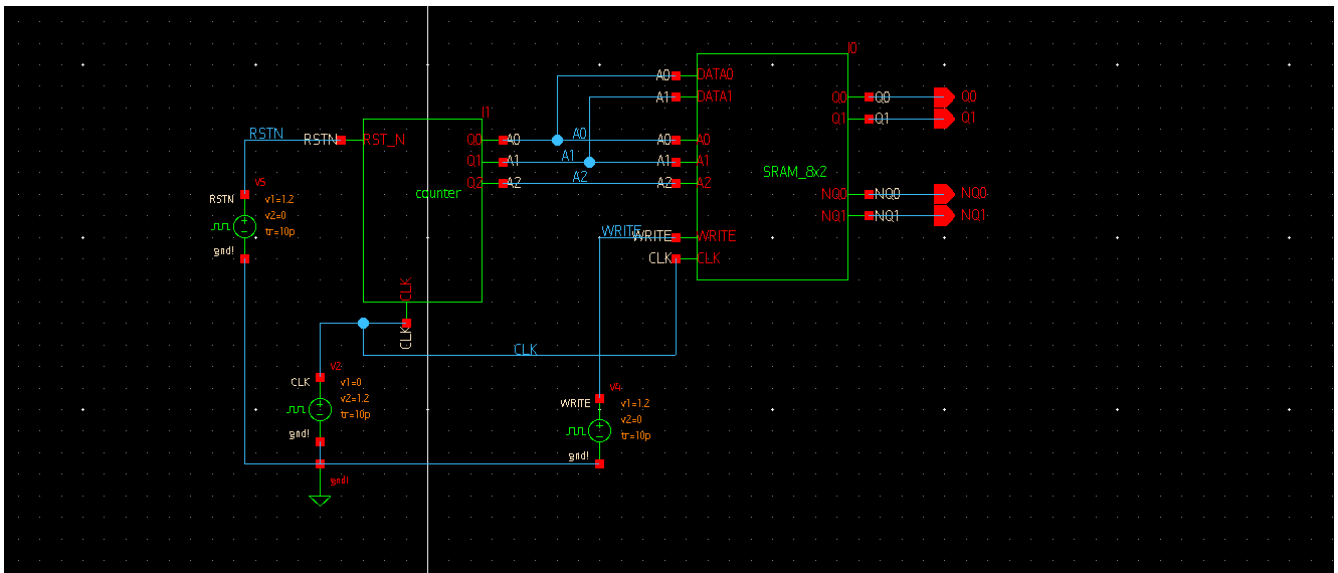


Рисунок 29: Схема тестирования памяти

12) Результаты тестирования памяти показаны на рисунке 30:

0- 60 нс: Сигнал WRITE установлен в 1. Происходит запись в память.  
 60- 120 нс: Сигнал WRITE установлен в 0. Происходит чтение из памяти. Как видно на временной диаграмме, прочитанные данные Q0, Q1 совпадают с двумя младшими разрядами адреса.



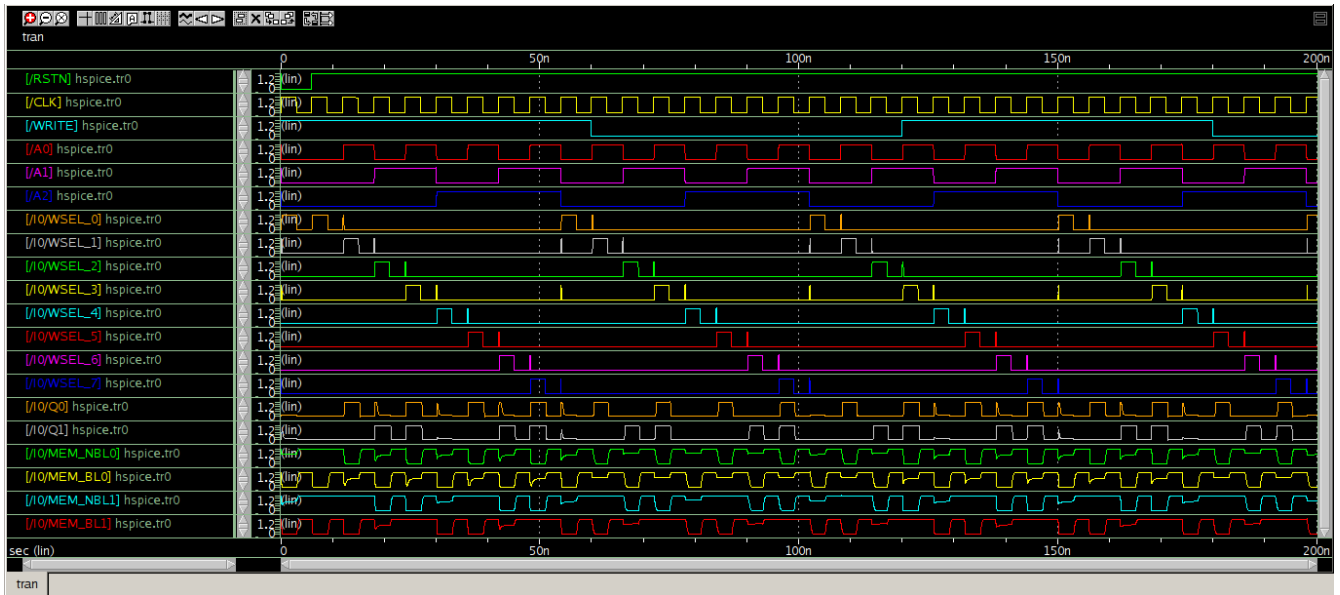


Рисунок 30: Результаты симуляции теста памяти