

Национальный Исследовательский Университет  
Информационных Технологий, Механики и Оптики

Цифровая схемотехника  
Лабораторные работы: весна 2014

# Содержание

<b>1</b>	<b>Лабораторная работа №1</b>	<b>3</b>
1.1	Цель и порядок выполнения работы . . . . .	3
1.2	Задания к работе . . . . .	3
1.2.1	Моделирование работы КМОП-инвертора . . . . .	3
1.2.2	Моделирование работы вентиля И-НЕ . . . . .	6
1.2.3	Измерение влияния размера вентиля на его параметры . . . . .	7
1.2.4	Измерение влияния коэффициента разветвления по выходу на задержку распространения сигнала . . . . .	9
1.2.5	Задания по вариантам . . . . .	10
<b>2</b>	<b>Лабораторная работа №2</b>	<b>11</b>
2.1	Цель и порядок выполнения работы . . . . .	11
2.2	Варианты заданий . . . . .	12
<b>3</b>	<b>Лабораторная работа №3</b>	<b>13</b>
3.1	Цель и порядок выполнения работы . . . . .	13
3.2	Варианты заданий . . . . .	14
<b>4</b>	<b>Лабораторная работа №4</b>	<b>15</b>
4.1	Цель и порядок выполнения работы . . . . .	15
4.2	Пояснения к заданиям . . . . .	15
4.3	Варианты заданий . . . . .	17
<b>5</b>	<b>Требования к оформлению отчетов к лабораторным работам</b>	<b>18</b>
<b>6</b>	<b>Пример построения схемы инвертора с использованием САПР Virtuoso (Cadence)</b>	<b>19</b>
6.1	Настройка рабочего окружения . . . . .	19
6.2	Построение схемы инвертора . . . . .	20
6.3	Моделирование схемы инвертора . . . . .	25
<b>7</b>	<b>Список рекомендуемой литературы</b>	<b>28</b>

# Введение

В данном документе представлено описание заданий для лабораторных работ по дисциплине «Схемотехника» для студентов второго курса НИУ ИТМО. Лабораторные работы охватывают следующий список тем:

1. Лабораторная работа №1: «Введение в проектирование и анализ цифровых схем».
2. Лабораторная работа №2: «Проектирование комбинационных схем».
3. Лабораторная работа №3: «Исследование триггеров и схем последовательностного типа».
4. Лабораторная работа №4: «Исследование схем полупроводниковой памяти».

Все практические занятия проводятся с использованием САПР фирмы Cadence:

- Virtuoso Schematic Editor XL (IC6.1.6)
- Virtuoso Analog Design Environment XL (IC6.1.6)
- Virtuoso Multi-mode Simulation with AP Simulator (MMSIM 13.10.066)

# 1 Лабораторная работа №1

## 1.1 Цель и порядок выполнения работы

### Цель работы

- Получение базовых знаний о технологии КМОП
- Знакомство с основными параметрами цифровых вентиляей

### Порядок выполнения работы

- Выполнение обязательной части, в которую входят задания 1-4. Данная часть одинакова для всех вариантов.
- Выполнение задания 5 согласно варианту.
- Оформление отчета согласно предъявляемым требованиям.

## 1.2 Задания к работе

### 1.2.1 Моделирование работы КМОП-инвертора

Постройте схему КМОП-инвертора (рис. 1).

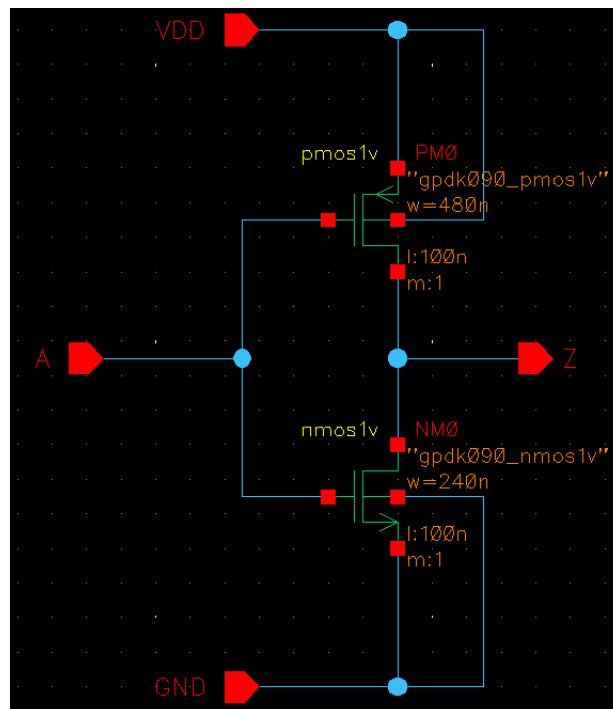


Рис. 1: Схема КМОП инвертора

Создайте символ (symbol view) для инвертора (рис. 2).

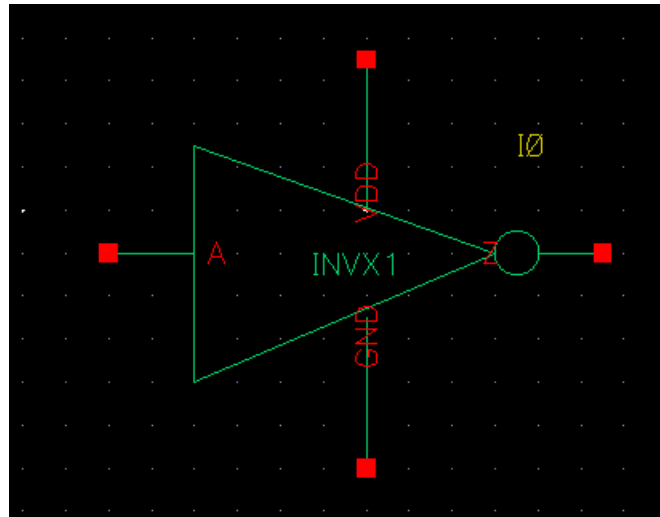


Рис. 2: Символ для КМОП инвертора

Постройте схему для тестирования инвертора (рис. 3).

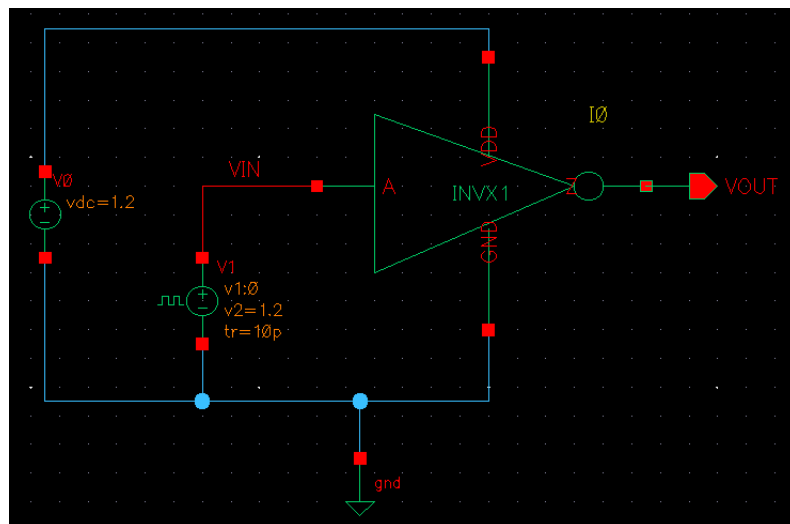


Рис. 3: Схема для тестирования КМОП инвертора

Проведите моделирование работы схемы:

1. Transient Response — моделирование переходного процесса (рис. 4). По графику определите значение задержки распространения сигнала через инвертор.
2. DC Response - моделирование переходной характеристики для значений  $V_{IN}$  в диапазоне 0 - 1.2 В (рис. 5). По графику определите: порог переключения инвертора, примерное значение запасов помехоустойчивости для низкого и высокого логического состояния.



Рис. 4: Временная диаграмма результатов моделирования



Рис. 5: Результаты моделирования переходной характеристики

### 1.2.2 Моделирование работы вентиля И-НЕ

Постройте схему вентиля И-НЕ (рис. 6).

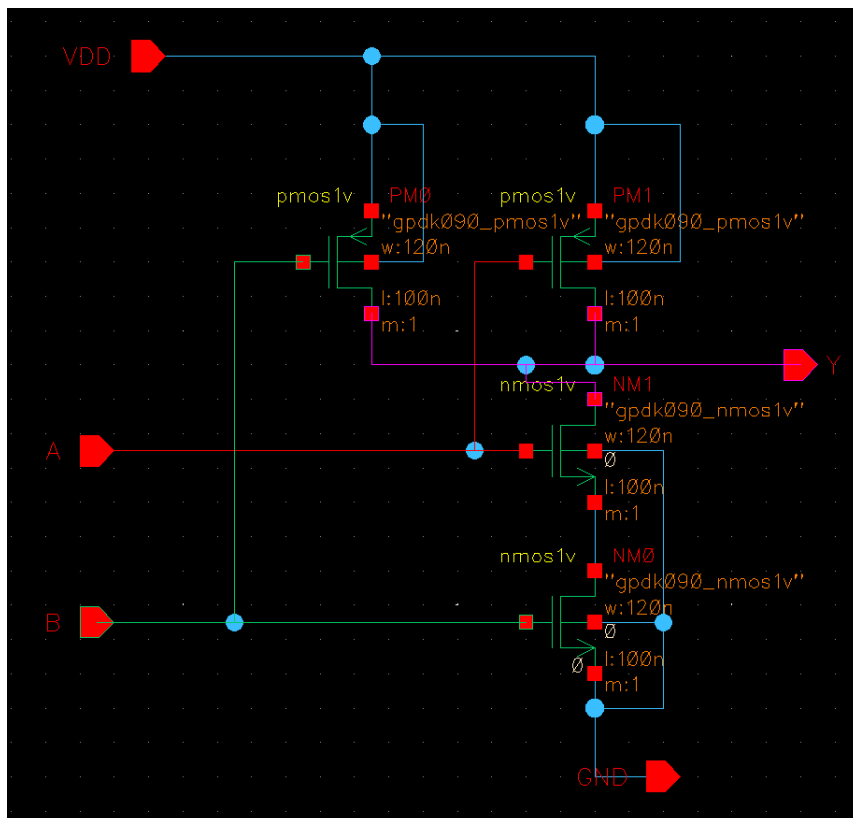


Рис. 6: Схема вентиля И-НЕ

Постройте схему для тестирования вентиля (рис. 7).

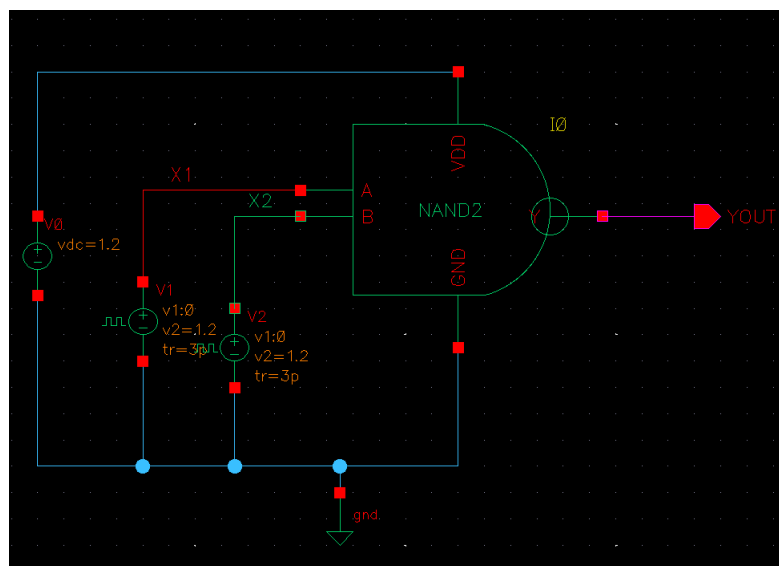


Рис. 7: Схема тестирования вентиля И-НЕ

Проверьте работоспособность схемы путем моделирования переходного процесса (рис. 8). По графику определите примерное значение задержки распространения сигнала через вентиль.

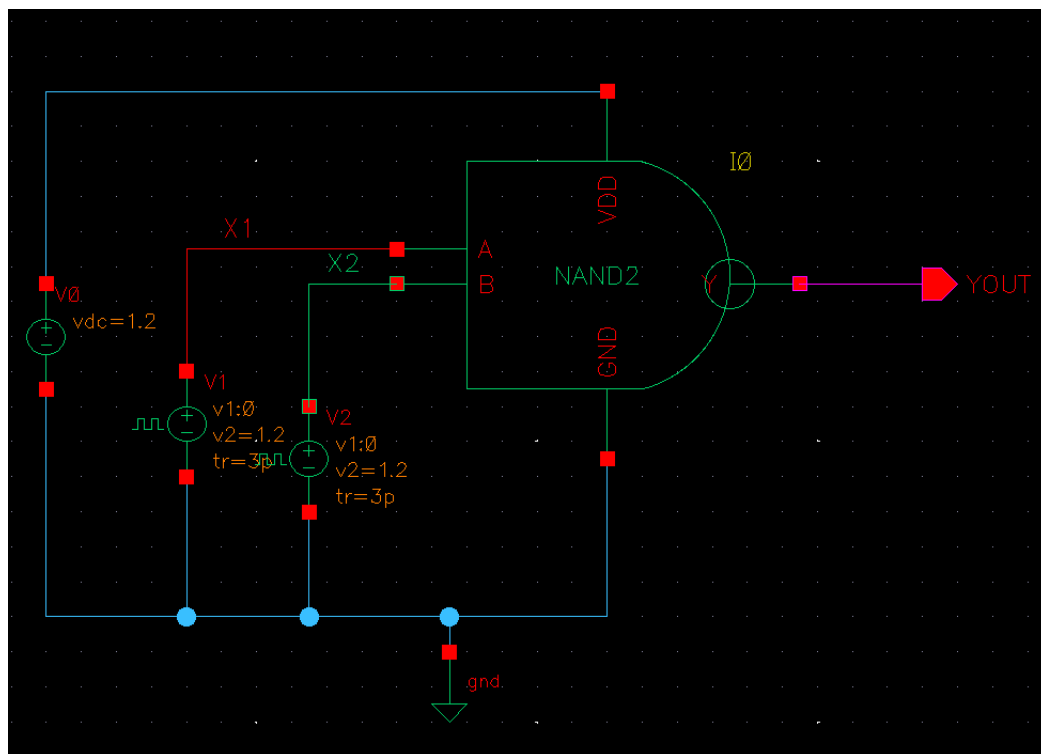


Рис. 8: Временная диаграмма работы вентиль И-НЕ

### 1.2.3 Измерение влияния размера вентиль на его параметры

Добавьте в схему инвертора параметр `drv_str`, исходя из которого вычисляются ширины каналов транзисторов:

$$W (\text{p-МОП}) = 240\text{n} * \text{drv\_str}$$

$$W (\text{n-МОП}) = 120\text{n} * \text{drv\_str}$$

Постройте схему (рис. 9) для измерения влияния размера вентиль на его параметры:

1. Инвертор размера 1X управляет инвертором 4X
2. Инвертор размера 1X управляет инвертором 1X
3. Инвертор размера 4X управляет инвертором 4X



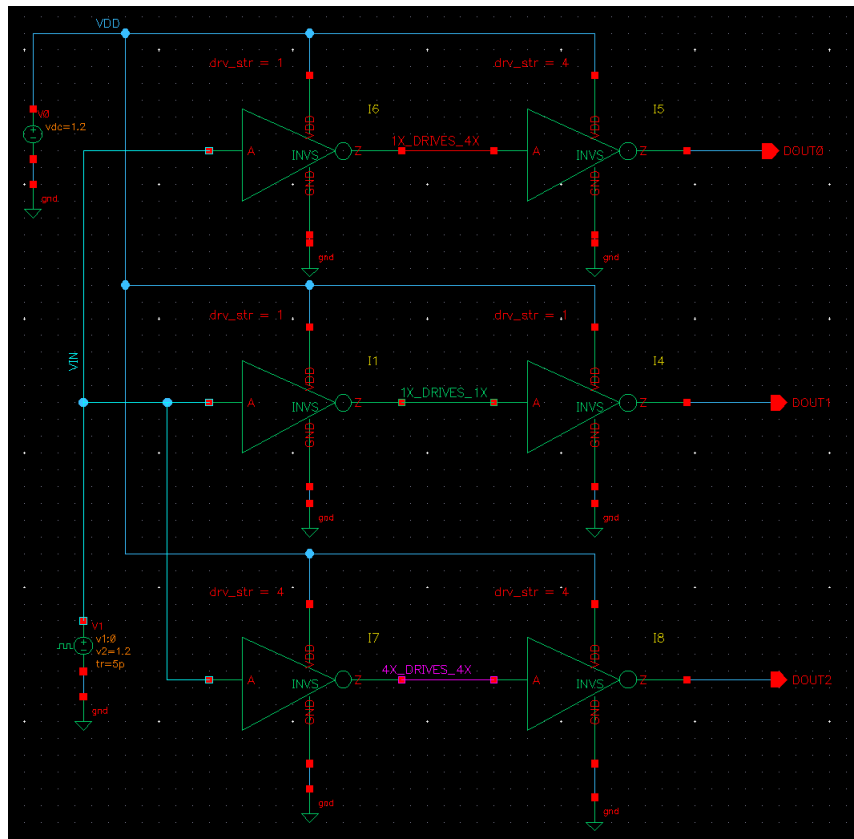


Рис. 9: Схема изучения зависимости параметров вентиля от его размеров

Промоделируйте переходный процесс в схеме (рис. 10).

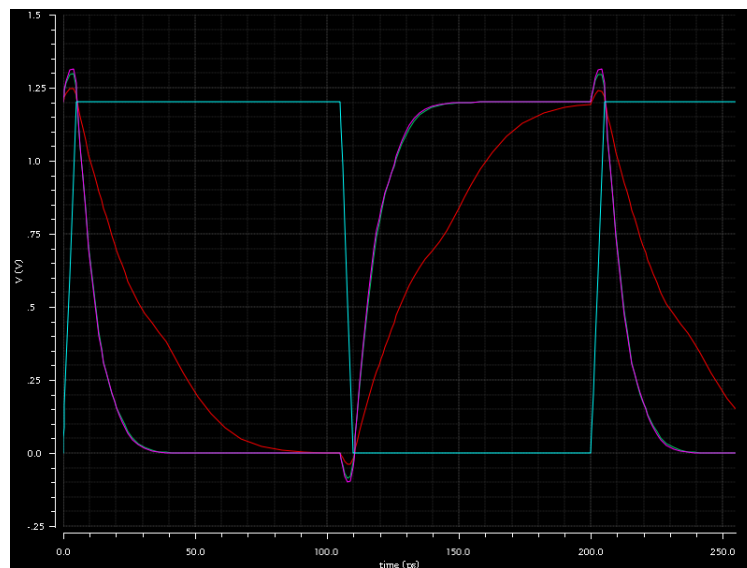


Рис. 10: Временная диаграмма результатов симуляции

По полученным графикам определите примерные значения задержек распространения сигнала через нагруженные вентили.

### 1.2.4 Измерение влияния коэффициента разветвления по выходу на задержку распространения сигнала

Постройте схему (рис. 11), состоящую из инвертора минимального размера, нагруженного четырьмя идентичными инверторами (fanout of four inverter, FO4) и инвертора, нагруженного одним инвертором.

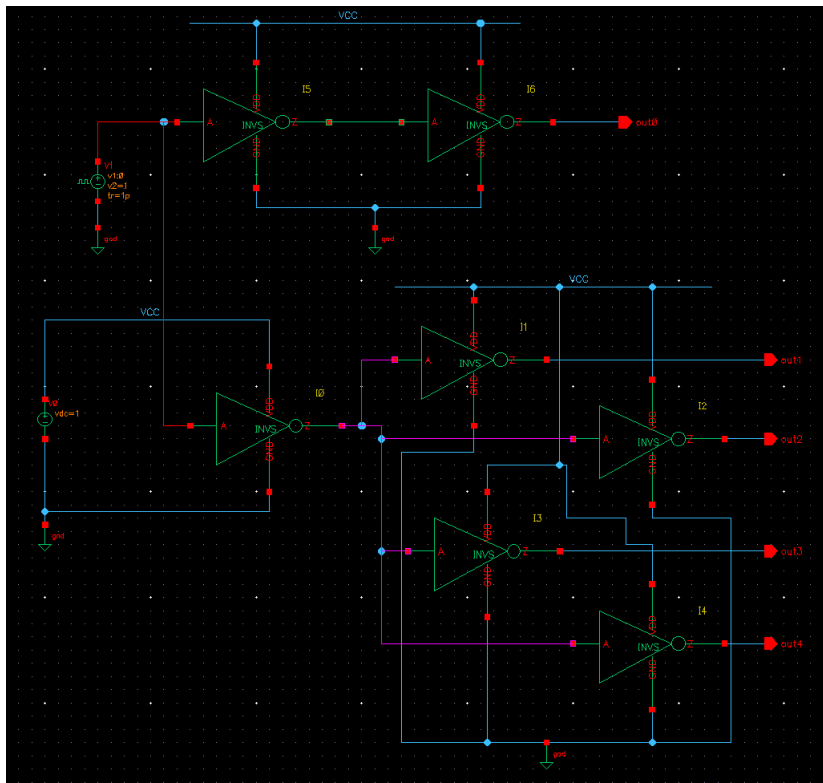


Рис. 11: Схема изучения влияния коэффициента разветвления по выходу на задержку распространения сигнала в вентиле

Промоделируйте работу схемы и сравните задержку распространения сигнала через первые инверторы в каскадах (рис. 12).

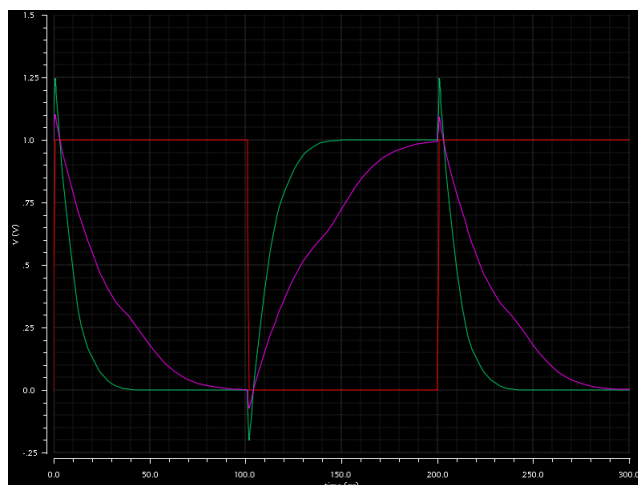


Рис. 12: Временная диаграмма результатов симуляции

### 1.2.5 Задания по вариантам

Постройте схему заданного логического вентиля и произведите её тестирование.

С использованием построенного вентиля, а также вентиля И-НЕ и инвертора постройте логическую схему согласно варианту задания. С помощью моделирования определите задержку распространения сигнала для каждого выхода.

Таблица 1: Варианты заданий

№ Варианта	Вентиль	Логическая схема
1	OR	$Y1 = X1 \vee X2 \vee X3$ $Y2 = (X1 \wedge X2) \vee (!X3 \wedge X2)$
2	NOR	$Y1 = !(X1 \vee X2) \vee X3$ $Y2 = !((X1 \wedge X2) \vee X3)$
3	AND	$Y1 = X1 \wedge X2 \wedge X3$ $Y2 = !(X1 \wedge X2 \wedge X3)$
4	XOR	$Y1 = (X1 \vee X2) \oplus X3$ $Y2 = (X1 \oplus !X2) \wedge X3$
5	OR	$Y1 = X1 \vee X2 \vee !X3$ $Y2 = !(X1 \wedge X2) \vee X3$
6	NOR	$Y1 = X1 \wedge !(X2 \vee X3)$ $Y2 = !X1 \vee !X2 \vee !X3$
7	AND	$Y1 = X1 \wedge !X2 \wedge !X3$ $Y2 = (X1 \oplus X2) \wedge X3$
8	XOR	$Y1 = X1 \oplus X2 \oplus X3$ $Y2 = (X1 \oplus X2) \vee (X2 \oplus X3)$
9	AND	$Y1 = !X1 \wedge !X2 \wedge X3$ $Y2 = !(X1 \wedge X2) \wedge X3$
10	XOR	$Y1 = !X1 \wedge (X2 \oplus X3)$ $Y2 = (X1 \oplus X3) \wedge X2$

## 2 Лабораторная работа №2

### 2.1 Цель и порядок выполнения работы

#### Цель работы

- Получение базовых знаний о принципах построения и функционирования цифровых схем комбинационного типа
- Изучение схемотехники базовых операционных элементов (БОЭ) цифровых схем комбинационного типа

#### Порядок выполнения работы

1. Построить принципиальную схему вентиля, согласно варианту задания.
2. Провести симуляцию работы вентиля. Определить задержку распространения сигнала.
3. С использованием построенного вентиля и инвертора реализовать заданный базовый операционный элемент (БОЭ). Построить таблицу истинности.
4. Измерить задержку распространения сигнала через БОЭ.
5. Используя произвольные вентили, провести, если это возможно, оптимизацию комбинационной схемы:
  - (a) минимизировать число используемых транзисторов;
  - (b) минимизировать задержку распространения сигнала;
6. Используя произвольные вентили, построить комбинационную схему, вычисляющую заданную вариантную функцию. Все переменные в функции — четырехразрядные, беззнаковые. Используемый в функциях сдвиг является циклическим. В случае переполнения необходимо отбросить выходящие за разрядную сетку старшие разряды. После построения схемы требуется:
  - (a) измерить задержку распространения сигнала через схему;
  - (b) измерить энергопотребление схемы на частоте 100МГц;
7. Подготовить отчет по проделанной работе.

## 2.2 Варианты заданий

№ Варианта	Вентиль	БОЭ	Функция
1	OR	Демультимплексор «1 в 4»	if(X == 0) Y = 1; else if(X < 5) Y = 2; else Y = X + 3;
2	NOR	Четырехразрядный компаратор	if(X1 < X2) Y = X1; else if(X1 > X2) Y = X2 - 4; else Y = X2;
3	AND	Схема мажоритарного контроля с пятью входами	Y = X1 * X2 - X3;
4	NOR	Позиционный шифратор «8 в 3»	Y = X1 * 2; if(X2 > 4) Y = Y * 4;
5	OR	Преобразователь восьмиразрядного BCD-кода в двоичный код	Y = X1 + X2 - X3; if(Y < 2) Y = Y « 2;
6	NOR	Позиционный дешифратор «3 в 8»	if(X1 < X2) Y = X1 - 2; else Y = X2 - 4;
7	AND	Трехразрядный двоичный сумматор с переносом	if(X1 == 0) Y = X2 « X3; else Y = X2 » X3;
8	OR	Шифратор кода Грея для трехразрядного двоичного числа	Y = X1 * X2 - X3 * X3;
9	AND	Мультиплексор «4 в 1»	if(X1 < X2) Y = X2 - X1; else Y = X1 * 2 - X2;
10	NAND	Дешифратор трехразрядного кода Грея	Y = (X1 < X2)? X2: X1 « X2;

## 3 Лабораторная работа №3

### 3.1 Цель и порядок выполнения работы

#### Цель работы

- Получить знания о структуре и принципах функционирования триггеров различных типов.
- Познакомиться с основами построения схем последовательностного типа на базе триггеров.

#### Порядок выполнения работы

1. Построить схему синхронного триггера на вентилях И-НЕ или ИЛИ-НЕ согласно варианту задания.
2. В процессе моделирования определить временные характеристики работы триггера:
  - время предустановки ( $T_{su}$ )
  - время удержания ( $T_{hold}$ )
  - время переключения
3. Рассчитать максимальную частоту, на которой способен работать разработанный триггер.
4. Разработать синхронную последовательностную схему (ПС) на базе полученного триггера. Разрядность входной и выходной линий данных составляет 4 разряда.
5. Провести моделирование разработанной ПС и получить временные диаграммы, отражающие результаты работы схемы.

### 3.2 Варианты заданий

№ Варианта	Триггер	Синхронизация	Вентиль	Последовательностная схема (ПС)
1	T-триггер	По фронту	И-НЕ	Суммирующий двоичный счетчик с параллельным переносом
2	D-триггер	По фронту	И-НЕ	Сдвиговый регистр со сдвигом вправо
3	RS-триггер	По фронту	И-НЕ	Вычитающий двоичный счетчик с параллельным переносом
4	JK-триггер	По фронту	И-НЕ	Вычитающий двоичный счетчик со сквозным переносом
5	T-триггер	По уровню	ИЛИ-НЕ	Десятичный суммирующий счетчик
6	D-триггер	По уровню	ИЛИ-НЕ	Циклический сдвиговый регистр со сдвигом влево
7	RS-триггер	По уровню	ИЛИ-НЕ	Сдвиговый регистр со сдвигом влево
8	JK-триггер	По уровню	ИЛИ-НЕ	Вычитающий десятичный счетчик
9	T-триггер	По фронту	ИЛИ-НЕ	Суммирующий двоичный счетчик со сквозным переносом
10	D-триггер	По фронту	ИЛИ-НЕ	Сдвиговый регистр с арифметическим сдвигом вправо
11	RS-триггер	По фронту	ИЛИ-НЕ	Циклический сдвиговый регистр со сдвигом вправо

## 4 Лабораторная работа №4

### 4.1 Цель и порядок выполнения работы

#### Цель работы

- Получить знания об организации элементов и блоков полупроводниковой памяти различных типов.

#### Порядок выполнения работы

1. Построить схему ячейки памяти согласно варианту задания.
2. Провести симуляцию построенной ячейки памяти.
3. Реализовать синхронное статическое ОЗУ с заданным размером и способом доступа. В качестве базового запоминающего элемента можно использовать ячейку памяти, разработанную в пункте 1, либо один из триггеров: RS, JK, D.
4. Спроектировать схему тестирования памяти (см. рис. 13).
5. Провести симуляцию разработанной схемы памяти.
6. Подготовить отчет о проделанной работе.

### 4.2 Пояснения к заданиям

Схема, которую необходимо реализовать в пункте 4, представлена на рис. 13.

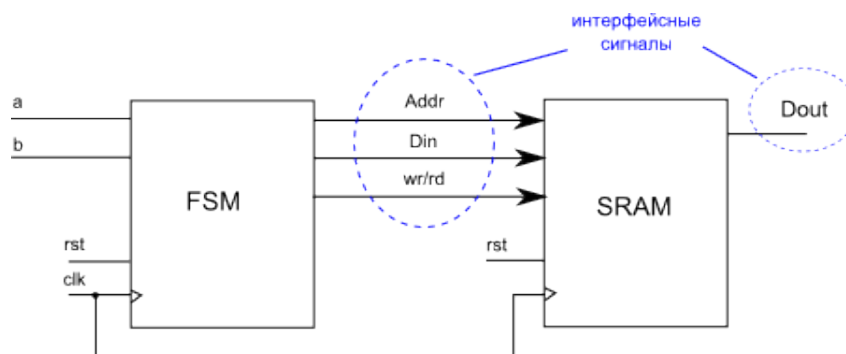


Рис. 13: Схема тестирования статического ОЗУ

На рис. 13 использованы следующие условные обозначения:

- FSM (Finite-state machine) - конечный автомат.
- a,b - входные сигналы автомата.
- rst - сигнал сброса.
- clk - тактовый управляющий сигнал.
- SRAM - блок статического ОЗУ из пункта 3 задания.



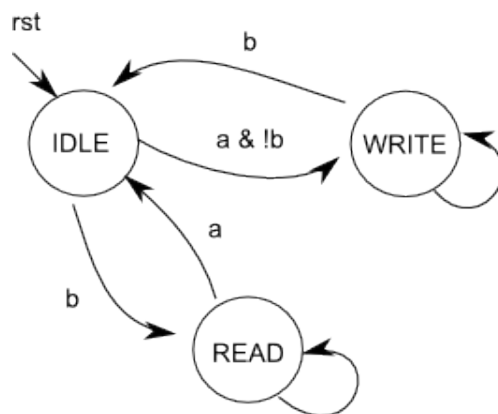


Рис. 14: Диаграмма состояний управляющего конечного автомата (FSM)

Управляющий конечный автомат (FSM) должен работать в соответствии с диаграммой состояний, изображенной на рис. 14.

При приходе сигнала сброса ( $\text{rst} = 1$ ) схема автомата переходит в состояние ожидания (IDLE). Затем, в зависимости от значений входных сигналов  $a$ ,  $b$ , автомат реализует циклы чтения и записи памяти, изменяя соответствующим образом интерфейсные сигналы.

В состоянии WRITE автомат производит последовательную запись данных в память. Значения данных выбираются произвольно, например, можно записывать в память значение счетчика. Главное, чтобы на каждом цикле записи данные были различны. Если в этом состоянии на вход поступает сигнал  $b=1$ , то автомат вновь переходит в состояние ожидания.

В состоянии READ автомат производит последовательное чтение данных из памяти. Если доступ к памяти осуществляется с помощью адреса, то в каждом цикле записи или чтения происходит инкремент адреса.

Все схемы являются синхронными, работающими по переднему фронту тактового сигнала  $\text{clk}$ . Набор интерфейсных сигналов для разных типов памяти будет различным. На рис. 13 приведен обобщенный пример памяти с адресным доступом. При выполнении работы необходимо использовать набор интерфейсных сигналов, соответствующий памяти из варианта задания.

Логику тестирования разработанной схемы (рис. 13) необходимо выбрать такую, чтобы в результате автомат успел пройти все возможные состояния (см. рис. 14).

### 4.3 Варианты заданий

№ Варианта	Тип ячейки памяти	Структура, способ доступа	Размер памяти
1	6Т	3D, адресный	16x2
2	6Т	2DM, адресный	16x2
3	8Т	2D, адресный	8x4
4	8Т	3D, адресный	16x2
5	8Т	2DM, адресный	16x2
6	6Т	2D, адресный	16x4
7	6Т	2D, FIFO	8x2
8	8Т	2D, LIFO	8x2
9	8Т	2D, FIFO	8x2

Условные обозначения:

- 8Т - ячейка памяти, состоящая из 8 транзисторов.
- 6Т - ячейка памяти, состоящая из 6 транзисторов.
- 2D, 2DM, 3D - виды различных структур памяти.
- LIFO (last in first out) - логический доступ к памяти организуется как к списку, данные в который помещаются и выбираются из одного конца. Первыми считываются данные, которые были записаны последними.
- FIFO (first in first out) - логический доступ к памяти организуется как к списку, данные в который помещаются с одного конца, а считываются с другого. Первыми считываются данные, которые были записаны раньше других.

## 5 Требования к оформлению отчетов к лабораторным работам

**Отчет должен содержать:**

- Титульный лист, на котором указываются:
  - название университета
  - кафедра
  - дисциплина
  - номер лабораторной работы
  - тема и вариант лабораторной работы
  - Фамилии И.О. и группа исполнителей
  - Фамилия И.О. преподавателя
- Содержание
- Цель и задачи работы
- Отчет о выполнении заданий работы. Отчет по каждому заданию содержит:
  - Изучаемую схему.
  - Результаты моделирования (временная диаграмма).
  - Комментарии результатов (минимум 2 предложения).
- Общий вывод по работе (какие знания и навыки получены).

**Требования к оформлению:**

- Шрифт: Times New Roman 12 pt, межстрочный интервал одинарный, поля с краев листа - 2 см.
- Сквозная нумерация страниц
- Обязательны подписи к рисункам и таблицам.

Отчет выполняется в виде самостоятельного документа. Материал, изложенный в отчете, должен пониматься без дополнительных комментариев со стороны исполнителей.

## 6 Пример построения схемы инвертора с использованием САПР Virtuoso (Cadence)

### 6.1 Настройка рабочего окружения

Все команды будут выполняться с помощью командного интерпретатора bash. Для настройки рабочего окружения произведем следующую последовательность действий.

В начале создадим рабочий каталог и перейдем в него:

```
$ mkdir ~/work  
$ cd ~/work
```

Скопируем файл с путями к библиотекам Virtuoso в рабочий каталог:

```
$ cp /opt/cadence/defaults/cds.lib .
```

Произведем запуск Virtuoso в фоновом режиме:

```
$ virtuoso &
```

Если все сделали верно, то на экране появится главное окно Virtuoso (рис. 15)

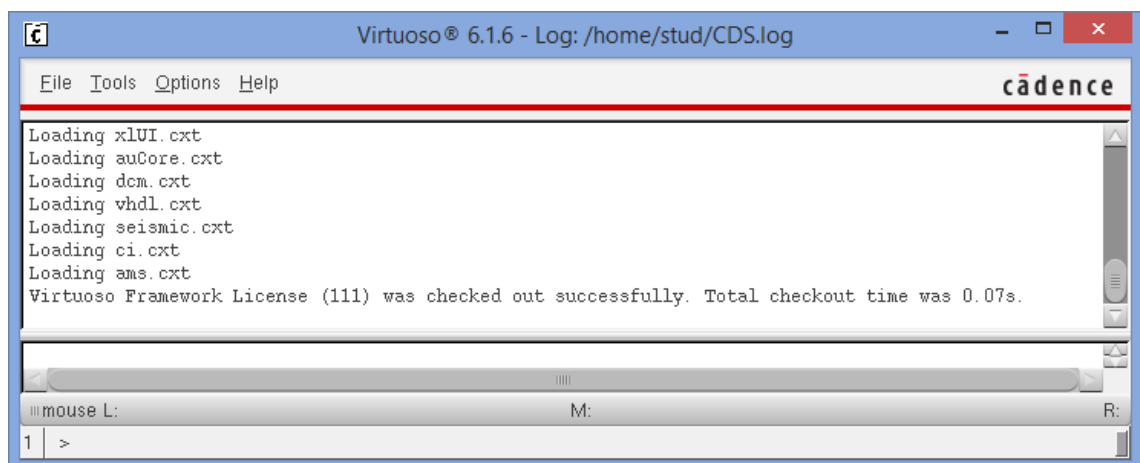


Рис. 15: Главное окно Virtuoso

## 6.2 Построение схемы инвертора

Для того, чтобы начать строить схемы, необходимо создать библиотеку для них. Создание библиотеки производится путем следующего перехода по пунктам меню: **File -> New -> Library** (рис. 16)

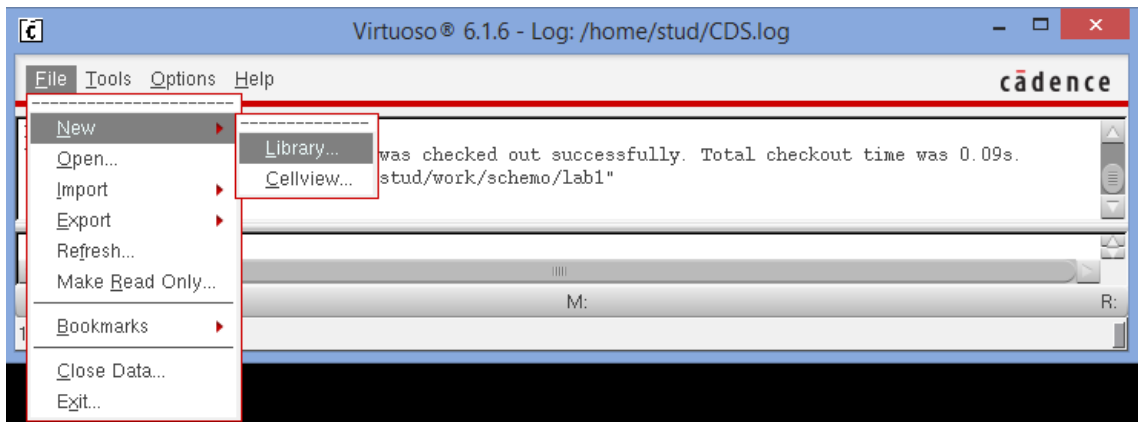


Рис. 16: Создание новой библиотеки

В появившемся окне вводим новое имя библиотеки, например lab1 и выбираем пункт «Attach to an existing technology library» (рис. 17). Затем нажимаем на кнопку «OK».

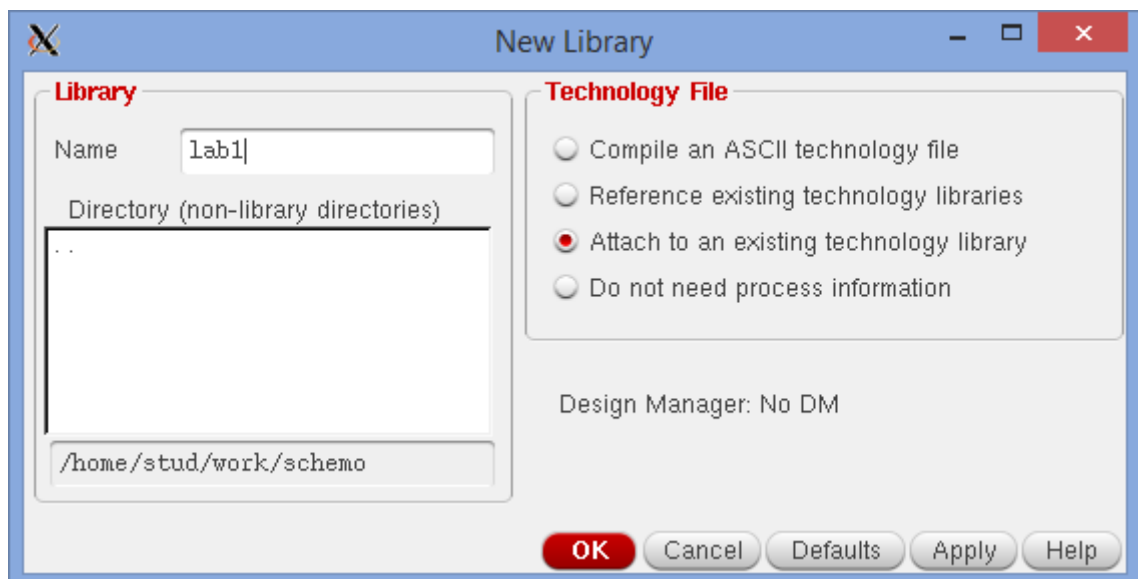


Рис. 17: Окно настроек библиотеки

В открывшемся окне выбираем библиотеку grdk090 (рис. 18). Таким образом, мы связали нашу библиотеку с существующей технологической библиотекой, содержащей набор моделей транзисторов, которые мы будем в дальнейшем использовать.

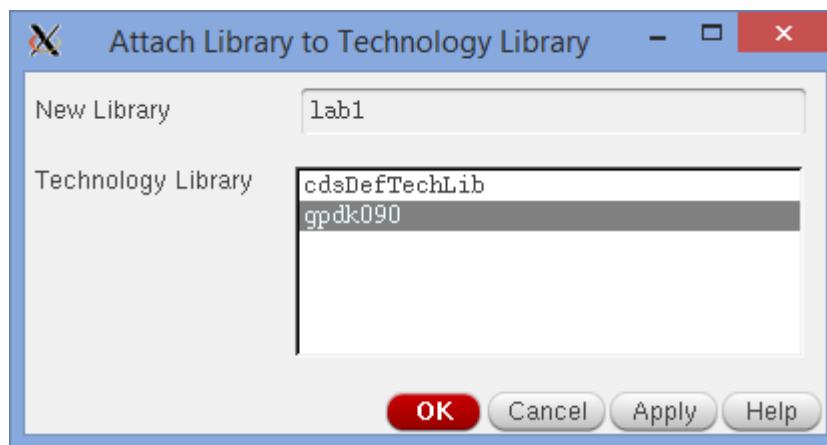


Рис. 18: Связывание нашей библиотеки с библиотекой gpdk90nm

В созданную библиотеку добавляем новую ячейку (Cell) для инвертора **File->New->CellView** (рис. 19).

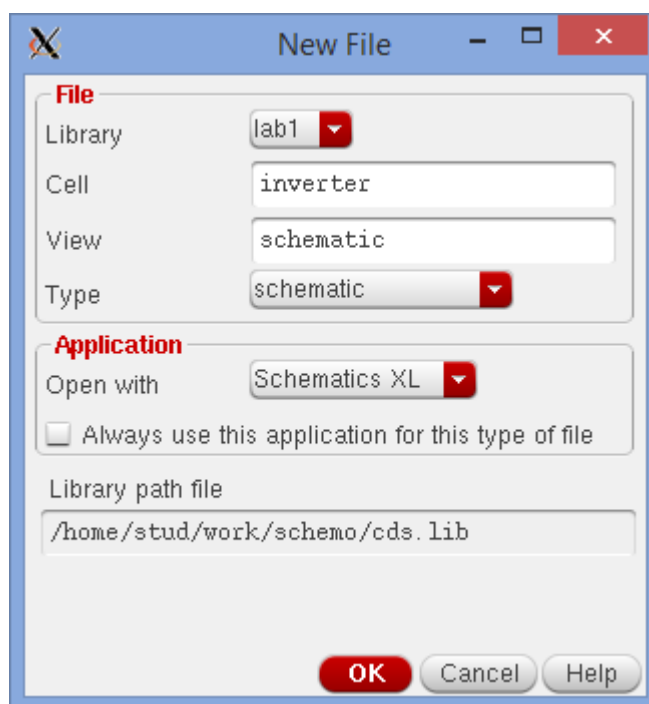


Рис. 19: Окно создания новой ячейки

Приступим теперь к созданию схемы. В начале поместим на неё два транзистора (nmos1v, pmos1v) из библиотеки gpdk090. Для этого в открывшемся редакторе выберем: **Create->Instance** (рис. 20).

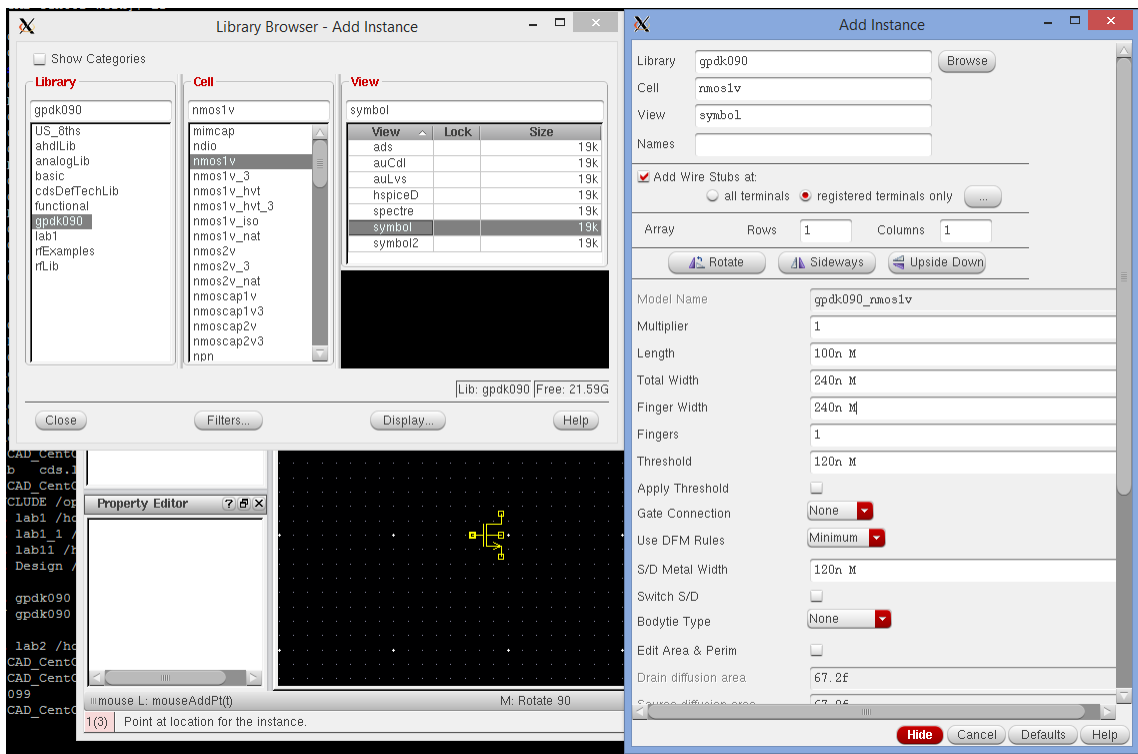


Рис. 20: Добавление транзистора на схему

Добавленные транзисторы соединим проводами и подключим их к внешними портами. В итоге должна получиться схема, изображенная на рис. 21.

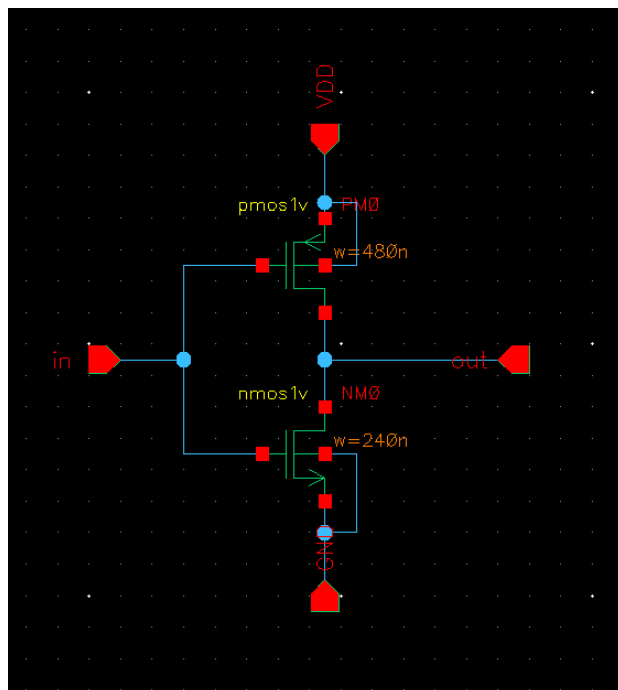


Рис. 21: Схема инвертора на транзисторах

Для использования данного инвертора в других схемах создайте для него символ: **Create->CellView->From CellView**. В первом диалоге нажимаем «ОК». Во втором диалоге: в настройках поменяйте расположение портов, как показано на рис. 22.

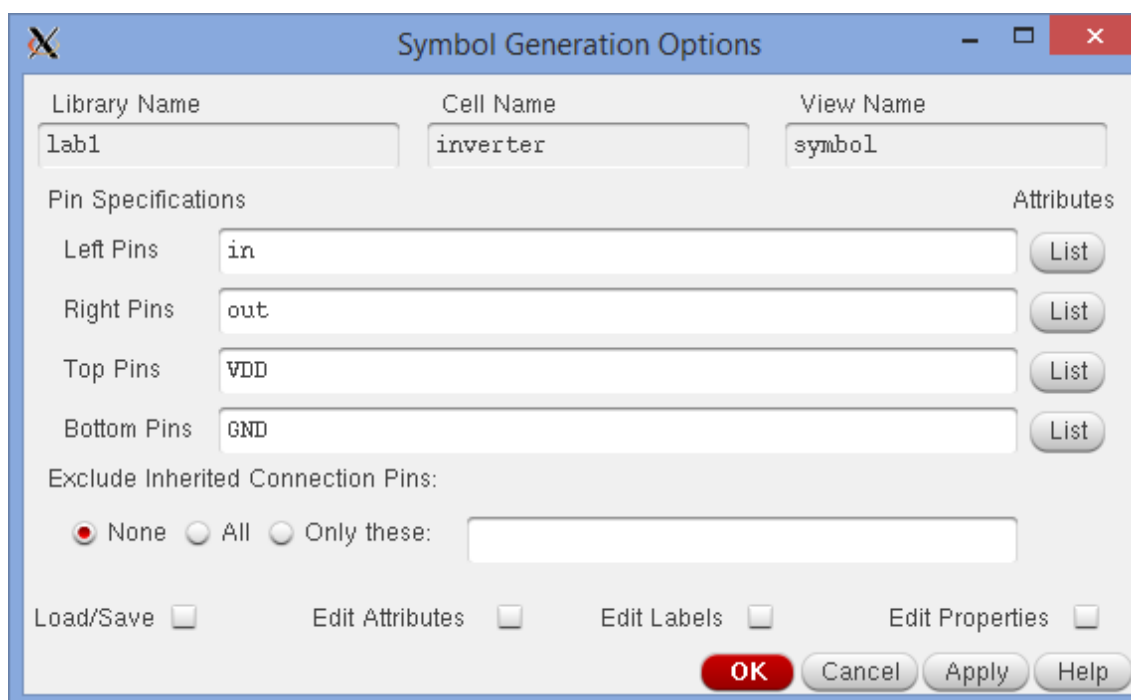


Рис. 22: Окно создания символа

В открывшемся редакторе схем можно оставить все как есть, либо нарисовать более подходящий символ (рис. 23).

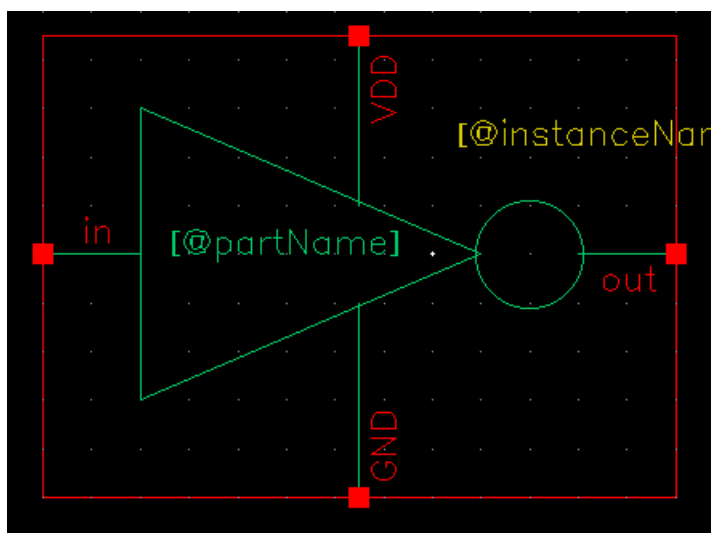


Рис. 23: Схема символа для инвертора

Построим новую схему для тестирования инвертора: Опять заходим: **File->New->CellView**



Добавим на схему созданный инвертер из нашей библиотеки (lab1). Также на схему добавим элементы vsource, vpulse, gnd из AnalogLib со следующими настройками:

**Напряжение vsource: 1.2 V**

**Параметры vpulse:**

Voltage1 = 0 V

Voltage2 = 1.2 V

Delay Time = 100 p

Rise Time = 10 p

Pulse Width = 2 n

Period = 4 n

В итоге получится схема, представленная на рис. 24.

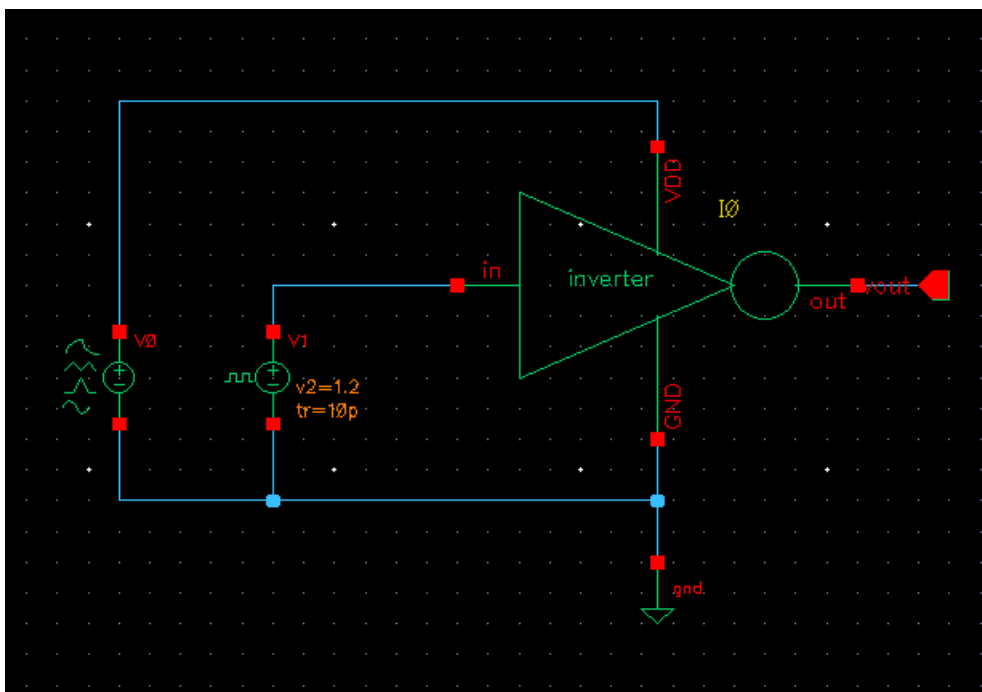


Рис. 24: Схема для тестирования инвертора

### 6.3 Моделирование схемы инвертора

Теперь проведем моделирование разработанной схемы, чтобы удостовериться, что мы получили желаемый результат. Для этого откроем окружение Analog Design Environment, совершив следующий переход по меню **Launch->ADE XL**. В открывшемся окне выбираем **Create New View**.

Создадим новый тест для схемы inverter\_tb: **Create->Test**. После нажатия на данный пункт меню откроется окно ADE XL Test Editor (рис. 25).

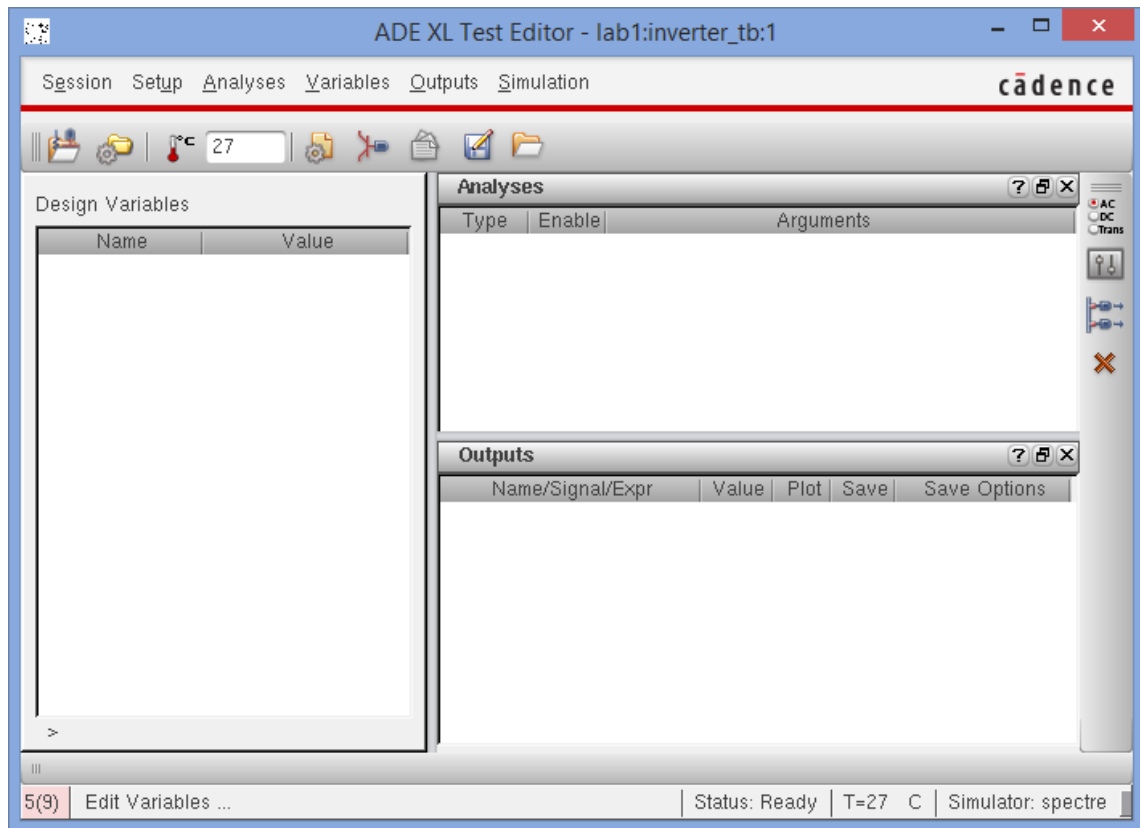


Рис. 25: Окно ADE XL Test Editor

Настроим библиотеку моделей элементов. Для этого в меню выберем **Setup->Model Libraries**. Зададим правильный путь к библиотеке и укажем в поле секции (Section) значение FF (fast-fast models) для моделей элементов. Окно с настройками подключаемой библиотеки представлено на рис. 26

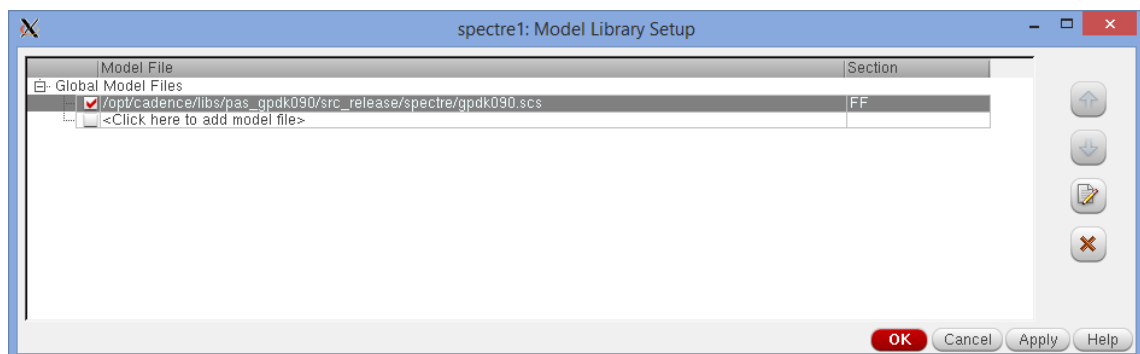


Рис. 26: Окно настроек подключаемой библиотеки моделей элементов

Настроим теперь окружение для двух видов анализа схемы: DC Sweep Analysis и Transient analysis. Для этого выберем **Analyses->Choose**. Нужные нам настройки показаны на рис. 27 и рис. 28.

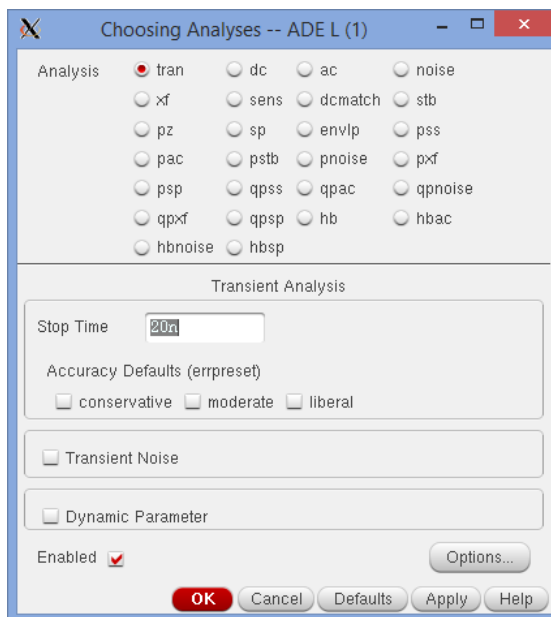


Рис. 27: Окно настройки Transient analysis

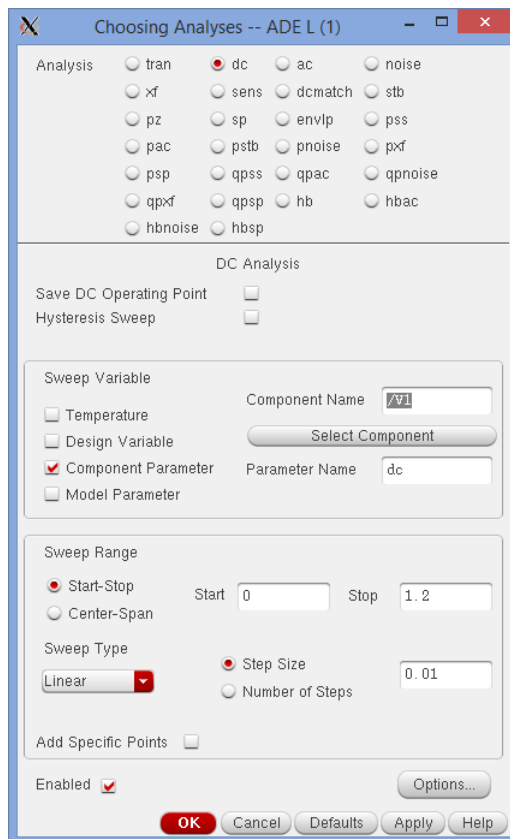


Рис. 28: Окно настройки DC Sweep Analysis

Для запуска симуляции выбираем **Run->Single Run ...**. Чтобы просмотреть результаты симуляции в графическом виде нужно перейти на вкладку Results и нажать на кнопку **Plot all waveforms** (рис. 29).

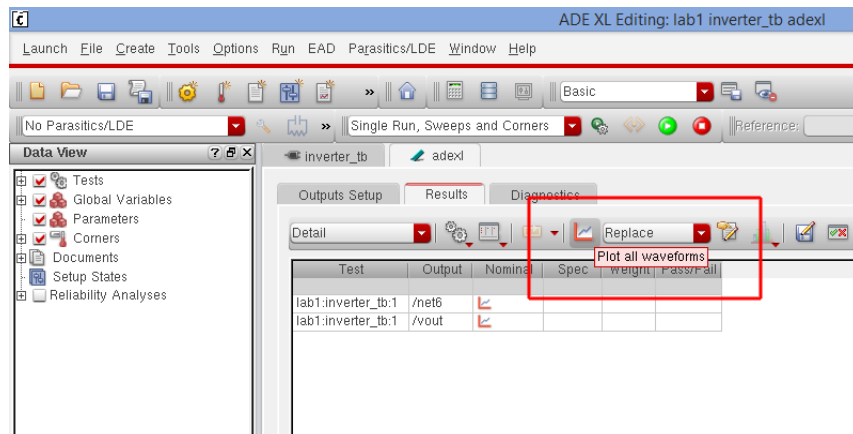


Рис. 29: Пункт Plot all waveforms

В случае успешной симуляции увидим графики, представленные на рис. 30.

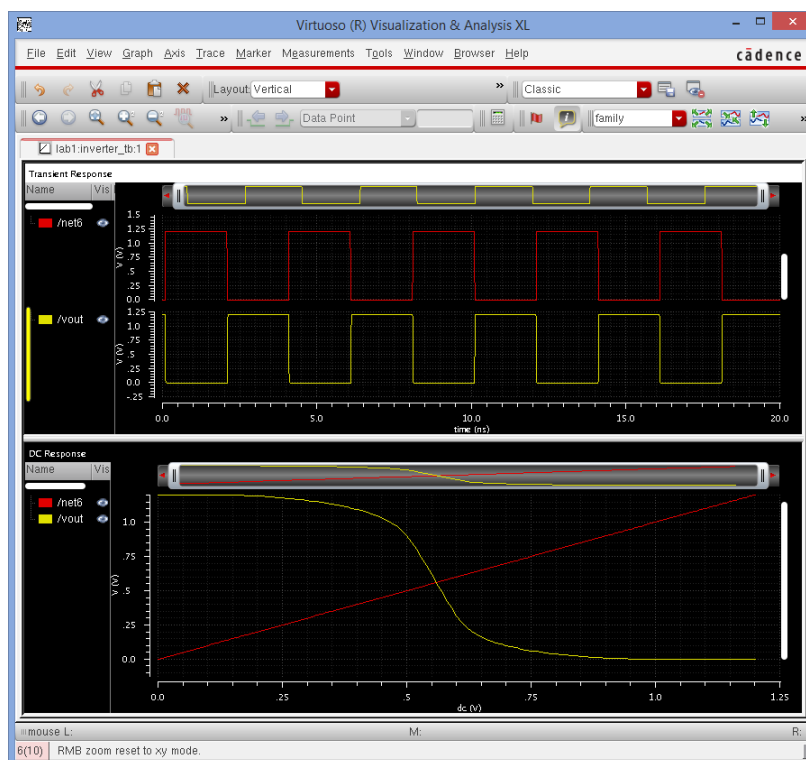


Рис. 30: Результаты симуляции: временные диаграммы

## 7 Список рекомендуемой литературы

1. Жан М. Рабаи, Ананта Чандракасан, Боривож Николич. Цифровые интегральные схемы. Методология проектирования— 2-е изд.. — М.:«Вильямс», 2007.
2. Угрюмов Е.П. Цифровая схемотехника. Уч. пособие для ВУЗов. 2-ое изд. - СПб.: БХВ - Петербург, 2007, 800 с.
3. Хоровиц П., Хилл У., Искусство схемотехники./ Пер. с англ. 6-е изд. - М.: Мир, 2003. - 704 с.
4. Jan M. Rabaey, Anantha Chandrakasan, and Borivoje Nikolic Digital Integrated Circuits Prentice Hall; Prentice Hall 2 edition (January 3, 2003)
5. Baker, R. Jacob. CMOS: Circuit Design, Layout, and Simulation, Third Edition. Wiley-IEEE, 2010. <http://CMOSedu.com>
6. Weste, Neil H. E. and Harris, David M. CMOS VLSI Design: A Circuits and Systems Perspective, Fourth Edition. Boston: Pearson/Addison-Wesley, 2010.
7. Точчи, Рональд, Дж., Уидмер, Нил, С. Цифровые системы. Теория и практика. — 8-е изд.. — М.: «Вильямс», 2004.