

Университет ИТМО

*Кафедра Вычислительной техники  
Цифровая схемотехника*

## **Лабораторная работа №2**

Вариант 4

Выполнил:  
студент III курса группы 2125  
Припадчев Артём

Преподаватель:  
Попов Р.И.

Санкт-Петербург  
2014

## Цель работы:

- Изучение языка описания аппаратуры Verilog HDL
- Знакомство с процессорной архитектурой MIPS
- Изучение процессора с многотактным исполнением команд

**Задание:** реализовать обработку внешнего сигнала прерывания.

## Ход работы

1) Реализация модуля внешнего устройства

```
`timescale 1ns / 1ps
module device(
    input      wire      IACK,
    output     reg       IRQ
);
    reg clk;

    initial begin
        clk = 0;
        IRQ = 0;
        forever
            #10 clk = ~clk;
        end

    initial begin
        repeat (15)
            @(posedge clk);
            IRQ = 1;
        end

    always@(posedge clk)
        begin
            if (IACK == 1)
                begin
                    IRQ = 0;
                end
        end
    end
endmodule
```

IRQ – запрос на прерывание; IACK – информация о начале обработки прерывания.

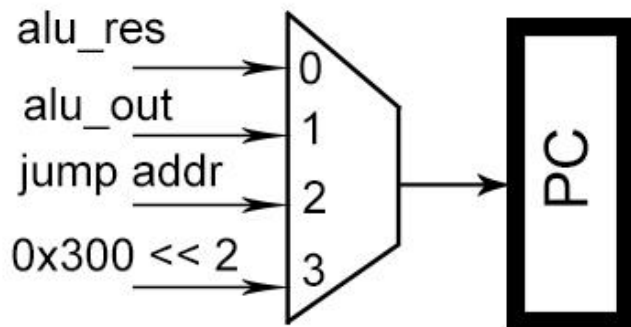
2) Расширение шины процессора для подключения внешнего устройства

```
module mips_cpu
(
    input clk,
    input rst,
    output IACK,
    input IRQ
);
```

3) Добавление в datapath 32-разрядного регистра EPC для сохранения счетчика команд прерванной команды.

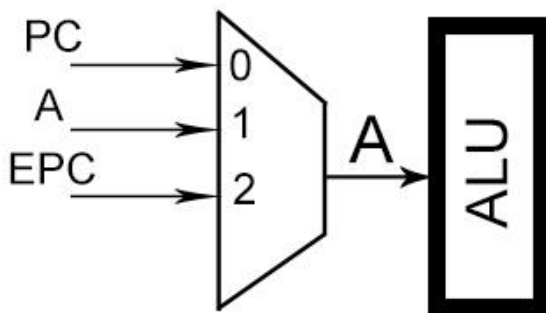
4) Добавление в datapath 1-разрядного регистра Status. Если его значение 0, то можно выполнить прерывание, если он 1 – прерывание уже обрабатывается, выполнить очередное прерывание невозможно.

5) Расширение мультиплексора, подключенного к PC



3 вход мультиплексора – адрес обработчика прерывания. Он сдвигается влево на 2, т.к. при обращении к памяти идет сдвиг вправо на 2.

6) Расширение мультиплексора на первом входе ALU для возможности загрузки EPC



7) Расширение управляющих сигналов Control Unit

Входные:

- IRQ – запрос прерывания
- Stat – значение регистра Status

Выходные:

- IACK – сигнал «прерывание принято»
- EPCWrite – Разрешение записи в регистр EPC
- stat\_val – запись значения в регистр Status

8) Реализация ответа на прерывание в Control Unit на стадии выборки команды

```
if(IRQ & ~stat)
```

```
begin
```

```
    stat_val = 1;
```

```
    IACK = 1;
```

```
    #50
```

```
    IACK = 0;
```

```
    pc_source = 'b11; // PC source is HANDLER_ADDRESS
```

```
    nextstate = FETCH;
```

```
    EPCWrite = 1;
```

```
end
```

9) Расширение системы команд. Команда RET для выхода из обработчика прерывания

Код команды – 0100\_0000\_0000\_0000\_0000\_0000\_0000

Код операции – 010000

Выполнение команды:

```
else if (exc_op)
    begin
        nextstate = FETCH;
        pc_write = 1;
        pc_source = 'b00; // PC source is alu_out_reg
        alu_op = 'b01; // sub op
        alu_src_a = 'b10; // alu_a <- EPC
        alu_src_b = 'b01; // alu_b <- 4
    end
```

**Вывод:** в ходе выполнения работы исходная модель процессора была доработана реализацией обработки внешнего сигнала прерывания. Также была изучена архитектура процессора MIPS.