**Санкт-Петербургский национальный исследовательский университет**

**информационных технологий, механики и оптики**

**Кафедра информатики и прикладной математики**

Цифровая схемотехника

Лабораторная работа №1

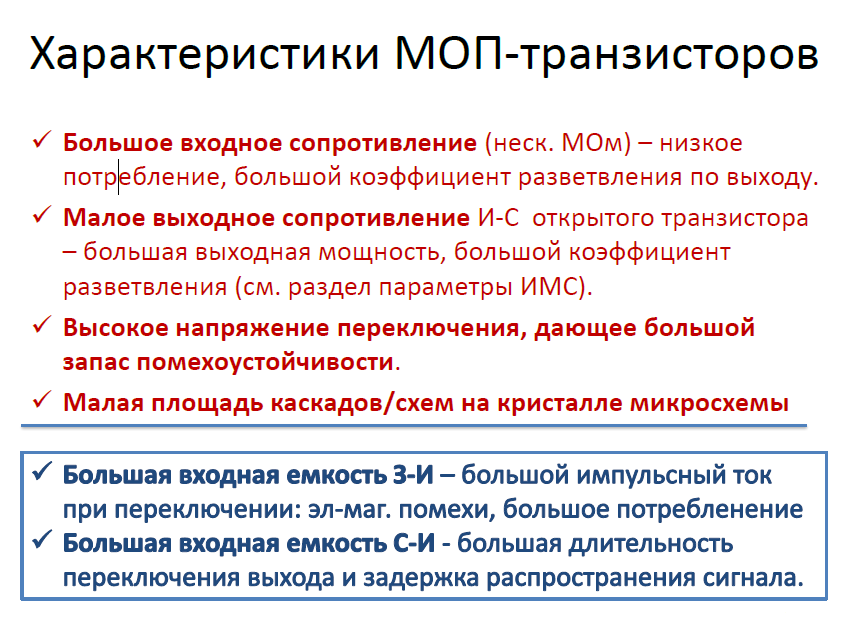
Выполнил Кудряшов А.А.

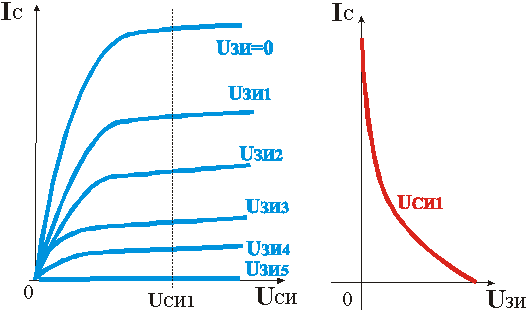
Группа 2121

2013 г.

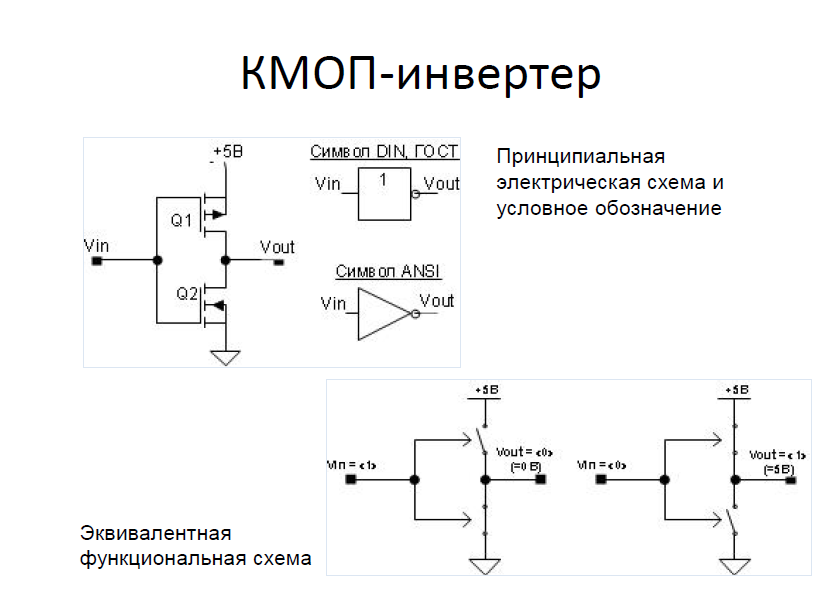
# Полевой транзистор:

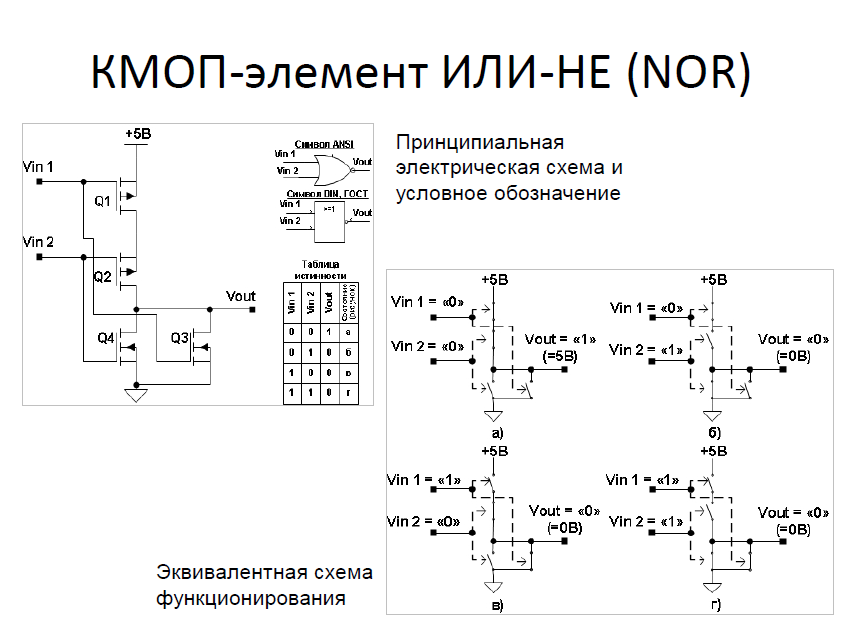
# 

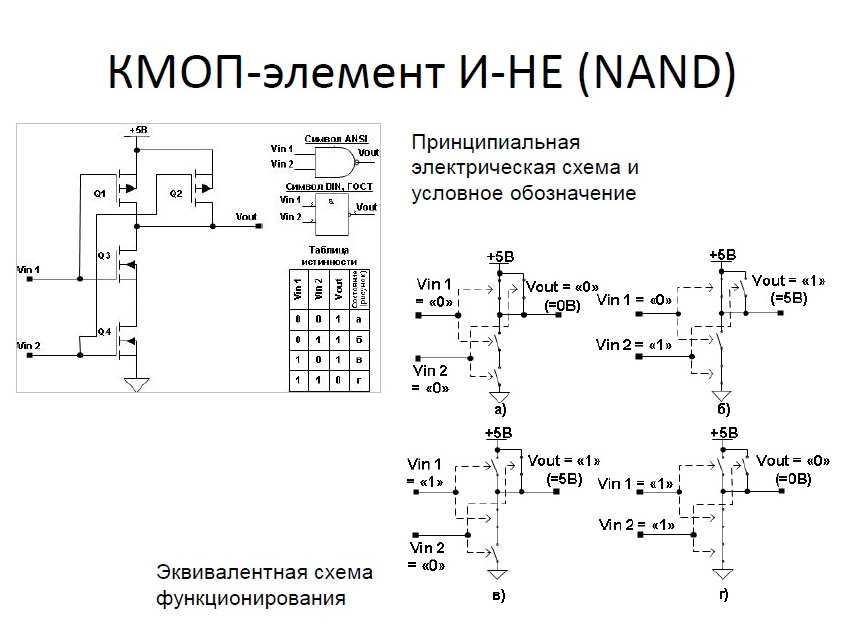


1.Вольтамперные характеристики полевого транзистора с управляющим pn переходом.

# КМОП-инвертор:







# Практическая часть:

Схема «2или-2и-не»

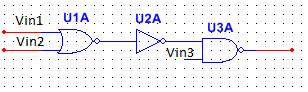




Таблица истинности

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | !((A||B)&&C) |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | !((A||B)&&C) |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

# Моделирование:

# 

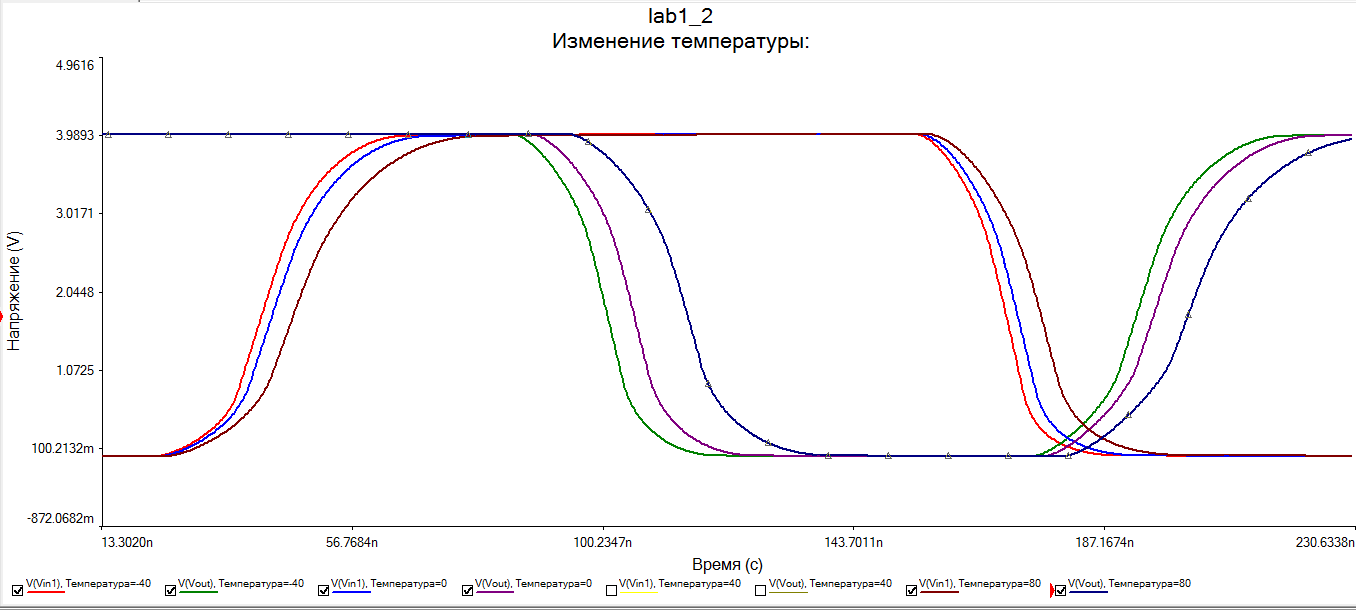
V

# 

V

## 

4V



## Время задержки выходного сигнала по фронту

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Время задержки выходного сигнала по фронту (нс)*** | | | | |
| *V источника* | t◦ C | -40 | 0 | 80 |
| 2V | | 25,94 | 27,11 | 29,67 |
| 3V | | 24,72 | 25,84 | 28,23 |
| 4V | | 24,53 | 25,55 | 27,68 |

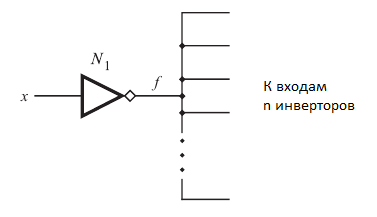
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Время задержки выходного сигнала по спаду (нс)*** | | | | |
| *V источника* | t◦ C | -40 | 0 | 80 |
| 2V | | 62,06 | 64,33 | 68,70 |
| 3V | | 58,21 | 60,79 | 66,14 |
| 4V | | 57,01 | 59,61 | 65,03 |

Время задержки по фронту

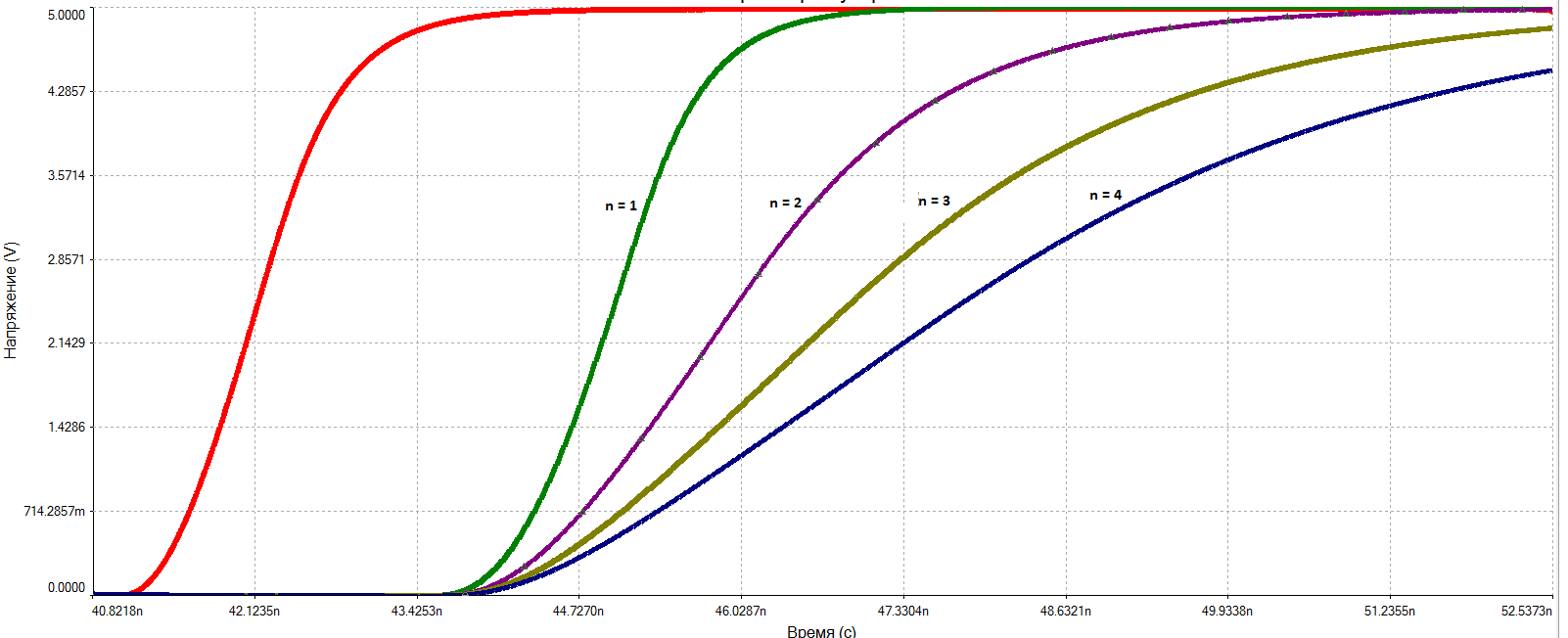
Время задержки по спаду

**Исследование коэффициента разветвления**

**Коэффициент разветвления -** максимальное число входов  которые можно подключить к  отдельному выходу



**Подключение выхода к инверторам, собранным на аналогичных транзисторах.**



Задержка распространения сигнала

|  |  |  |  |
| --- | --- | --- | --- |
| n=1 | n=2 | n=3 | n=4 |
| 24,3 | 36,2 | 47,6 | 58,1 |

Таким образом, из таблицы видно, что с увеличением количества элементов на выходе, время задержки так же увеличивается

# SPISE модели использованных транзисторов:

## TN0200K

\*Oct 31, 2005

\*Doc. ID: 77180, S-52292, Rev. B

\*File Name: TN0200K\_PS.txt and TN0200K\_PS.lib

.SUBCKT TN0200K\_1 4 1 2

M1 3 5 2 2 NMOS W=54487u L=0.50u

M2 2 5 2 4 PMOS W=54487u L=0.70u

R1 4 3 RTEMP 50E-3

CGS 5 2 75E-12

DBD 2 4 DBD

XESD 1 5 2 esd

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL NMOS NMOS (LEVEL = 3 TOX = 1.7E-8

+ RS = 80E-3 RD = 0 NSUB = 1.6E17

+ KP = 5E-5 UO = 650

+ VMAX = 0 XJ = 5E-7 KAPPA = 2E-2

+ ETA = 1E-4 TPG = 1

+ IS = 0 LD = 0

+ CGSO = 0 CGDO = 0 CGBO = 0

+ NFS = 0.8E12 DELTA = 0.1)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL PMOS PMOS (LEVEL = 3 TOX = 1.7E-8

+NSUB = 1.5E17 TPG = -1)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL DBD D (CJO=40E-12 VJ=0.38 M=0.15

+RS=1 FC=0.1 IS=1E-12 TT=5E-8 N=1 BV=20.5)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL RTEMP RES (TC1=10E-3 TC2=5.5E-6)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.ENDS TN0200K\_1

.subckt esd 1 5 2

rd1 1 6 1 TC=300

d1 6 2 dleak

.MODEL dleak d (IS=3E-9 XTI=350 EG=1.17 T\_MEASURED=25 TBV1=0 N=34 BV=6.4)

rd2 1 7 34 TC=-0.0002

d2 8 7 dout

d3 8 2 dout

.MODEL dout D (IS=5.1E-9 XTI=-35 EG=1.17 T\_MEASURED=25 TBV1=-5.64e-4 N=2 BV=6.38)

rpoly 1 5 100 TC=0.001

rd4 5 9 100 TC=-0.015

d4 10 9 din

d5 10 2 din

.MODEL din D (IS=5.1E-9 XTI=-30 EG=1.17 T\_MEASURED=25 TBV1=-1.76e-4 N=1.5 BV=6.25)

.ends esd

## TP0101K

\*Nov 21, 2005

\*Doc. ID: 77228, S-52397, Rev. B

\*File Name: TP0101K\_PS.txt and TP0101K\_PS.lib

.SUBCKT TP0101K\_1 4 1 2

M1 3 5 2 2 PMOS W=54487u L=0.50u

M2 2 5 2 4 NMOS W=54487u L=0.60u

R1 4 3 RTEMP 10E-2

CGS 5 2 90E-12

DBD 4 2 DBD

XESD 1 5 2 TP0101K\_ESD

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL PMOS PMOS ( LEVEL = 3 TOX = 1.7E-8

+ RS = 20E-2 RD = 0 NSUB = 6.3E15

+ KP = 2.1E-5 UO = 400

+ VMAX = 0 XJ = 5E-7 KAPPA = 1E-2

+ ETA = 1E-4 TPG = -1

+ IS = 0 LD = 0

+ CGSO = 0 CGDO = 0 CGBO = 0

+ NFS = 0.8E12 DELTA = 0.1)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL NMOS NMOS ( LEVEL = 3 TOX = 1.7E-8

+NSUB = 5E17 NFS = 1E12 TPG = -1)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL DBD D (CJO=60E-12 VJ=0.38 M=0.38

+RS=1 FC=0.5 IS=1E-12 TT=4.5E-8 N=1 BV=20.2)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.MODEL RTEMP RES (TC1=9E-3 TC2=5.5E-6)

\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

.ENDS TP0101K\_1

.subckt TP0101K\_ESD 1 5 2

rd1 1 6 1 TC=300

d1 6 2 dleak

.MODEL dleak d (IS=3E-9 XTI=350 EG=1.17 T\_MEASURED=25 TBV1=0 N=34 BV=6.4)

rd2 1 7 34 TC=-0.0002

d2 8 7 dout

d3 8 2 dout

.MODEL dout D (IS=5.1E-9 XTI=-35 EG=1.17 T\_MEASURED=25 TBV1=-5.64e-4 N=2 BV=6.38)

rpoly 1 5 100 TC=0.001

rd4 5 9 100 TC=-0.015

d4 10 9 din

d5 10 2 din

.MODEL din D (IS=5.1E-9 XTI=-30 EG=1.17 T\_MEASURED=25 TBV1=-1.76e-4 N=1.5 BV=6.25)

.ends TP0101K\_ESD

Вывод:

Во время выполнения лабораторной работы были изучены теоретические основы полевых транзисторов, КМОП технологии, построения логических элементов на основе полевых транзисторов, изучены механизмы моделирования работы схемы, и др. особенности работы в программах, используемых для разработки цифровых схем.