**Санкт-Петербургский национальный исследовательский университет**

**информационных технологий, механики и оптики**

**Кафедра информатики и прикладной математики**

Цифровая схемотехника

Лабораторная работа № 4

Выполнил Кудряшов А.А.

Группа 2121

2013 г.

Цель: реализация вычисления полинома в виде логической схемы

Полином:

P(x)=, x=0..7

Выполнение лабораторной работы:

Реализуем вычисление полинома путем создания соответствующего дешифратора:

Таблица вычисления значений полинома:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Значение Х | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| Числитель полинома | -1 | 10 | 75 | 236 | 535 | 1014 | 1715 | 2680 |
| Знаменатель  Полинома | 4 | 9 | 16 | 25 | 36 | 49 | 64 | 81 |
| Значение полинома | -0,25 | 1,111111 | 4,6875 | 9,44 | 14,86111 | 20,69388 | 26,79688 | 33,08642 |
| Целая часть результата | 0 | 1 | 4 | 9 | 14 | 20 | 26 | 33 |
| Остаток | -1 | 1 | 11 | 11 | 31 | 34 | 51 | 7 |
| Целая часть (HEX) | 0 | 1 | 4 | 9 | E | 14 | 1A | 21 |
| Остаток(HEX) | -1 | 1 | B | B | 1F | 22 | 33 | 7 |

Как видно из таблицы максимальное количество бит, занимаемое целой частью и остатком результата в двоичной системе равно 6, следовательно, необходимо создать дешифратор с 12 выходами.

Для составление логических уравнений для переменных выхода необходимо составить таблицу истинности дешифратора:

Составим таблицу истинности дешифратора:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входные данные | | | | Целая часть результата | | | | | | Остаток | | | | | | |
|  | Х2 | Х1 | Х0 | У5 | У4 | У3 | У2 | У1 | У0 | Z5 | Z4 | Z3 | Z2 | Z1 | Z0 | Sign |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 3 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 4 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

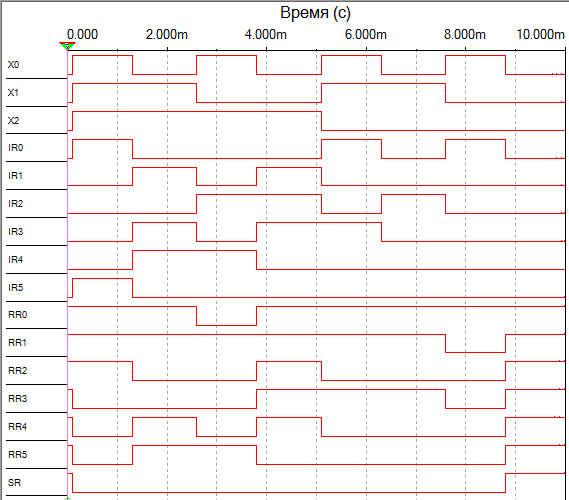
На основе приведенной выше таблицы составим уравнения для выходных переменных, для удобства положим логические уравнения типа X2 ∧X1 ∧X0 ≡ 7, согласно десятичному представлению их членов и номерам в таблице истинности дешифратора, таким образом:

Логические уравнения для выходных переменных:

|  |  |
| --- | --- |
| У5 = *7*  У4 =*5* ***∨*** *6*  У3 = *3 ∨ 4 ∨ 6*  У2 = *2 ∨4 ∨5*  У1 *= 4 ∨ 6*  У0 *= 1 ∨3 ∨7* | Z5 *= 0∨5 ∨6*  Z4 *= 0∨4 ∨6*  Z3 *= 0∨2 ∨3 ∨4*  Z2 *= 0∨4 ∨7*  Z1 *= 0∨2 ∨ 3 ∨4 ∨5 ∨6 ∨7*  Z0 *= 0∨1 ∨2 ∨3 ∨4 ∨6 ∨7* |

На основе составленных уравнений построим дешифратор, реализующий заданный полином

Проверка работы схемы:



В данном анализе:

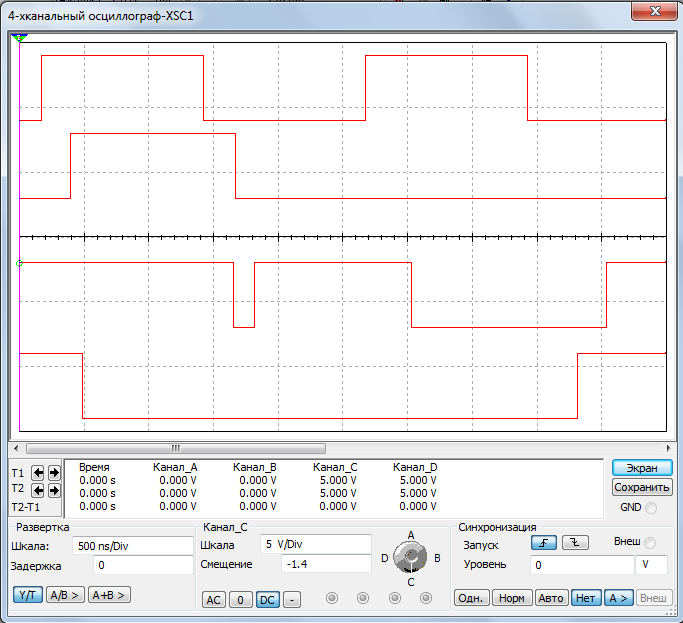
Временные диаграммы Х0,X1,X2 – значения соответствующих битов входного значения числа X

Временные диаграммы IR0, IR1, IR2, IR3, IR4, IR5 (Integer Result) – значения соответствующих битов целой части выходного значения результата вычисления полинома.

Временные диаграммы RR0, RR1, RR2, RR3, RR4, RR5 (Remainder Result) – значения соответствующих битов выходного значения остатка от результата деления числителя полинома на его знаменатель.

Временная диаграмма SR (Sign Result) – бит определяющий знак остатка от результата целочисленного деления числителя полинома на его знаменатель.

Нахождение критического пути:

Для нахождения кратчайшего пути сравним время задержки сигнала по трем типичным путям в схеме: со входа Х0 на выход IR0,RR0,RR3:

-Х0

-IR0

-RR0

-RR3

|  |  |  |
| --- | --- | --- |
|  | Задержка по фронту | Задержка по спаду |
| IR0 | 219 ns | 244 ns |
| RR0 | 608 ns | 355 ns |
| RR3 | 388 ns | 316 ns |

Из графика и таблицы видно что наибольшая задержка относительно входного сигнала X0 имеет выход RR0, следовательно данный путь можно назвать критическим, так же можно сделать вывод, что время задержки прямо пропорционально количеству логических элементов на пути движения сигнала.

Вывод: В процессе выполнения работы были рассмотрены способы организации вычислений с помощью логических схем, а так же был рассмотрен принцип организации дешифратора.