

# Предтопологический анализ целостности сигналов в среде Cadence Allegro PCB SI

Анатолий Сергеев (Москва)

В статье рассказывается о программных решениях Cadence Allegro PCB SI, предназначенных для анализа целостности сигналов на платах быстродействующих устройств. Возможности данного продукта позволяют инженерам минимизировать влияние паразитных параметров печатного монтажа на целостность сигналов, значительно сократить сроки выхода на рынок новых устройств, обеспечить их высокое качество и надёжность. Рассмотрены приёмы работы в среде Allegro PCB SI, демонстрирующие некоторые возможности пакета.

## ВВЕДЕНИЕ

Программный пакет Allegro PCB SI объединяет в себе возможности проектирования и моделирования печатных плат быстродействующих устройств. Тесная интеграция с редактором топологии Allegro PCB Editor и схемным редактором Allegro Design Entry HDL позволяет инженерам проводить верификацию проекта на всех этапах его разработки. Это важно, поскольку чем раньше в цикле проектирования будут найдены и устранены проблемы, связанные с целостностью сигналов, тем меньше будут затраты на устранение этих проблем на этапах физического прототипирования и производства. Пакет PCB SI включает в себя несколько приложений (см. ниже), которые решают определённый круг задач:

- *PCB SI* – редактор для компоновки платы и трассировки наиболее критичных цепей перед тем, как проект будет передан инженеру по топологии.
- *Signal Explorer* – графическая среда для исследования, анализа и создания вариантов электрических соединений. Здесь в максимально доступном виде отображаются все электрические модели, входящие в состав одной или нескольких цепей, т.е. проводники, переходные отверстия, источники и приёмники сигналов и т.д. *Signal Explorer* имеет встроенный процессор под названием Transmission Line Simulator (TLSim) – симулятор линий передачи; TLSim работает с моделями линий передач, моделями устройств

(IBIS и DML), Spice-моделями и S-параметрами. Он не может моделировать работу схем с моделями, описанными на уровне транзисторов;

- *Signal Noise* – модуль, предназначенный для быстрого анализа сигналов на плате на предмет наличия отражений или оценки перекрёстных помех во всём проекте или в некоторой группе сигналов. Результатом работы *SigNoise* являются подробные текстовые отчёты, где можно видеть результаты расчётов, а также осциллограммы;
- *Constraint Manager* – система контроля ограничений в проекте; является общей для всей базы данных проекта на схемном и физическом уровнях. *Constraint Manager* управляет компоновкой, размещением и интерактивной трассировкой в реальном времени или в пакетном режиме. Здесь отображаются результаты расчётов задержек сигналов на плате, импеданса, дифференциальных пар и т.д.;
- *Signal Wave* – виртуальный осциллограф и редактор графиков. Здесь можно обработать результаты анализа, расставить контрольные точки, посмотреть уровни сигналов на различных временных интервалах, отобразить спектр сигнала, диаграмму и т.д.;
- *Model Editor* – редактор моделей компонентов, используемых при анализе целостности. Помимо стандартных возможностей текстового редактирования, включает такие функции, как тестирование моделей и вывод результатов в графической форме через *SigWave*.

## ПЕРЕДАЧА ТОПОЛОГИИ И МОДЕЛИРОВАНИЕ

На схемотехническом уровне под топологией понимается не готовая физическая реализация цепи с проводниками и переходными отверстиями, которой ещё нет, а набор электрических идеальных моделей, составляющих цепь. Сюда входят соединения между выводами, нагрузки, источники напряжения, источники и приёмники сигналов. Для предтопологического модели-

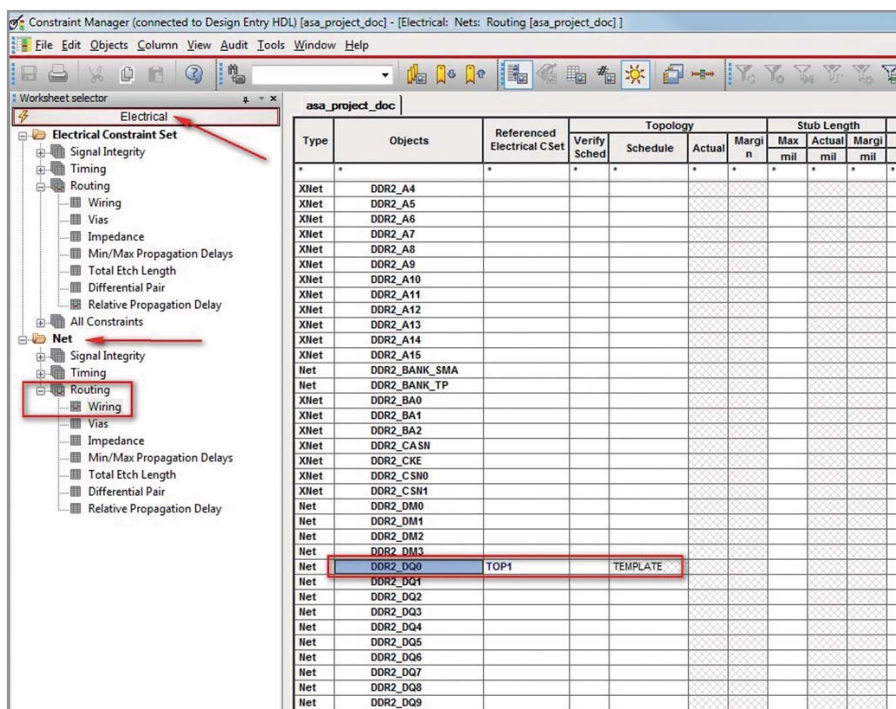


Рис. 1. Система управления ограничениями Constraint Manager

рования любое соединение между выводами может быть представлено в виде идеальных линий передачи со значениями задержки и импеданса, принятыми по умолчанию в Allegro PCB SI.

Предположим, имеется плата с несколькими высокоскоростными интерфейсами, среди которых присутствует DDR2. По этому интерфейсу специализированная ИС соединяется с микросхемой памяти. Посмотрим, каким образом можно передать топологию для одного бита данных из DDR2 в Signal Explorer для проведения предположительного анализа целостности. Будем варьировать сопротивления согласующих резисторов и добиваться оптимальной формы сигнала во временной области.

Процедура передачи топологии в Signal Explorer выглядит следующим образом:

- 1) на схеме в Design Entry HDL перейдём в Constraint Manager через меню *Tools* → *Constraints* → *Edit*;
- 2) в электрическом домене перейдём в директорию Net и выберем таблицу *Routing* → *Wiring*. Сама таблица отобразится справа от менеджера таблиц. Здесь нас интересует сигнал

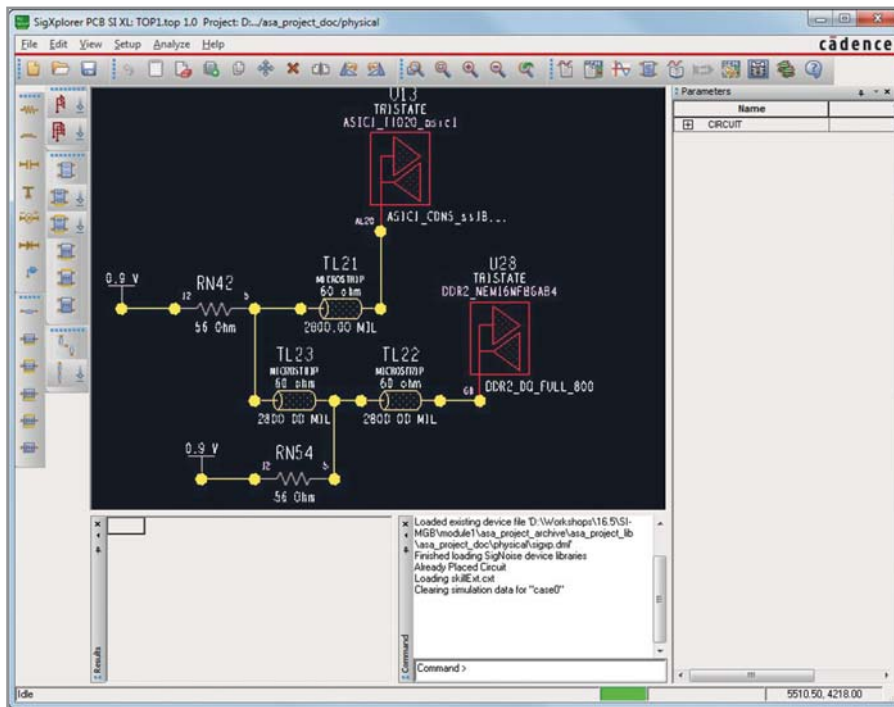


Рис. 2. Программа для анализа целостности сигналов Signal Explorer

- 3) далее достаточно нажать правую кнопку мыши и выбрать *SigXplorer...* либо на панели инструментов нажать кнопку . С помощью этой

процедуры выбранная цепь со всеми её составляющими будет передана для анализа в *Signal Explorer*. Необходимо сделать уточнение, что, прежде чем передавать цепь, её следует подготовить, а именно, на-

Используете морально устаревшие САПР?



Ваш пропуск в мир скоростей

# OrCAD PCB Designer

современные технологии проектирования и взгляд в будущее



функциональность  
масштабируемость  
интегрированность  
интернет-приложения  
оптимальная цена

Реклама

cadence®

Техническая поддержка Обучение Дизайн-проекты

Тел.: +7 (495) 943-50-32, www.orlda.ru

оркада

CADENCE CHANNEL PARTNER

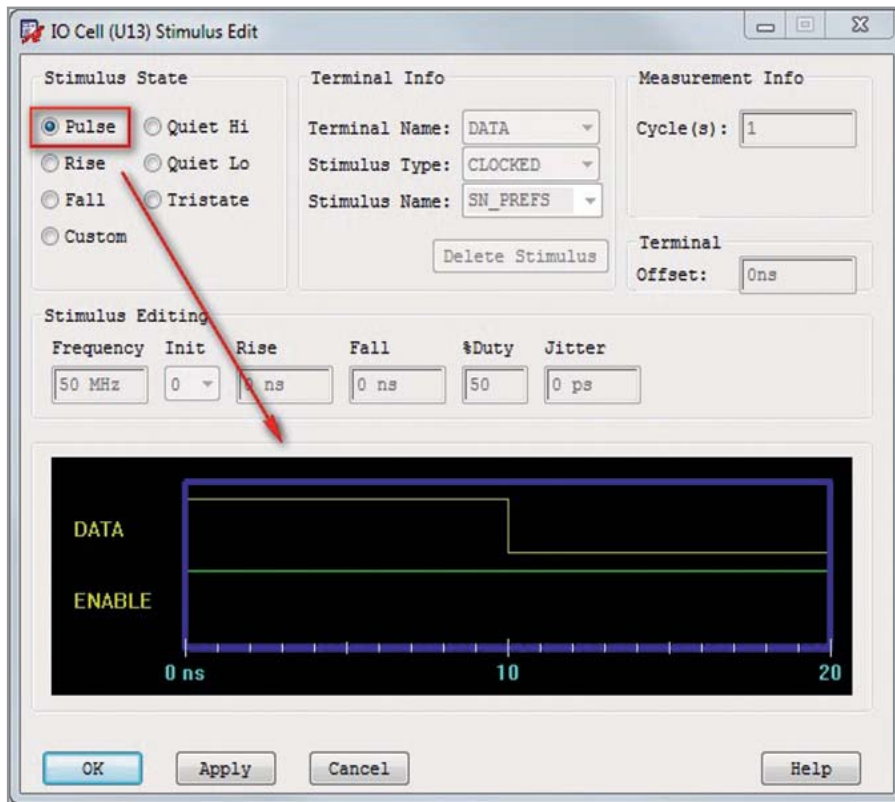


Рис. 3. Настройка источника сигнала в Signal Explorer

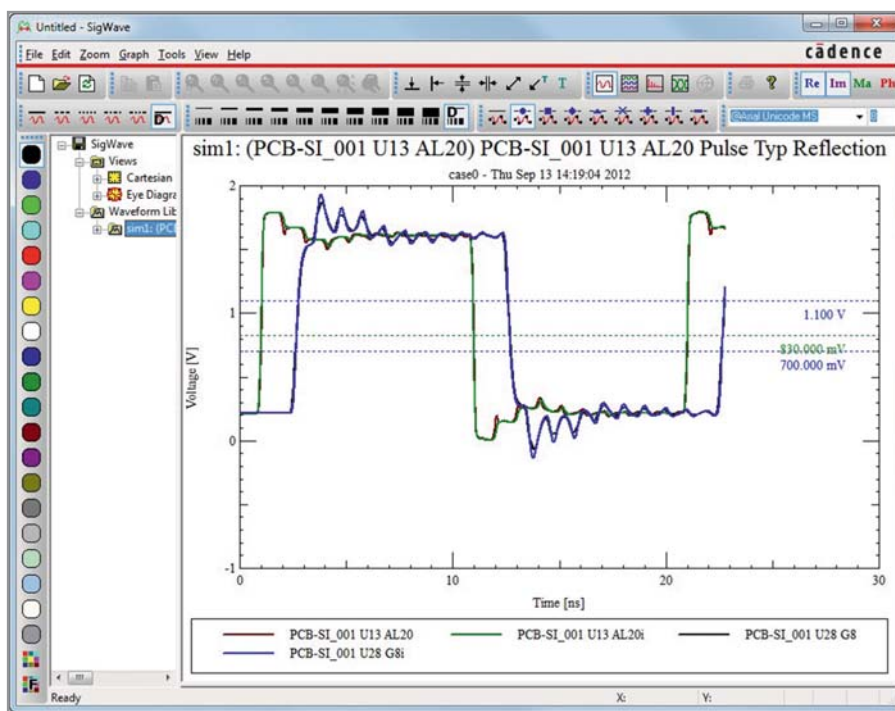



Рис. 4. Результат моделирования в SigWave

значить модели компонентам и указать напряжение. Правильно подготовленные библиотеки и настроенный проект почти всегда гарантируют минимальное количество настроек перед моделированием. В нашем случае для упрощения мы рассматриваем отлаженную ранее схему;

4) в окне *Signal Explorer (Topology Editor)* отобразится электрическая модель


цепи (см. рис. 2). Видно, что цепь состоит из передающего и принимающего буферов (U13, U28), соединённых с идеальными линиями передачи (TL21 – TL23) с параметрами по умолчанию – задержкой 0,5 нс (2800 Мил) и импедансом 60 Ом. Также на схеме присутствуют нагрузочные резисторы (RN42 и RN54) и источники постоянного напряжения 0,9 В;

5) перед моделированием необходимо настроить параметры сигнала в драйвере. Для этого кликнем текст TRISTATE на верхней части символа U13. В появившемся окне в секции *Stimulus State* выберем *Pulse* и нажмем OK для завершения настройки (см. рис. 3);

6) для запуска моделирования из окна *Signal Explorer* можно нажать кнопку  на панели инструментов. По окончании моделирования переходного процесса в окне *SigWave* автоматически появится осциллограмма (см. рис. 4).

Основная задача предтопологического моделирования заключается в выборе оптимальных согласующих резисторов на концах линий передачи. Другая важная задача – выбор импеданса, который обеспечит минимальное отражение сигнала и низкий уровень помех. В *Signal Explorer* есть инструменты, позволяющие варьировать значения вышеуказанных параметров. Кроме того, вы можете установить зависимость изменения одного или нескольких параметров друг от друга для различных моделей.

Для подбора оптимальных нагрузочных резисторов поступим следующим образом:

1) на панели *Parameters* в окне *Signal Explorer* раскроем список параметров элементов топологии. Для начала нас интересует резистор RN54. Выберем *Circuit* → *PCB\_SI\_001* → *RN54*. Ещё быстрее это можно сделать, если выбрать значение сопротивления на самом резисторе в рабочем поле программы. Щёлкнем значение «54 Ом» на панели *Parameters*, а затем кнопку  рядом с этим значением (см. рис. 5);

2) чтобы проверить уровень сигнала для разных нагрузок, необходимо задать диапазон значений сопротивления, в пределах которого будет выполнено исследование сигнала. В окне *Set Parameters: Resistance* в секции *Linear Range* установим предел от 50 до 62 Ом с числом итераций моделирования 5 (см. рис. 6);

3) для резистора R42 установим значения сопротивлений при моделировании такие же, как и для R54. Это можно сделать с помощью выражения в нижней части окна *Set Parameters: Resistance* для R42. Выберем в списке *Variables* *RN54.resistance* и внесём его в поле *Expression* с помощью кнопки *Append Var* (см.

рис. 7). Это сократит количество итераций с 25 до 5, что значительно упростит поиск решения для данного случая;

- 4) теперь, как и в прошлый раз, выберем *Analyze* → *Simulate*. При этом появится окно *Sweep Sampling*, где будет предложено ещё раз указать число итераций моделирования, необходимое для выполнения заданной вариации параметров. Нажмем *Continue*, и в нижней части окна *Signal Explorer* на панели *Results* появятся результаты вычислений согласно выбранным значениям сопротивлений нагрузочных резисторов (см. рис. 8).

Видно, что каждому шагу моделирования был присвоен номер в столбце *SimID*. Выбирая шаги из списка, можно просматривать осциллограмму, соответствующую каждому результату. Достаточно нажать правую кнопку мыши и выбрать *View Waveform* для вывода графических данных. Можно выбрать несколько результатов или сразу все и просмотреть их в окне *SigWave* на одном графике. На панели *Results* автоматически появляются вычисления для широкого набора характеристик сигнала, таких как выбег (*Overshoot*), на которые можно ориентироваться при нахождении оптимального варианта. После просмотра результатов необходимо выбрать меню *Edit* → *Transform For Constraint Manager* для приведения всех параметров к значениям по умолчанию и установки ограничений.

Варьируя параметры и характеристики различных элементов цепи в *Signal Explorer*, инженер по целостности сигналов добивается оптимального вида исследуемого сигнала. Характеристики сохраняются в виде шаблона ограничений и могут быть автоматически переданы в *Constraint Manager*. Посмотрим, каким образом можно указать дополнительные ограничения через *Signal Explorer* для нашего сигнала *DDR\_DQ* и затем применить их для всей 32-битной шины *DDR2* в проекте:

- 1) для начала выберем из меню *Signal Explorer* окно для указания ограничений *Setup* → *Constraints*. На каждой из вкладок можно указать определённый вид ограничений. Установим значения для минимального и максимального уровней относительной задержки сигнала. Для этого перейдём на вкладку *Prop Delay*;

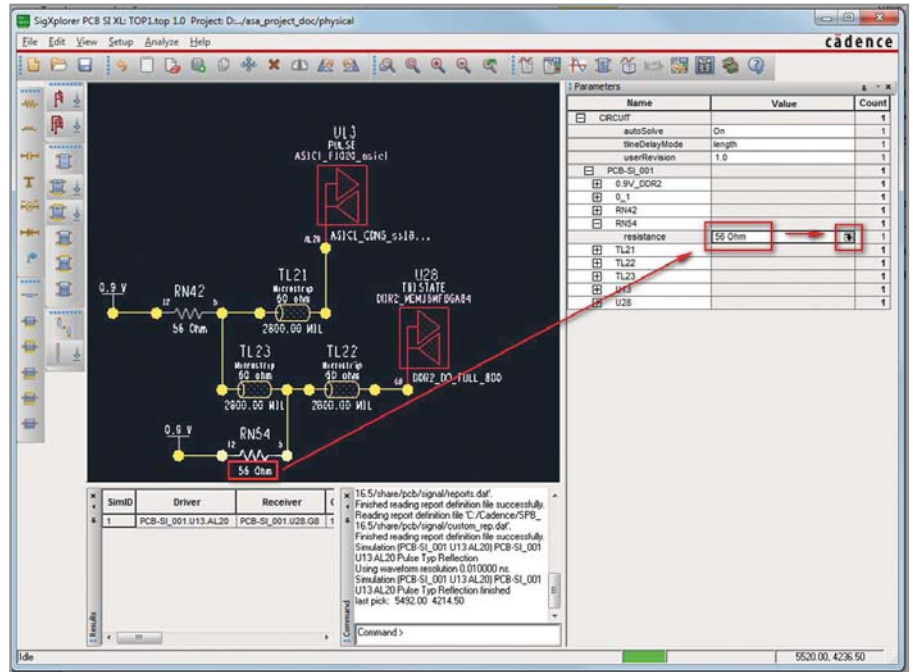


Рис. 5. Настройка параметров моделей в Signal Explorer

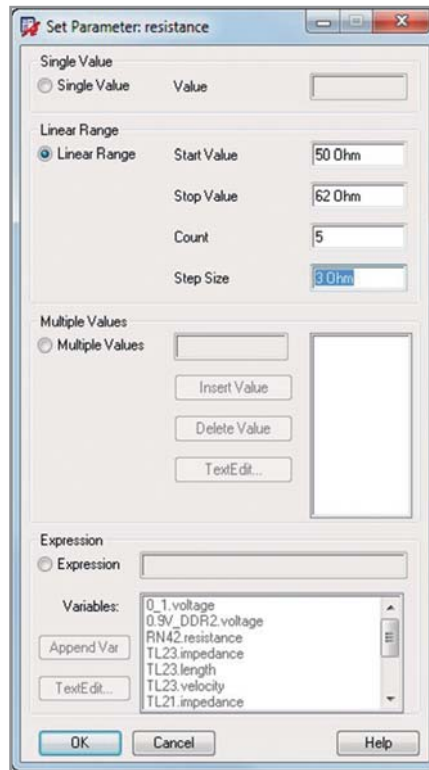


Рис. 6. Настройка диапазона значений сопротивления для нагрузочных резисторов

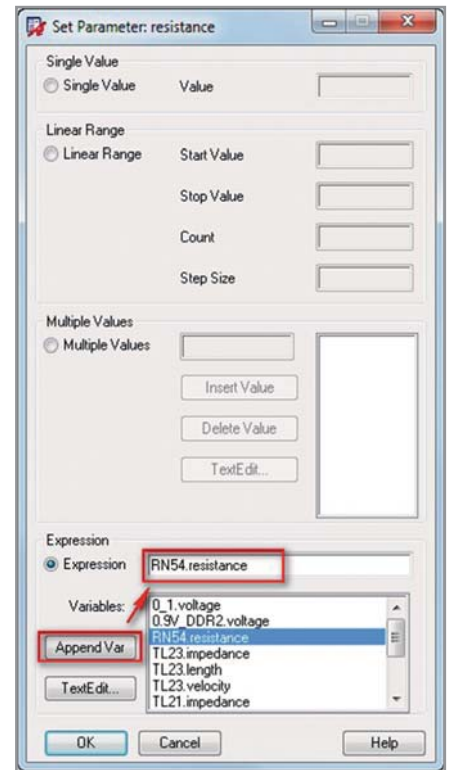


Рис. 7. Установка связи между параметрами нескольких резисторов

- 2) теперь необходимо указать пару выводов, между которыми будет контролироваться задержка. Для этого в поле *Pins/Tees* выберем *U13.AL20*, а затем *U28.G8*. Эти наименования автоматически появятся в секции *Rule Editing*, расположенной справа (аналогично выводы можно выбирать мышью непосредственно на рабочем поле программы);
- 3) в списке *Rule* выберем *Length*, т.е. будем указывать задержку в единицах длины

- проводников. Укажем 2800 Мил для минимальной длины и 3300 Мил для максимальной длины. Затем нажмём *Add*, и новое ограничение появится в поле *Existing Rules* сверху (см. рис. 9);
- 4) передадим ограничения *Constraint Manager* в схемотехнический редактор *Design Entry HDL*. Для этого в *Signal Explorer* выберем *File* → *Update Constraint Manager* или нажмём кнопку . Эта процедура отправит новый шаблон ограничений в базу

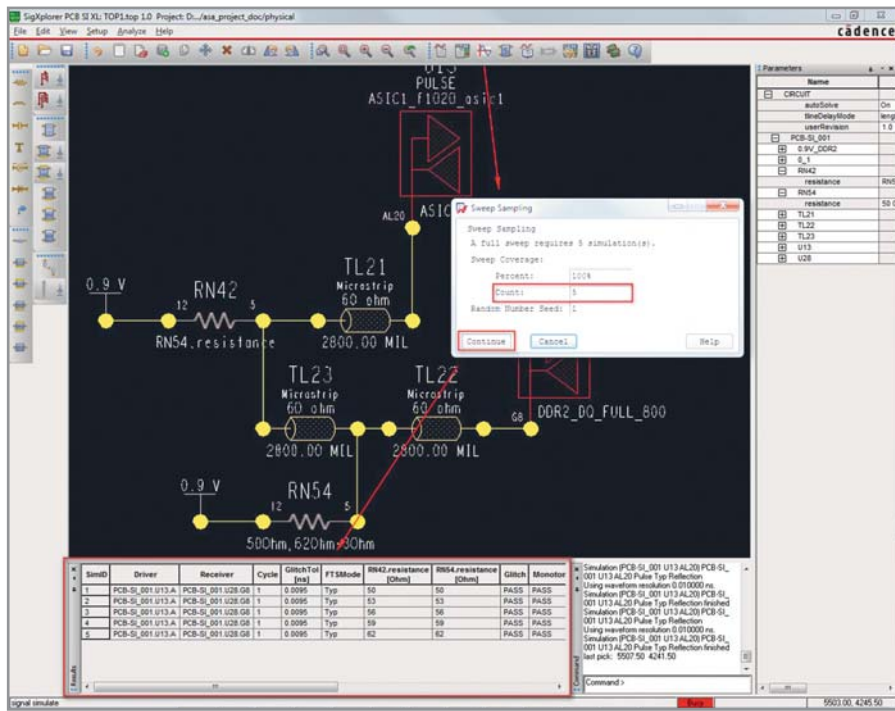


Рис. 8. Результаты анализа на панели Results в окне Signal Explorer

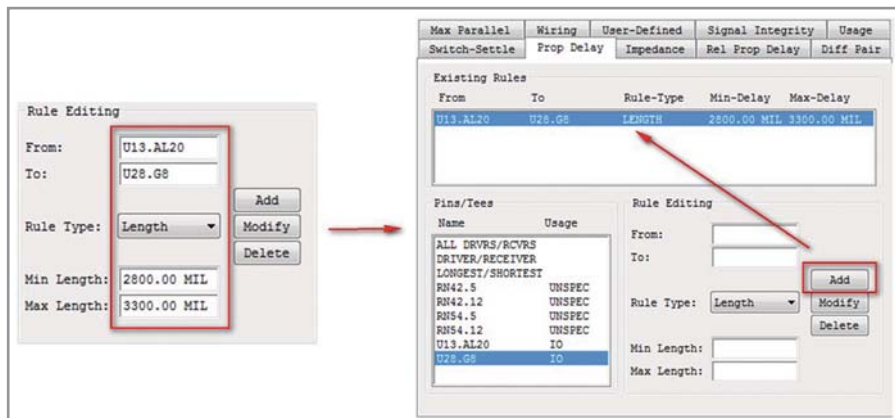


Рис. 9. Установка ограничений на задержку сигналов в Signal Explorer

Electrical Constraint	Type	Objects	Referenced Electrical CSet	Topology				Stub Length			Exposed Length			
				Verify Sched	Schedule	Actual	Margi n	Max mil	Actual mil	Margi mil	Max mil	Actual mil	Margi mil	
Xlnet	DDR2_CKE													
Xlnet	DDR2_CS#0													
Xlnet	DDR2_CSM1													
Net	DDR2_DM0													
Net	DDR2_DM1													
Net	DDR2_DM2													
Net	DDR2_DM3													
Net	DDR2_DQ0		TOP1		TEMPLATE									
Net	DDR2_DQ1		TOP1		TEMPLATE									
Net	DDR2_DQ2		TOP1		TEMPLATE									
Net	DDR2_DQ3		TOP1		TEMPLATE									
Net	DDR2_DQ4		TOP1		TEMPLATE									
Net	DDR2_DQ5		TOP1		TEMPLATE									
Net	DDR2_DQ6		TOP1		TEMPLATE									
Net	DDR2_DQ7		TOP1		TEMPLATE									
Net	DDR2_DQ8		TOP1		TEMPLATE									
Net	DDR2_DQ9		TOP1		TEMPLATE									
Net	DDR2_DQ10		TOP1		TEMPLATE									
Net	DDR2_DQ11		TOP1		TEMPLATE									
Net	DDR2_DQ12		TOP1		TEMPLATE									
Net	DDR2_DQ13		TOP1		TEMPLATE									
Net	DDR2_DQ14		TOP1		TEMPLATE									
Net	DDR2_DQ15		TOP1		TEMPLATE									
Net	DDR2_DQ16		TOP1		TEMPLATE									
Net	DDR2_DQ17		TOP1		TEMPLATE									
Net	DDR2_DQ18		TOP1		TEMPLATE									
Net	DDR2_DQ19		TOP1		TEMPLATE									
Net	DDR2_DQ20		TOP1		TEMPLATE									
Net	DDR2_DQ21		TOP1		TEMPLATE									
Net	DDR2_DQ22		TOP1		TEMPLATE									
Net	DDR2_DQ23		TOP1		TEMPLATE									
Net	DDR2_DQ24		TOP1		TEMPLATE									
Net	DDR2_DQ25		TOP1		TEMPLATE									
Net	DDR2_DQ26		TOP1		TEMPLATE									
Net	DDR2_DQ27		TOP1		TEMPLATE									
Net	DDR2_DQ28		TOP1		TEMPLATE									
Net	DDR2_DQ29		TOP1		TEMPLATE									
Net	DDR2_DQ30		TOP1		TEMPLATE									
Net	DDR2_DQ31		TOP1		TEMPLATE									
Xlnet	DDR2_ODT		TOP1											
Xlnet	DDR2_RAS#		(Clear)											
Net	DDR2_SYNC_CLK													

Рис. 10. Назначение шаблона электрических ограничений для цепей в Constraint Manager

Constraint Manager в проекте для цепи DDR2\_DQ0. Также на экране появится отчёт с информацией о переданных ограничениях Electrical CSet Apply Information. По окончании процедуры будет предложено сохранить шаблон с ограничениями в файле с расширением TOP. В последующем можно будет передавать шаблон между проектами, что создаёт большие удобства для разработчиков и экономит время;

- 5) вернемся в Constraint Manager. Теперь в столбце Referenced Electrical Cset необходимо присвоить шаблон TOP1 всей шине DDR2. Для этого достаточно выбрать первый и последний сигналы с помощью Shift, а в списке выбрать TOP1 (см. рис. 10);
- 6) откроем раздел Min/Max Propagation Delay. Все цепи, входящие в состав нашей шины, получили задержку сигнала согласно электрическому ограничению, указанному в Signal Explorer (см. рис. 11). Таким образом, процесс назначения ограничений связывает проектирование и моделирование в Allegro в единый процесс.

В редакторе топологии PCB SI все назначенные на схеме ограничения будут управлять процессом трассировки. Если задержка сигналов на плате будет отличаться от заявленной в Constraint Manager, то система предупредит нас об этом. Все значения реальной задержки, требуемой задержки и их разность можно увидеть в Constraint Manager. Здесь также можно изменять и дополнять любые ограничения.

Пропустим несколько важных шагов – генерацию списка соединений, размещение компонентов – и обратимся к почти готовой топологии. Посмотрим, как происходит процесс трассировки, управляемой ограничениями. Допустим, осталась незавершённой только одна цепь нашей шины, а именно DDR\_DQ0, как показывает Constraint Manager (см. рис. 12). На плате видно, что цепь DDR2\_DQ0 ещё не готова и ошибка помечена специальным маркером. При интерактивной трассировке и подстройке длины проводника в реальном времени появится индикатор, который покажет инженеру соответствие этой длины заявленному ограничению. На данном индикаторе будет отображаться разность между требуемой и реальной задержками сигнала. Зелёный цвет индикатора означает, что длина трассы удовлетворяет ограничению, красный – длина вы-

1	2	Type	Objects	Referenced Electrical C Set	Pin Pairs	Pin Delay		Prop Delay					
						Pin 1	Pin 2	Min	Actual	Margin	Max		
73	Net		DDR2_DM2										
74	Net		DDR2_DM3										
75	Net		DDR2_DQ0	TOP1									
76	PPr		U13.AL204U28.G8						2800 m				3300 n
77	Net		DDR2_DQ1	TOP1									
78	PPr		U13.AM19-U28.G2						2800 m				3300 n
79	Net		DDR2_DQ2	TOP1									
80	PPr		U13.A.H94U28.H7						2800 m				3300 n
81	Net		DDR2_DQ3	TOP1									
82	PPr		U13.AH28-U28.H3						2800 m				3300 n
83	Net		DDR2_DQ4	TOP1									
84	PPr		U13.AM22-U28.H1						2800 m				3300 n
85	Net		DDR2_DQ5	TOP1									
86	PPr		U13.AM21-U28.H9						2800 m				3300 n
87	Net		DDR2_DQ6	TOP1									
88	PPr		U13.AK21-U28.F1						2800 m				3300 n
89	Net		DDR2_DQ7	TOP1									
90	PPr		U13.AJ21-U28.F9						2800 m				3300 n
91	Net		DDR2_DQ8	TOP1									
92	PPr		U13.AJ23-U28.C8						2800 m				3300 n
93	Net		DDR2_DQ9	TOP1									
94	PPr		U13.AK22-U28.C2						2800 m				3300 n
95	Net		DDR2_DQ10	TOP1									
96	PPr		U13.AG22-U28.D7						2800 m				3300 n
97	Net		DDR2_DQ11	TOP1									
98	PPr		U13.AG23-U28.D3						2800 m				3300 n

Рис. 11. Задержка сигналов, назначенная через шаблон TOP1

Type	Objects	Referenced Electrical C Set	Pin Pairs	Pin Delay		Prop Delay		Prop Delay	
				Pin 1	Pin 2	Min	Actual	Margin	Max
Net	DDR2_DM1								
Net	DDR2_DM2								
Net	DDR2_DM3								
Net	DDR2_DQ0	TOP1				397.95 MIL	-1268.71 MIL	1768.71 MIL	
Net	DDR2_DQ1	TOP1				445.17 MIL	102.96 MIL	54.83 MIL	
Net	DDR2_DQ2	TOP1				78.47 MIL	421.63 MIL	421.63 MIL	
Net	DDR2_DQ3	TOP1				350.33 MIL	149.07 MIL	407.02 MIL	
Net	DDR2_DQ4	TOP1				92.90 MIL	369.59 MIL	206.3 MIL	
Net	DDR2_DQ5	TOP1				369.59 MIL	150.09 MIL	340.91 MIL	
Net	DDR2_DQ6	TOP1				213.7 MIL	220.90 MIL	279.02 MIL	
Net	DDR2_DQ7	TOP1				159.09 MIL	129.79 MIL	370.21 MIL	
Net	DDR2_DQ8	TOP1				166.65 MIL	70.56 MIL	334.36 MIL	
Net	DDR2_DQ9	TOP1				158.12 MIL	199.80 MIL	300.14 MIL	
Net	DDR2_DQ10	TOP1				67.07 MIL	283.26 MIL	236.76 MIL	
Net	DDR2_DQ11	TOP1				242.11 MIL	169.95 MIL	330.06 MIL	
Net	DDR2_DQ12	TOP1				31.13 MIL	252.17 MIL	247.83 MIL	
Net	DDR2_DQ13	TOP1				46.67 MIL	311.1 MIL	188.8 MIL	
Net	DDR2_DQ14	TOP1				31.13 MIL	46.67 MIL	466.87 MIL	
Net	DDR2_DQ15	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ16	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ17	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ18	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ19	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ20	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ21	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ22	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ23	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ24	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ25	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	
Net	DDR2_DQ26	TOP1				224.77 MIL	224.77 MIL	276.23 MIL	

Рис. 12. Constraint Manager в редакторе топологии Allegro PCB SI

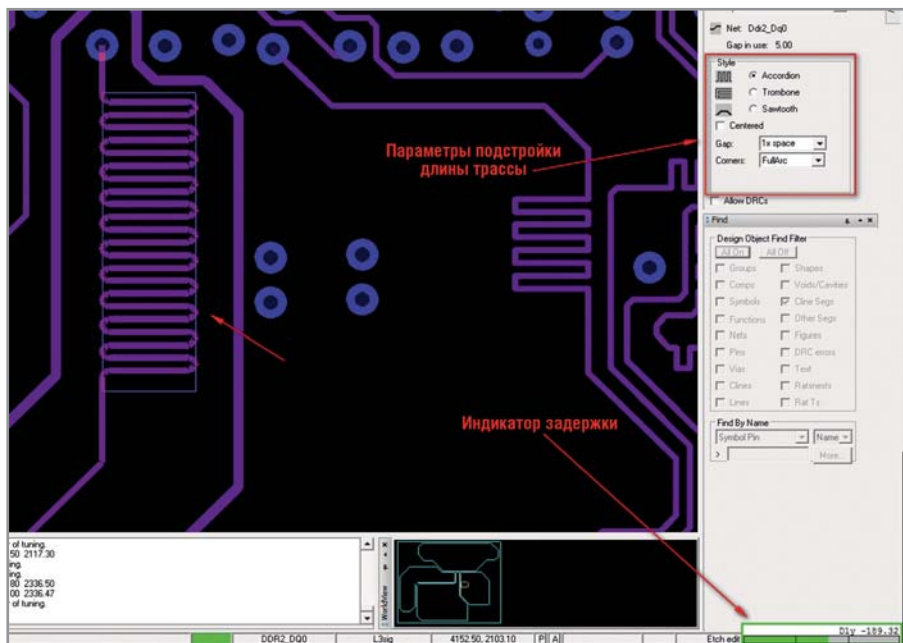


Рис. 13. Подстройка сигнала в Allegro PCB SI в соответствии с ограничением

Net	Objects	Referenced Electrical C Set	Pin Pairs	Pin Delay	Prop Delay	Prop Delay	Prop Delay	Prop Delay	
				Pin 1	Pin 2	Min	Actual	Margin	Max
Net	DDR2_DQ0	TOP1				310.65 MIL	3110.66 MIL	189.32 MIL	189.32 MIL
PPr	U13.AL204U28.G8			2800.0		3110.66	3110.66	3300.0	3110.66

Рис. 14. Значения требуемой и реальной задержек сигнала в Constraint Manager

ходит за пределы допуска (см. рис. 13). В Constraint Manager также появятся результаты работы (см. рис. 14).

Следующий этап работы – посттопологический анализ целостности сигналов и корректировка топологии по его результатам. Это – тема для отдельной статьи. Здесь возможности Allegro PCB SI неисчерпаемы. Как и в случае со схемой, любая цепь может быть передана из редактора топологии в Signal Explorer для моделирования, и там же могут быть назначены ограничения для Constraint Manager. Однако в этом случае модель цепи будет содержать в себе не идеальные линии передачи, а реальные модели проводников и отверстий, привязанных к топологии платы и материалам.

### ЗАКЛЮЧЕНИЕ

Таким образом, все процессы проектирования быстродействующих плат в пакете Allegro тесно связаны с системной анализом целостности сигналов Allegro PCB SI, что обеспечивает высокую точность и качество проектов. Важную роль в этом процессе играет тесное взаимодействие между инженером-схемотехником, инженером по топологии и инженером по анализу целостности сигналов. Благодаря общей базе проекта в Allegro, такое взаимодействие становится максимально продуктивным.

Предтопологический анализ целостности сигналов проводится на этапе разработки схемы с целью формирования шаблонов с электрическими ограничениями. Далее эти ограничения передаются в редактор топологии PCB SI для компоновки проекта, моделирования и предварительной трассировки наиболее критичных цепей. Здесь электрические ограничения корректируются и становятся более сбалансированными. Далее вся база проекта с ограничениями передаётся инженеру по топологии в Allegro PCB Designer. Трансляции данных между Allegro PCB SI и Allegro PCB Designer не требуется, что позволяет избежать связанных с этим возможных потерь в базе проекта. Allegro PCB Designer, в отличие от Allegro PCB SI, «заточен» именно под трассировку плат с учётом технологичности проектов и привязкой к возможностям конкретного производителя, обеспечения контролепригодности и надёжности плат.