Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики

Кафедра Информатики и прикладной математики

Схемотехника

Лабораторная работа №2

Построение и исследование работы D-триггера

Выполнил:

Кудряшов А.А.

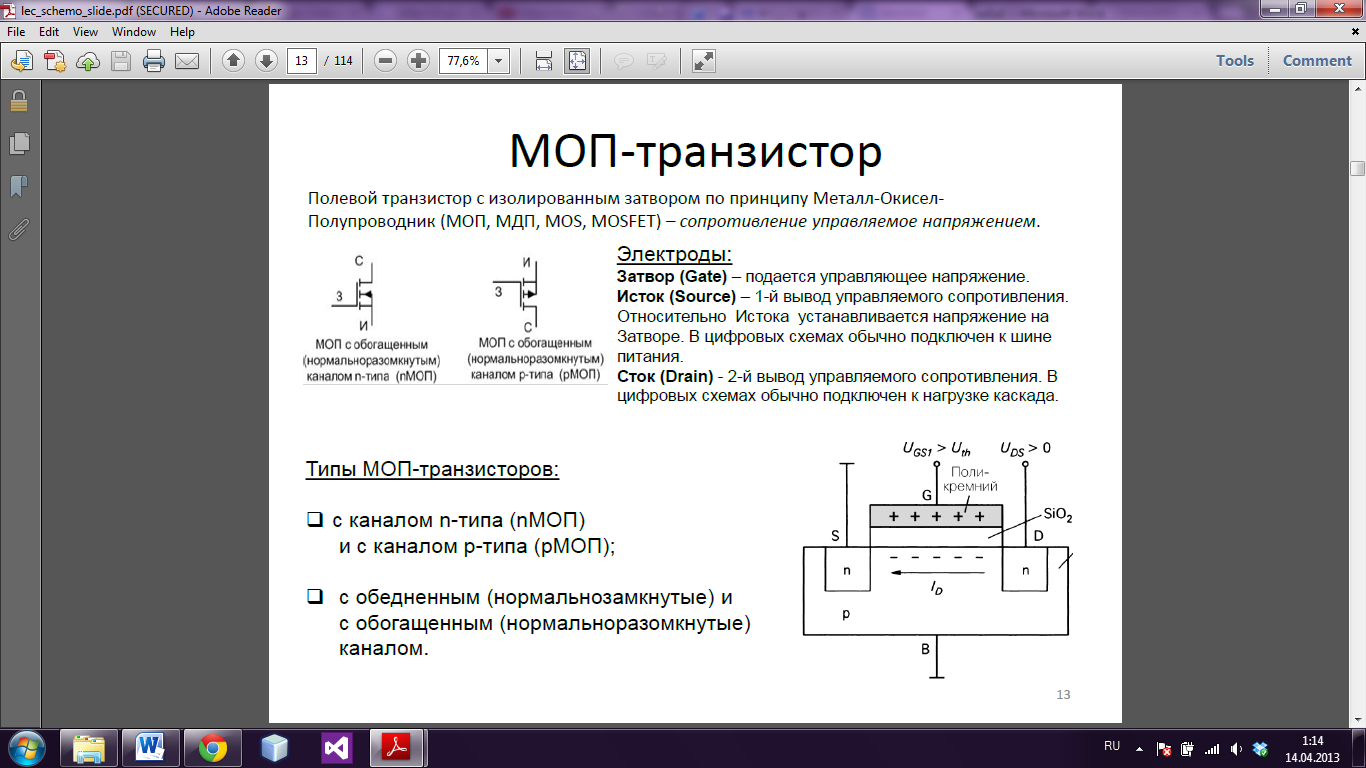
группа 2121

Санкт-Петербург, 2013 г.

1.Теория

Схема выполнена на базе КМОП.

МОП – транзистор – полевой транзистор с изолированным затвором по принципу Металл-Окисел-Полупроводник (принцип работы – сопротивление, управляемое напряжением)

Электроды:

Затвор (Gate) - подается управляющее напряжение

Исток (Source) – 1-й вывод управляемого сопротивления. Относительно Истока устанавливается напряжение на Затворе. В цифровых схемах обычно подключен к шине питания.

Сток (Drain) – 2-й вывод управляемого сопротивления. В цифровых схемах обычно подключен к нагрузке каскада.

В цифровых схемах МОП-транзисторы работают в ключевом режиме (открыт-закрыт).

Управление

nМОП-транзистором



Управление

pМОП-транзистором

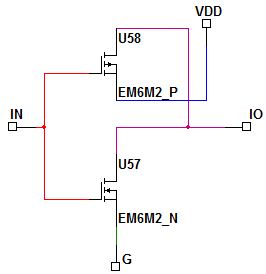
Если на ЗАТВОР относительно ИСТОКА подано напряжение Ugs>|Uth|, то сопротивление между ИСТОКОМ и СТОКОМ становится низким и между ними может протекать ток.

Если на ЗАТВОР относительно ИСТОКА подано напряжение Ugs<|Uth|, то сопротивление между ИСТОКОМ и СТОКОМ становится высоким и ток между ними не протекает. Uth (threshold voltage) – пороговое напряжение «открывания» транзистора, для цифровых микросхем равно примерно половине напряжения питания.

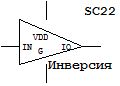
*D*-триггер обычно имеет только один информационный вход *D*. Информация с этого входа переписывается на выход *Q* триггера только по сигналу синхронизации *C*, таким образом, это синхронный триггер. Так как информация на выходе *D*-триггера остается неизменной вплоть до прихода очередного импульса синхронизации, данный триггер называют триггером с запоминанием информации или триггером-защелкой.

Логические функции, реализованные на КМОП транзисторах, использованные в данной лабораторной работе (схема, условное обозначение и таблица истинности)

Инверсия:

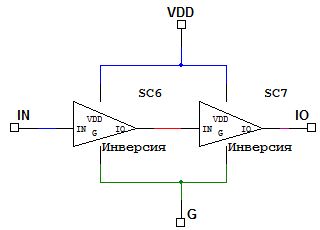
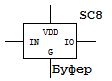


|  |  |
| --- | --- |
| *x* | *Y* |
| 0 | 1 |
| 1 | 0 |



Буфер:

|  |  |
| --- | --- |
| *x* | *y* |
| 0 | 0 |
| 1 | 1 |

Логическое И-НЕ

|  |  |  |
| --- | --- | --- |
| *x1* | *x2* | *y* |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

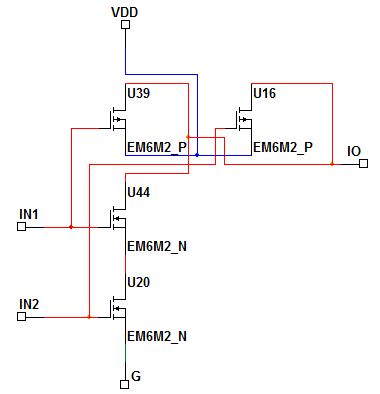
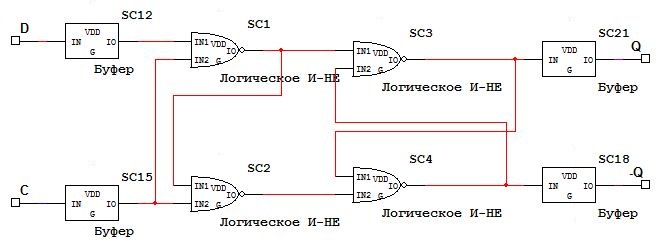




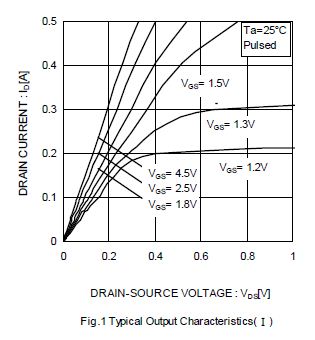
Схема D-триггера



Схемы, используемые при измерениях задержки сигнала от температуры и питающего напряжения. (Сопротивления на резисторах взяты в соответствии тестовыми данными описанными в Datasheet)

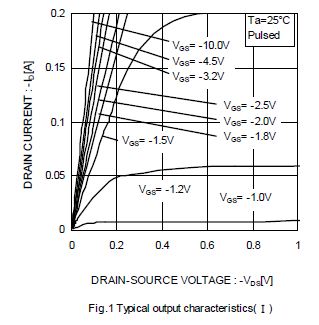
N-channel

Measurement circuit:

P-channel

Measurement circuit:

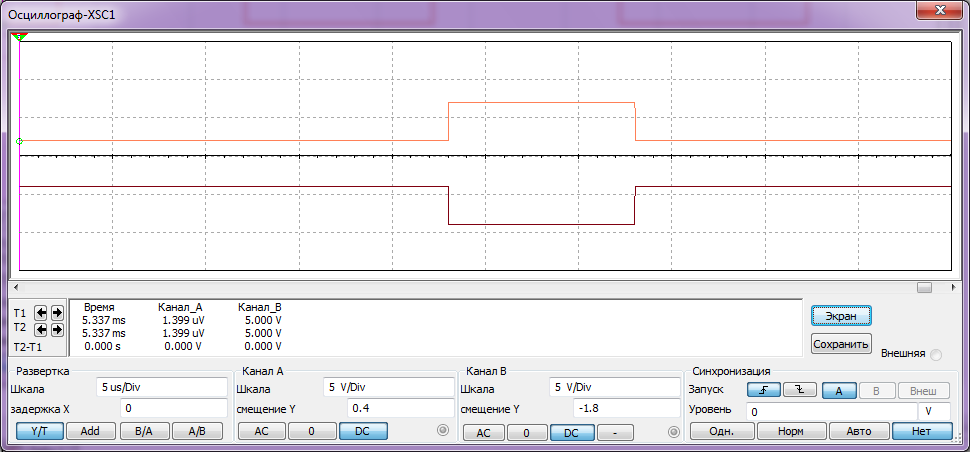
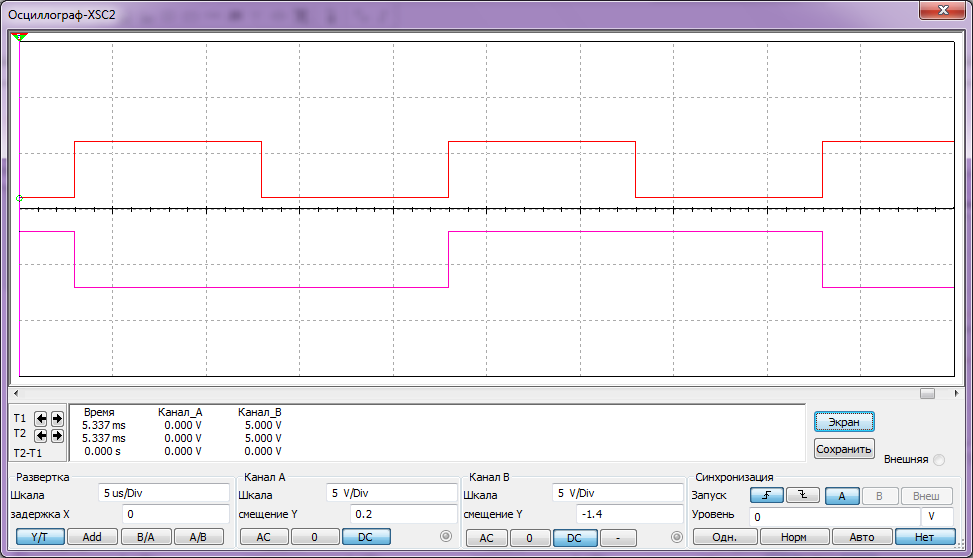
 

2. Таблица истинности

|  |  |  |  |
| --- | --- | --- | --- |
| С | D |  |  |
| 0 | 0 |  |  |
| 0 | 1 |  |  |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

3. Проверка работы схемы триггера

Тест 1:



Входные сигналы

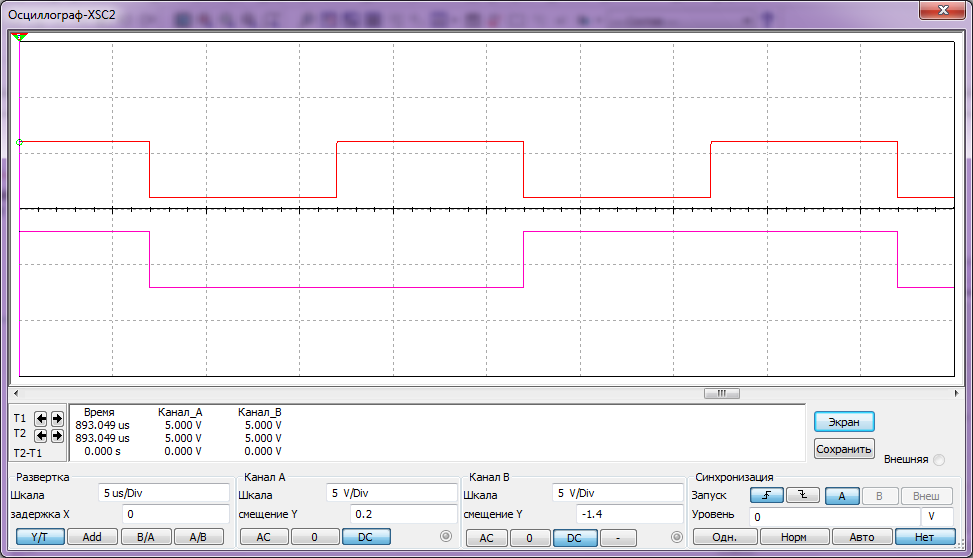
- сигнал D

- сигнал С

Выходные сигналы

- сигнал

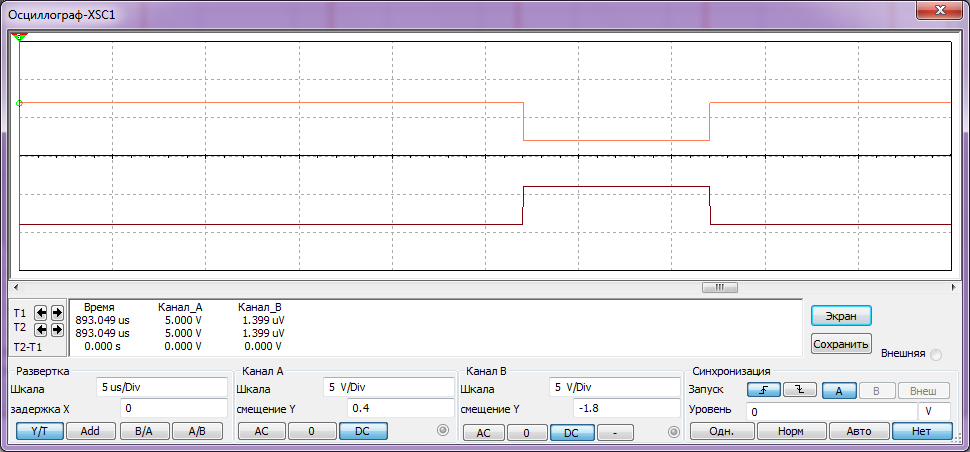
- сигнал



Входные сигналы

- сигнал D

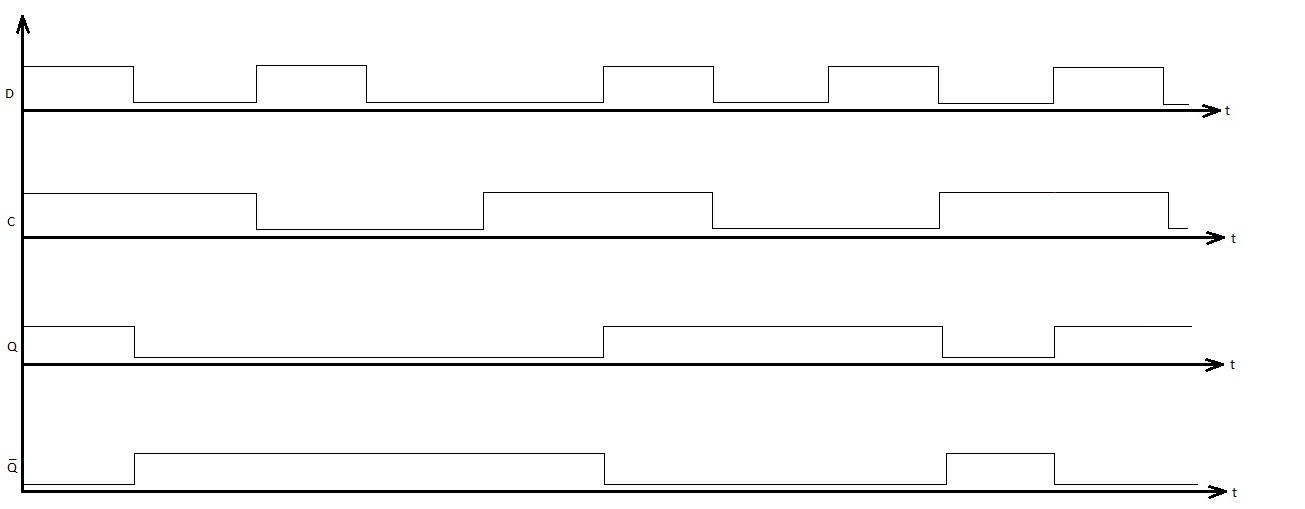
- сигнал С



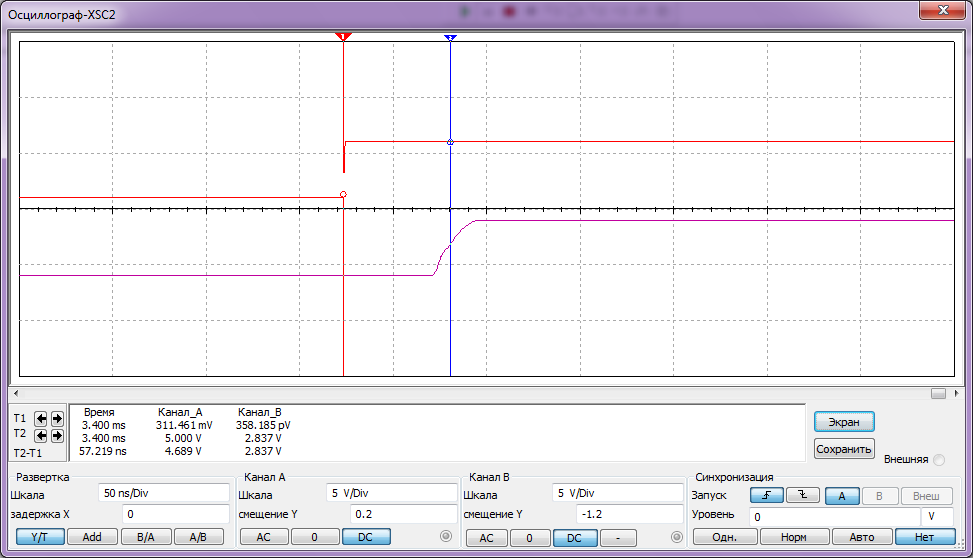
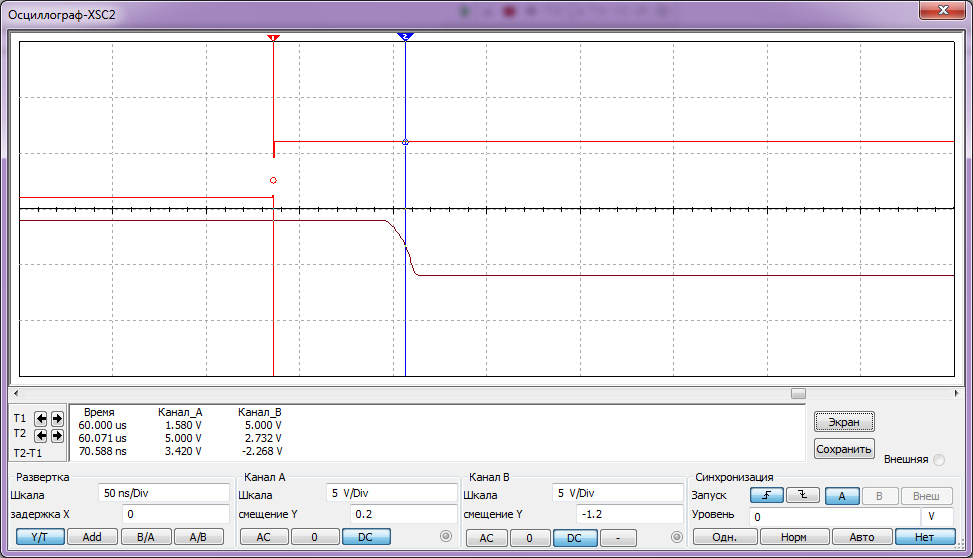
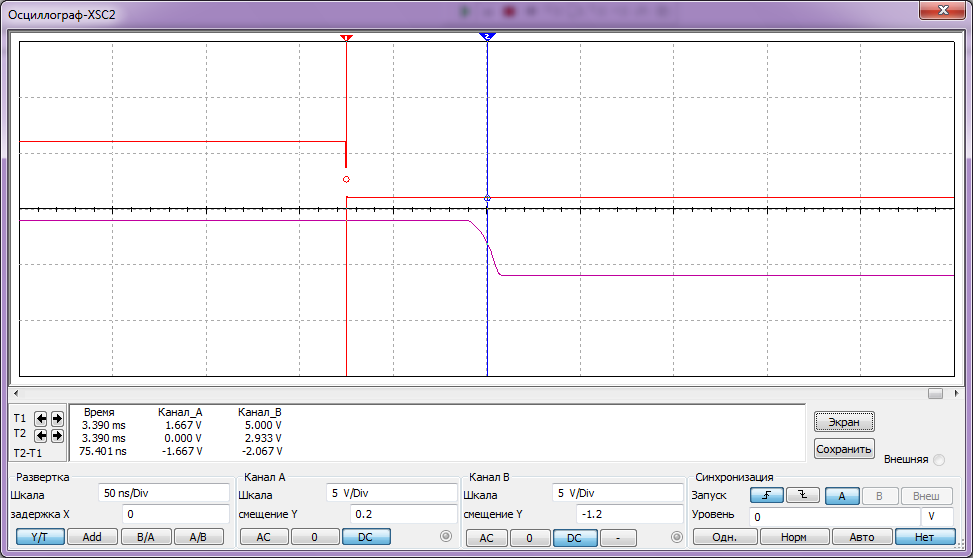
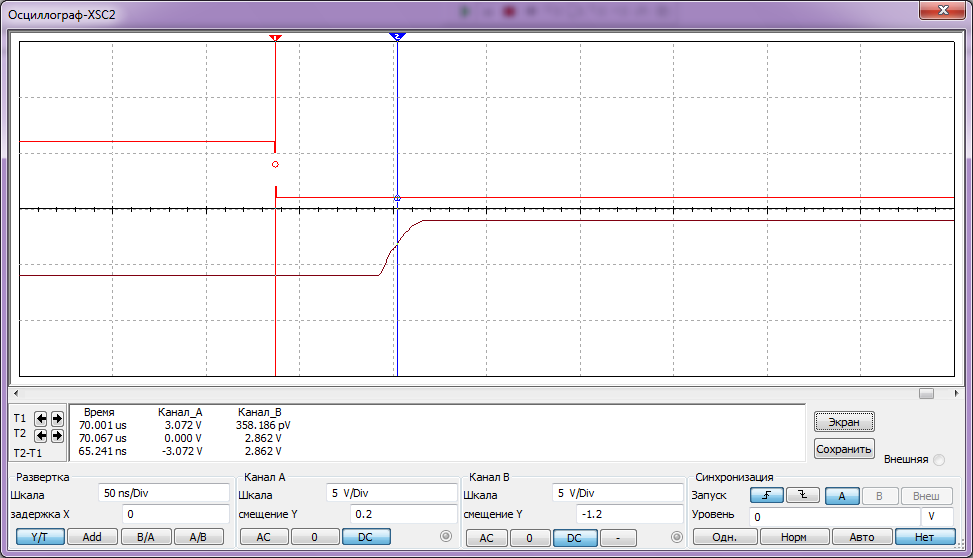
Выходные сигналы

- сигнал

- сигнал

Полученные временные диаграммы:

4. Определение критического пути в схеме

При стандартных настройках, температура 27®, питающее напряжение 5V (время в наносекундах) 

- сигнал D

- сигнал

- сигнал D

- сигнал

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Вход  - сигнал D  - сигнал  - сигнал D  - сигнал | Входные комбинации | Значения на выходе | | Время задержки по фронту | | Время задержки по спаду | |
|  |  |  |  |  |  |
| D | С = 1, D = 0 - 1 | 0 - 1 | 1 - 0 | 57,219 | 65,241 | 75,401 | 70,588 |
| C | \* | 0 - 1 | 1 - 0 | 58,824 | 59,358 | 69,519 | 70,053 |

\*Для замера времени задержки сигнала с входа C использовались следующие комбинации, при которых получалось изменение сигнала на выходе. Для выхода Q время по фронту и для выхода по спаду использовалось условие = 0, изменение выходного сигнала в таком случае происходило при переходе сигналов C и D в состояние 1 (и C, и D – переменные сигналы). Для выхода Q время по спаду и для выхода по фронту использовалось условие = 1, изменение выходного сигнала в таком случае происходило при переходе сигнала C = 1 и D = 0.

Критическим для этой схемы оказался путь с входа D, что видно из таблицы.

5. Зависимости задержки сигнала от температуры и питающего напряжения

Для измерения используется входные сигналы С - 1, D – переменный.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | -40® | | 0® | | +85® | |
|  | По фронту | По спаду | По фронту | По спаду | По фронту | По спаду |
| 2V | 51,337 | 70,588 | 52,941 | 72,727 | 53,476 | 74,866 |
| 3.3V | 49,198 | 66,310 | 51,337 | 68,449 | 57,754 | 79,144 |
| 5V | 51,337 | 72,727 | 54,476 | 77,005 | 62,032 | 85,561 |

Сводная таблица зависимости времени задержки от температуры и питающего напряжения (в наносекундах):

График зависимости времени задержки от температуры, питающее напряжение 2V

График зависимости времени задержки от температуры, питающее напряжение 3,3V

График зависимости времени задержки от температуры, питающее напряжение 5V

Из полученных графиков следует, что время задержи сигнала прямо пропорционально температуре, при чем тем больше, чем больше напряжение.

|  |  |  |
| --- | --- | --- |
| Количество подключаемых буферов | Время задержки | |
| По фронту | По спаду |
| 1 | 76,471 | 95,187 |
| 2 | 77,540 | 95,722 |
| 3 | 78,075 | 96,257 |
| 4 | 78,610 | 96,791 |
| 5 | 79,144 | 97,326 |
| 6 | 79,679 | 97,861 |
| 7 | 80,214 | 98,396 |
| 8 | 80,749 | 98,930 |

6. Исследовение зависимости изменения выходного сигнала от количества и свойств подключаемых элементов на выход D-триггера.

В качестве нагрузочных элементов использованы буферы на одних и тех же транзисторах.

График зависимости времени задержки от количества подключаемых элементов:

Исходя из графиков видно, что время задержки линейно зависит от количества подключаемых элементов.

В качестве подключаемых элементов использованы буферы на стандартных элементах с разным напряжением.

|  |  |  |
| --- | --- | --- |
| Напряжение на элементе (Вольт) | Время задержки | |
| По фронту | По спаду |
| 2 | 252,406 | 281,283 |
| 3 | 108,021 | 133,690 |
| 4 | 94,118 | 120,856 |
| 5 | 87,701 | 109,091 |
| 6 | 93,048 | 112,299 |

Из таблицы видно, что время задержки обратно пропорционально напряжению подключенных к выходу буферов.

Вывод:

В процессе выполнения лабораторной работы был изучен принцип действия D-триггера, исследованы аспекты его работы в зависимости от разных параметров.