

От автора: Вся инфа собранная здесь является опорной информации для моей подготовки. Я не выкладывал подробные ответы с примерами, так как тупо лень их писать. Что начитал и узнавал я запоминл, а инфа ниже лишь для того чтобы вспомнить основные моменты)

1. [Аналоговые и цифровые сигналы: определение, сравнение.](#)
2. [Уровни напряжения и логические уровни двоичных цифровых сигналов. Способы кодирования логических значений цифровыми сигналами \(позитивное и негативное\).](#)
3. [Основные параметры цифровых портов. Запас помехоустойчивости цифровой схемы.](#)
4. [Что такое и от чего зависит коэффициент разветвления выхода цифровой схемы. Почему и как различаются коэффициенты разветвления в статическом \(без переключений\) и в динамическом \(спереклечениями\) режимах работы выходного порта.](#)
5. [Задержки цифровых элементов и схем: типы, причины и следствия.](#)
6. [Энергопотребление цифровых схем в статическом и динамическом режимах.](#)
7. [Электропитание цифровых схем, виды помех «по питанию», способы борьбы с ними, схема системы электропитания.](#)
8. [Полевые МОП-транзисторы: структура и функционирование, комплементарное включение МОП-транзисторов.](#)
9. [Однотактный выходной цифровой порт на МОП-транзисторе.](#)
10. [Выходной цифровой порт с открытым стоком на МОП-транзисторе.](#)
11. [Двухтактный выходной цифровой порт на комплементарных МОП-транзисторах \(КМОП\).](#)
12. [Двухтактный выходной цифровой порт КМОП с Z-состоянием \(Z-КМОП\).](#)
13. [Организация шинных соединений цифровых портов однотактных, открытых, Z-КМОП.](#)
14. [Триггер Шмитта: функция, назначение, схемное обозначение, передаточная характеристика.](#)
15. [Передаточный вентиль \(transmission gate\).](#)
16. [Применение «подтягивающих» резисторов \(pull-up и pull-down\).](#)

17. [КМОП-схемотехника двухвходового элемента И-НЕ.](#)
18. [КМОП-схемотехника двухвходового элемента ИЛИ-НЕ.](#)
19. [КМОП-схемотехника двухвходового элемента И.](#)
20. [КМОП-схемотехника двухвходового элемента ИЛИ.](#)
21. [Мультиплексор.](#)
22. [Демультимплексор.](#)
23. [Компаратор.](#)
24. [Дешифратор двоичный.](#)
25. [Шифратор двоичный приоритетный.](#)
26. [Схемы свертки.](#)
27. [Полусумматор и сумматор. Многоразрядный сумматор.](#)

28. [Комбинационный сдвиг.](#)
29. [Триггер-защелка \(LATCH\).](#)
30. [Асинхронный RS-триггер.](#)
31. [JK-триггер с управлением уровнем синхросигнала.](#)
32. [MS-триггер с инвертором.](#)
33. [MS-триггер с запрещающими связями.](#)
34. [Универсальная трехтриггерная ячейка.](#)
35. [Двоичные счетчики с последовательным переносом.](#)
36. [Двоичные счетчики с параллельным переносом.](#)

37. [Реализация логических вентилей AND и OR на передаточных вентилях.](#)
38. [Динамические параметры синхронных триггеров: время предустановки, время удержания, время переключения.](#)
39. [2D-структура блока памяти.](#)
40. [2DM-структура блока памяти.](#)
41. [Ячейка статического ОЗУ \(SRAM\) на 6-ти транзисторах.](#)
42. [Ячейка статического ОЗУ \(SRAM\) на 8-ти транзисторах.](#)

Аналоговые и цифровые сигналы: определение, сравнение

Аналоговые сигналы представляют собой непрерывный поток, характеризующийся изменениями частоты и амплитуды. Это означает, что форма аналогового сигнала обычно похожа на синусоиду (т.е. гармоническую волну). Способны принимать любое значение в некотором диапазоне напряжений, тока, частоты или иных характеристик. Цифровой сигнал — сигнал данных, у которого каждый из представляющих параметров описывается функцией дискретного времени и конечным множеством возможных значений. Кодируют цифры или числа. Наиболее часто применяются двоичные цифровые сигналы.

Цифровой сигнал более устойчив к помехам, за счёт способности к полной регенерации вплоть до некоторого порогового отношения сигнал/шум, в то время как аналоговый сигнал удаётся лишь усилить вместе с наложившимися на него шумами. В этом и недостаток цифрового сигнала: если цифровой сигнал сильно зашумить, то восстановить его невозможно, в то время как человек может усвоить информацию из сильно зашумлённого сигнала на аналоговом радиоприёмнике. Схемотехническая и конструктивно-технологическая простота ключевых электрических каскадов (в отличие от схем для аналоговых сигналов), помехоустойчивость, простота реализации в виде интегральных микросхем, простота схем памяти, простое кодирование двоичных цифр.

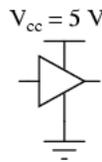
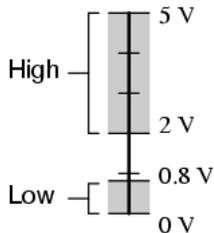
Уровни напряжения и логические уровни двоичных цифровых сигналов. Способы кодирования логических значений цифровыми сигналами

Для кодирования двоичных битов обычно используется напряжение. Другие характеристики (ток, частота, фаза и т.д.) применяются в специальных случаях. Цифровые устройства оперируют с сигналами двух типов - "высокий логический уровень"

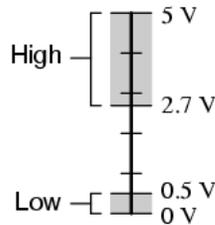
(1) и "низкий логический уровень" (0). Полное напряжение питания принимается в качестве уровня "логической единицы", а нулевое напряжение - в качестве уровня "логического нуля".

В реальных схемах существует некоторое отклонение от идеала. Промежуток напряжений соответствует неопределенному состоянию, то есть никто не может предсказать к какому уровню перейдет сигнал.

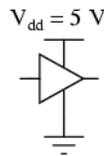
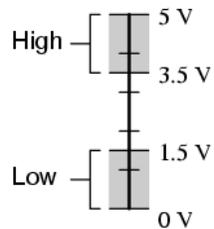
Acceptable TTL gate input signal levels



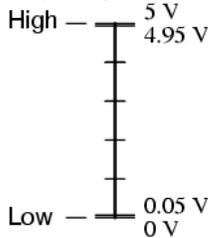
Acceptable TTL gate output signal levels



Acceptable CMOS gate input signal levels



Acceptable CMOS gate output signal levels



Позитивным кодированием называется кодирование, когда логической единице соответствует высокий уровень, логический ноль - низкому. От типа логики зависят схемотехника электрических каскадов, функции цифровых блоков обработки сигналов, способы обозначения и интерпретации цифровых сигналов на схемах.

Что даёт?:

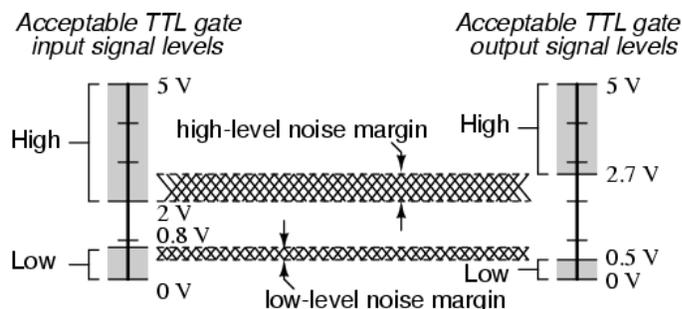
- Позволяет использовать цифровые элементы/схемы с достаточно значительными допусками параметров входных и выходных каскадов, что сильно удешевляет их производство.
- Допускает колебание параметров элементов/схем и соответствующих цифровых сигналов за счет изменения температур, электрической нагрузки и напряжения питания схем и т.п.
- Позволяет игнорировать влияние помех – паразитных напряжений, которые добавляются/вычитаются из рабочего напряжения при «прохождении» его через схему. Шумы возникают за счет емкостных и индуктивных связей между сигналами в схеме, помех приходящих по подключенным внешним цепям и цепям питания, за счет электромагнитных наводок.

Основные параметры цифровых портов. Запас помехоустойчивости цифровой схемы.

Параметрами цифровых сигналов и цифровых схем, наиболее важными для схемотехнического проектирования, являются:

- Диапазон напряжений для логических «0» и «1», для выходов логических элементов/схем и для входов цифровых элементов/схем;
- Запас помехоустойчивости цифровых схем.
- Нагрузочная способность (коэффициент разветвления по выходу) выходов цифровой схемы - fanout;
- Длительность переключения выхода цифровой схемы – время перехода состояния сигнала с НИЗКОГО уровня на ВЫСОКИЙ или наоборот (перехода из логического «0» в «1» или наоборот) – transition time;
- Временная задержка цифрового сигнала при «прохождении» через цифровой элемент/схему – propagation delay.

Для цифровых схем диапазоны ВЫСОКОГО и НИЗКОГО уровней выходного сигнала уже, чем аналогичные диапазоны входных сигналов, что необходимо, чтобы уровень цифрового сигнала, поступающий с выхода одного элемента/схемы на вход другого элемента/схемы, всегда был воспринят правильно, даже если его уровень вышел за допустимый для выхода диапазон из-за помех. Разница допустимых отклонений от номинального значения между входным и выходным сигналами называется запасом схемы по помехоустойчивости. Запас помехоустойчивости есть наибольшее количество паразитного или шумового напряжения, которое может быть наложено на сигнал напряжения на выходе логической схемы, прежде чем принимающая схема может неверно его проинтерпретировать. Различают запас помехоустойчивости для ВЫСОКОГО (high-level noise margin = 0.7В) и НИЗКОГО уровней (low-level noise margin = 0.3В).



Параметры уровней напряжений:

1. Для входов (U_{0min} , U_{0max} , U_{1min} , U_{1max} , Упорог - выше единица, ниже нуль)
2. Для выходов (U_{0min} , U_{0max} , $U_{0standard}$, U_{1min} , U_{1max} , $U_{1standard}$)

Коэф Разветвления

Коэффициент разветвления или нагрузочная способность - максимальное число входов которые можно подключить к отдельному выходу микросхемы (м/с). Причем сумма входных токов должна быть меньше выходного тока отдельного выхода м/с. Увеличение

разветвления по выходу вентиля может влиять на логические уровни его сигнала на выходе. Этот эффект минимизируется путём увеличения входного сопротивления вентилей нагрузки, минимизируя входные токи, поддержанием выходного сопротивления на низком уровне.

В схемах на основе КМОП-транзисторов входы последующих схем в статическом режиме практически не нагружают выходов предыдущих. Это дает возможность иметь очень большой коэффициент разветвления по выходу. Однако надо иметь в виду, что в динамическом режиме емкости присоединенных входов затягивают переходный процесс и увеличивают ток, потребляемый от данной схемы.

Коэффициент объединения по входу - это максимальное число входов, которое может иметь логический элемент. Чаще всего коэффициент объединения по входу не превышает восьми, что отчасти определяется ограниченным числом выводов ИС. Однако следует помнить, что всегда возможна реализация многовходовых логических схем путем построения соответствующей логической цепи, состоящей из простых схем.

Задержки

Задержка распространения сигнала, которая характеризует быстродействие схемы представляет собой среднее время задержки выходного сигнала относительно сигнала на входе. Основными факторами, определяющими задержку-распространения сигнала через схему, являются емкости переходов транзисторов, паразитные емкости между компонентами интегральной схемы и подложкой, а также инерционность процесса переключения транзисторов, обусловленная процессами накопления и рассасывания заряда в их структурах. Таким образом можно сказать, что задержка распространения сигнала по схеме будет накапливаться по мере прохождения через ЛЭы. В итоге могут быть выданы неверные результаты.

Энергопотребление

Потребляемая мощность логических ИС обычно зависит от того, какие сигналы поданы на входы этой ИС. Поэтому потребляемую мощность принято оценивать средней мощностью (P_{cp}), потребляемой типовым логическим элементом во включенном и выключенном состояниях. Как правило, чем выше быстродействие схем, тем больше средняя потребляемая ими мощность. Для схем ТТЛ это 2-40 мВт, для КМОП 1-100 мкВт. В процессе переключения логических ИС средняя потребляемая мощность выше средней статической мощности вследствие всплесков тока в переходных режимах. Особенно это заметно в ИС с малым потреблением. Поэтому для них обычно указывается потребляемая мощность в динамическом режиме при определенной тактовой частоте. Поскольку снижение средней задержки логических схем сопровождается ростом потребляемой ими мощности, то находит применение параметр, называемый работой переключения, равный произведению средней мощности, потребляемой ИС, и средней задержки.

Электропитание цифровых схем, виды помех «по питанию», способы борьбы с ними, схема системы электропитания

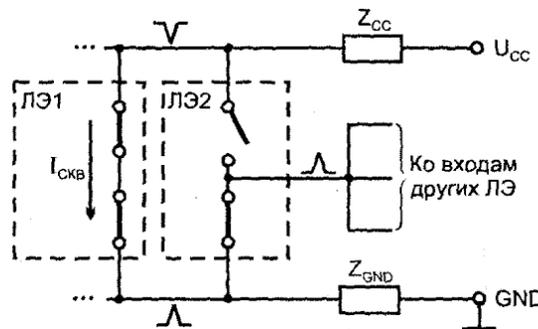
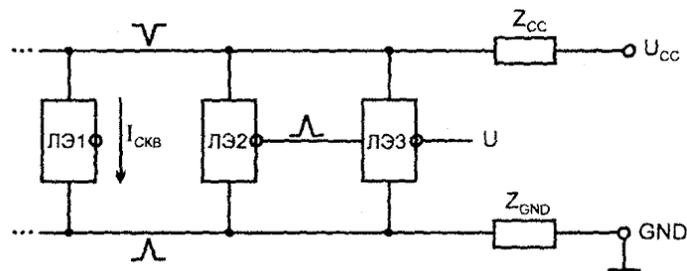
<http://habrahabr.ru/post/146987/>

<http://www.learningaboutelectronics.com/Articles/What-is-a-bypass-capacitor.html>

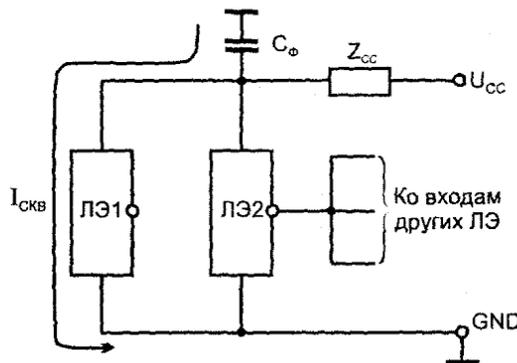
<http://www.capacitorguide.com/coupling-and-decoupling/>

VSS - нулевая шина от source. VDD - шина питания от drain. Теперь по помехам. При переключении элементов в цепях создаются кратковременные сквозные токи (импульсные токи), а также токи перезаряда емкостей.

На рисунке А показано наглядно как это происходит.



а



б

Методы борьбы с этим:

- в выходной каскад схемы добавляются небольшие сопротивления, которые ограничивают эти самые токи

- используются эл-ты с управляемой крутизной фронтов для уменьшения производных сигнальных напряжений и токов
- Развязывающие каскады. LCL Индуктивность - кондер - индуктивность.
- фильтры

Про фильтры надо сказать, что это конденсаторы с малым сопротивлением, которые ограничивают импульсы сквозного тока. Один ставится между линиями питания, по одному в непосредственной близости к группе микросхем.

МОП

<http://hightolow.ru/transistor4.php>

Полевой транзистор представляет из себя устройство, в котором ток, проходящий через два контакта Исток-Сток (Source-Drain) регулируется напряжением на затворе.

МОП - полевой транзистор с изолированным затвором. (Металл Окисел Полупроводник). Между затвором и каналам присутствует диэлектрик, в отличии от обычных полевых транзисторов. Есть P и N. Транзисторы с изолированным затвором позволяют изменять напряжение отсечки ($U_{от}$). Подавая на затвор напряжение больше, чем $U_{от}$, снижается сопротивление между Истоком и Стоком, таким образом транзистор открыт. Если же на затвор напряжение подано меньше, то сопротивление будет увеличиваться и транзистор закроется. За счёт того что такие транзисторы имеют почти нулевой входной ток, коэффициент разветвления по выходу увеличивается. Появляется возможность каскадирования.

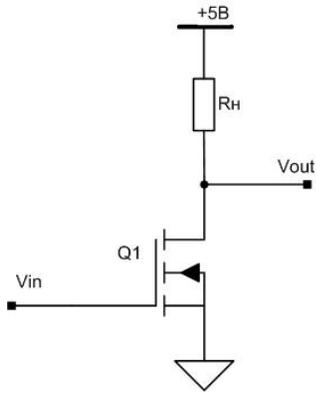
КМОП - совмещение P и N транзисторов. Пример с инвертором. ЗБС работает, главная проблема это нагрев при частом переключении и т.п. в больших каскадах этого добра. Низкое выходное сопротивление и большой макс ток даёт нам высокую скорость переключения туда-сюда, можно каскадировать и увеличивать коэф. разветвления.

Однотактный

Что даёт нам такая схема. Когда у нас на $V_{in} = 0$, тогда $V_{out} = E_{питания} (5V)$. Транзистор у нас заперт (NMOS). Когда преодолели пограничное значение, тогда протекает ток, на резисторе создаётся падение напряжения и напряжение на выходе начинает падать.

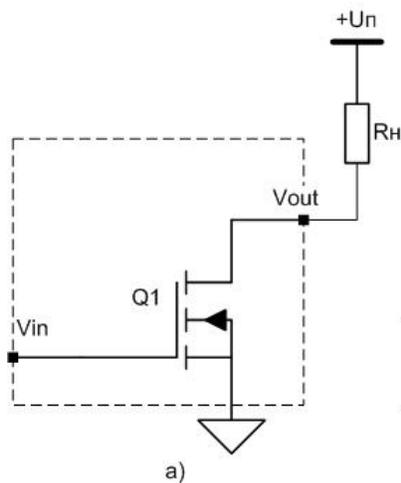
Резистор нужен для того, чтобы немного подтянуть значение выхода.

При высоком уровне выходной ток ограничен резистором R_n , из-за чего уменьшается нагрузочная способность, увеличивается время перезарядки емкостей (выхода и подключенных входов) и снижается быстродействие, однако коэф. разветвления большой достаточно.



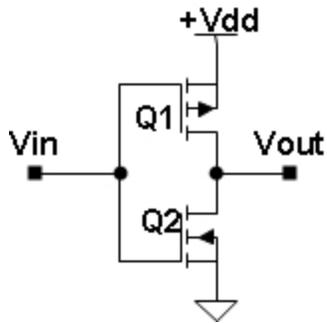
Однотактный с открытым

Как однотактная, но нагрузочный резистор подключается извне. Основной плюс, помимо плюсов однотактного простого в том, что он поддаётся внешним изменениям, то есть можно подключить в зависимости от ситуации, также подключение к общей шине всего этого возможно тоже. Как мне кажется, что для масштабирования схем пригодится именно открытый сток.



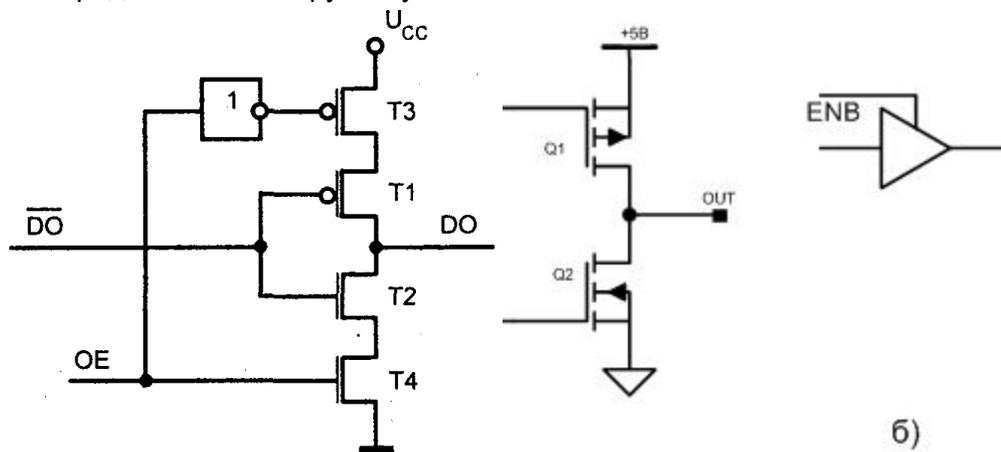
Двухтактный (Логический)

По сути это инвертор на двух транзисторах, КМОП схема инвертора. Включает в себя все положительные и отрицательные моменты КМОП. Например, высокая скорость переключения, коэф. разветвления большой, однако из минусов - всегда есть сквозной ток, когда один ещё не закрылся, а второй уже открылся (замыкание). Ну и выход может быть только один, так как там опять-таки всё может закоротить. Не знаю что тут ещё сказать.



Двухтактный с Z состоянием

В общем, тут помимо состояния 0-1 есть ещё состояние “отключено, которое достигается тем, что оба транзистора запираются. Например на первой схеме по сигналу OE=0 у нас схема отключается, транзисторы запираются. Есть 4 вида: которые инвертируют выход при этом закрывают по нулю или по единице, есть неинвертирующие выход, закрывающие нулём или единицей. Можно соединять параллельно, при условии, что активный отключ один (иначе можно вывести из строя элементы). Сохраняют бытдействие и нагрузочную способность.



Организация шинных соединений

Вот тут можно разве что написать про то, что все вышеизложенные порты можно подключать к шинам.

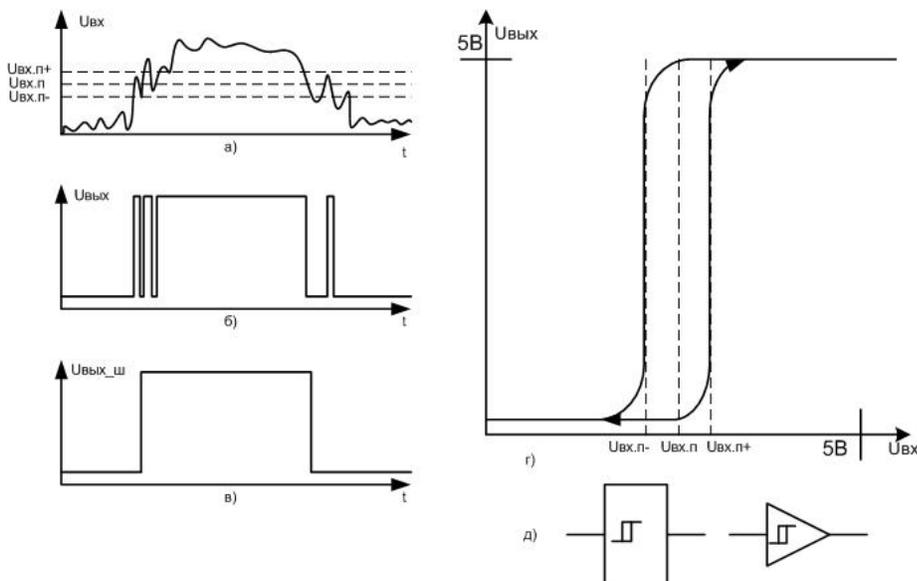
Например, двухтактный порт к шине параллельно подключать не стоит, так как при соединении выходов, находящихся в разных логических состояниях возникает противоборство - выходные сопротивления малы, ток высокий - БУМ, всё сломалось.

Двухтактный с Z состоянием можно подключать параллельно, однако стоит учитывать, что здесь активным может быть только один, чтобы активному не мешали формировать сигнал, в отличие от обычного двухтактного.

Однотактные можно подключать параллельно. Таким образом можно создать операцию монтажного И, то есть на выходе получается единица, если на всех ИНЕ был получен 0, в противном случае у нас выходное напряжение снижается.

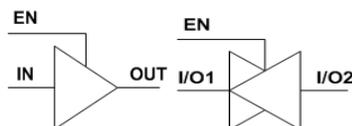
ШМИТТ

Штука полезная, нужна для того, чтобы поданный на вход сигнал условно очистить от мелких помех, которые в обычном случае повлияют на работу устройства. Как видно из графика, у нас есть зашумленный вход. Вход у него аналоговый, выход цифровой. Если мы пропустим зашумленный сигнал через обычный повторитель, то получим график б, в котором после каждого прохождения через пороговый уровень будет меняться выход. Чтобы избежать этого был разработан триггер Шмитта, у которого есть зона (петля Гистерезиса надо запомнить), в которой выход будет зависеть от предыдущего состояния, поэтому и триггер кстати. Есть две хар-ки $U_{вх1}$ и $U_{вх0}$. Если сигнал пересек уровень $U_{вх1}$, то чтобы переключить на 0, нужно преодолеть зону Гистерезиса и уровень $U_{вх0}$. Это сделано для увеличения помехоустойчивости. Ниже все графики и обозначения.



Передаточный вентиль

Пара транзисторов, которая может работать как в однонаправленном режиме (на пару транзисторов на затвор подаётся прямой и инверсный сигналы соответственно), так и в двунаправленном режиме. Работает пара транзисторов параллельно. Можно использовать для создания сложных лог. элементов. Например схема исключаящего или из 4х транзисторов. Позволяет получить размах равный напряжению питания.



PULL UP PULL DOWN

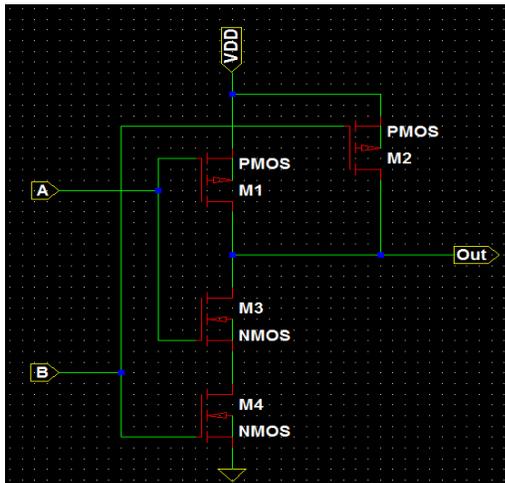
<http://kazus.ru/forums/showthread.php?t=6747/#5>

Подтягивающий резистор нужен, чтобы гарантировать на логическом входе, с которым соединен проводник, высокий (в первом случае) либо низкий (во втором случае) уровень.

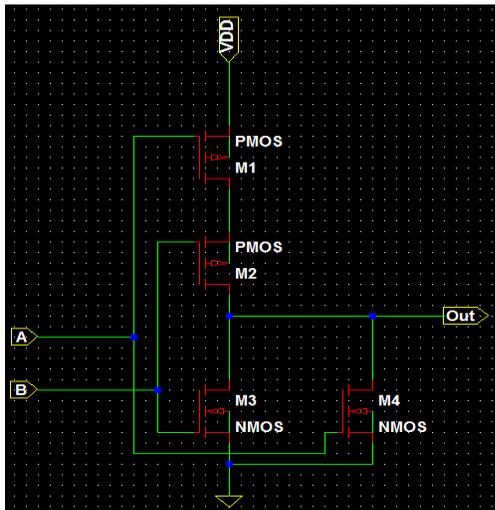
Любой логический вход имеет емкость относительно земли. Если сигнал формируется на открытом выводе ключевого элемента, то чем больше сопротивление подтягивающего резистора, тем больше время нарастания или спада сигнала при размыкании ключевого элемента. Если подтяжка к питанию, то надо учитывать время нарастания сигнала. Если подтяжка к земле, то — время спада сигнала. Время спада или нарастания — это время между размыканием ключа и достижением сигнала порогового напряжения. Дело в том, что раз входы микросхем имеют огромное сопротивление, то на них наводится куча помех буквально из воздуха, а следовательно значение на входе может принимать совершенно случайный вид. Поэтому то неиспользованные входы либо сажают на землю, либо через резистор подтягивают к плюсу, чтобы там было определенное напряжение, либо ноль, либо плюс питания соответственно.

Сопротивление определяется макс. током выхода, сопротивлением(током) входов, суммарной емкостью входов и выходов и требуемым быстродействием, допустимой рассеиваемой мощностью.

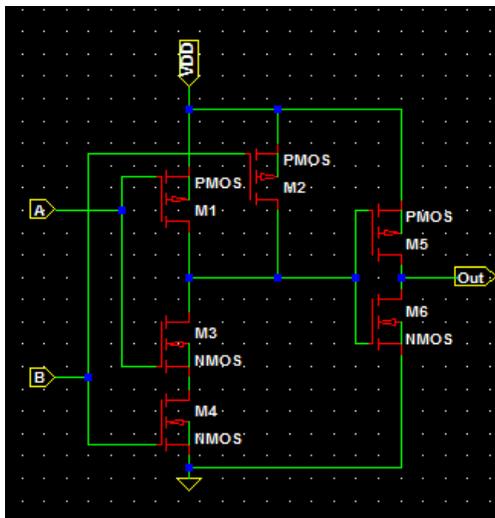
КМОП-схемотехника двухвходового элемента И-НЕ



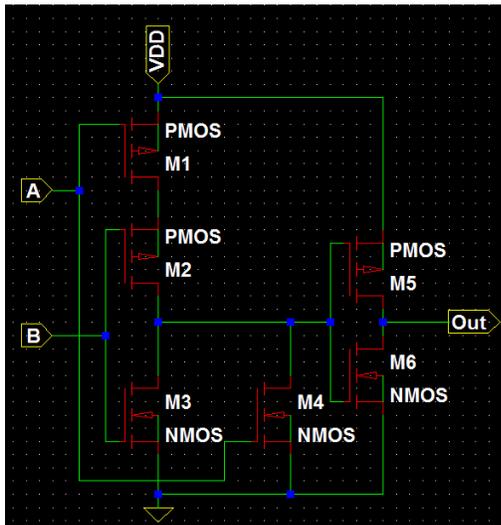
КМОП-схемотехника двухвходового элемента ИЛИ-НЕ



КМОП-схемотехника двухвходового элемента И



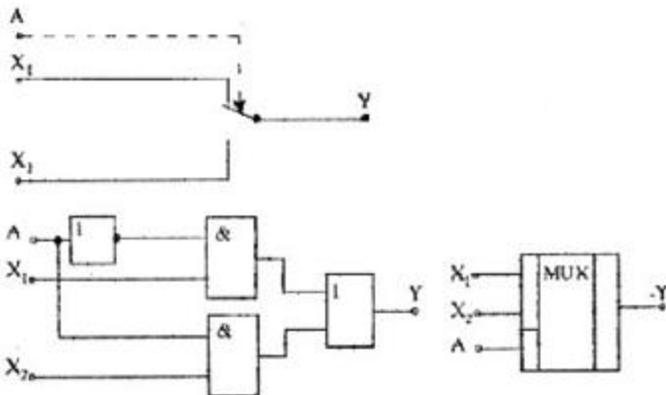
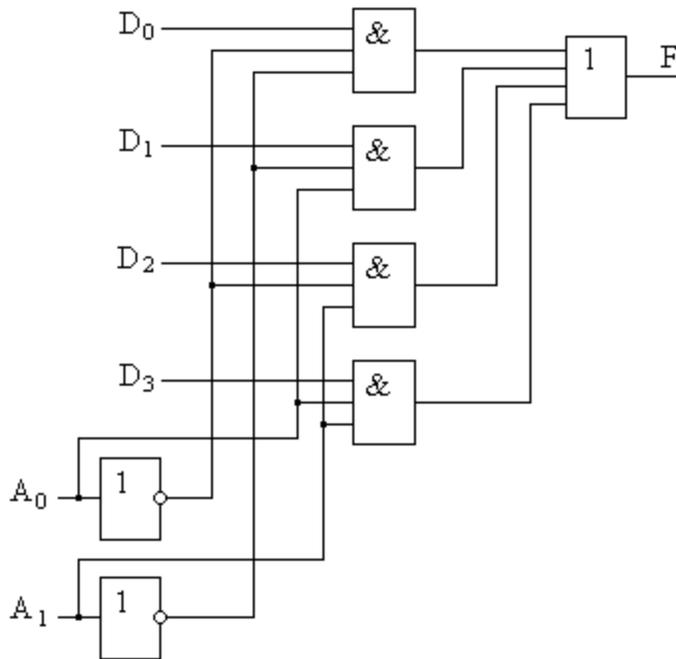
КМОП-схемотехника двухвходового элемента ИЛИ



Мультиплексор

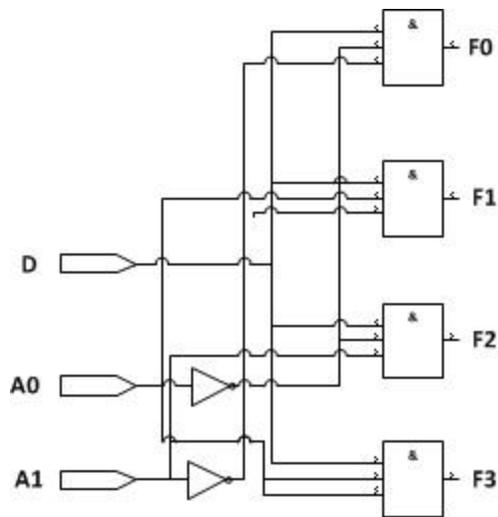
Аналоговые и цифровые мультиплексоры значительно различаются по принципу работы. Первые электрически соединяют выбранный вход с выходом. Вторые же не образуют прямого электрического соединения между выбранным входом и выходом, а лишь «копируют» на выход логический уровень ('0' или '1') с выбранного входа. Аналоговые мультиплексоры иногда называют ключами или коммутаторами.

Выход всегда собирается по схеме ИЛИ, входные сигналы проходят через И вместе с управляющими сигналами. MUX 2-1 строится на 2И - 2ИЛИ элементах. 4 - 1 строится на 3И - 4ИЛИ. Пример К155КП1 16-1 мультиплексор. Количество адресов (управляющих сигналов) зависит от кол-ва входов. 2^N входов, где N - кол-во управляющих сигналов.



Демультимплексор

Комб. устройство, позволяющее перераспределить сигнал со входа на какой-то из 2^N выходов, где N - кол-во адресных входов. Все выходы формируются по схеме И К155ИД3 ДШ 4-16 является и дешифратором и мультиплексором засчёт того, что у них есть два управляющих входа S_1 S_0 , если на оба подать 0, то это будет являться дешифратором, если на один подать 0, а на другой сигнал данных, то это уже будет демультимплексор.



Компаратор

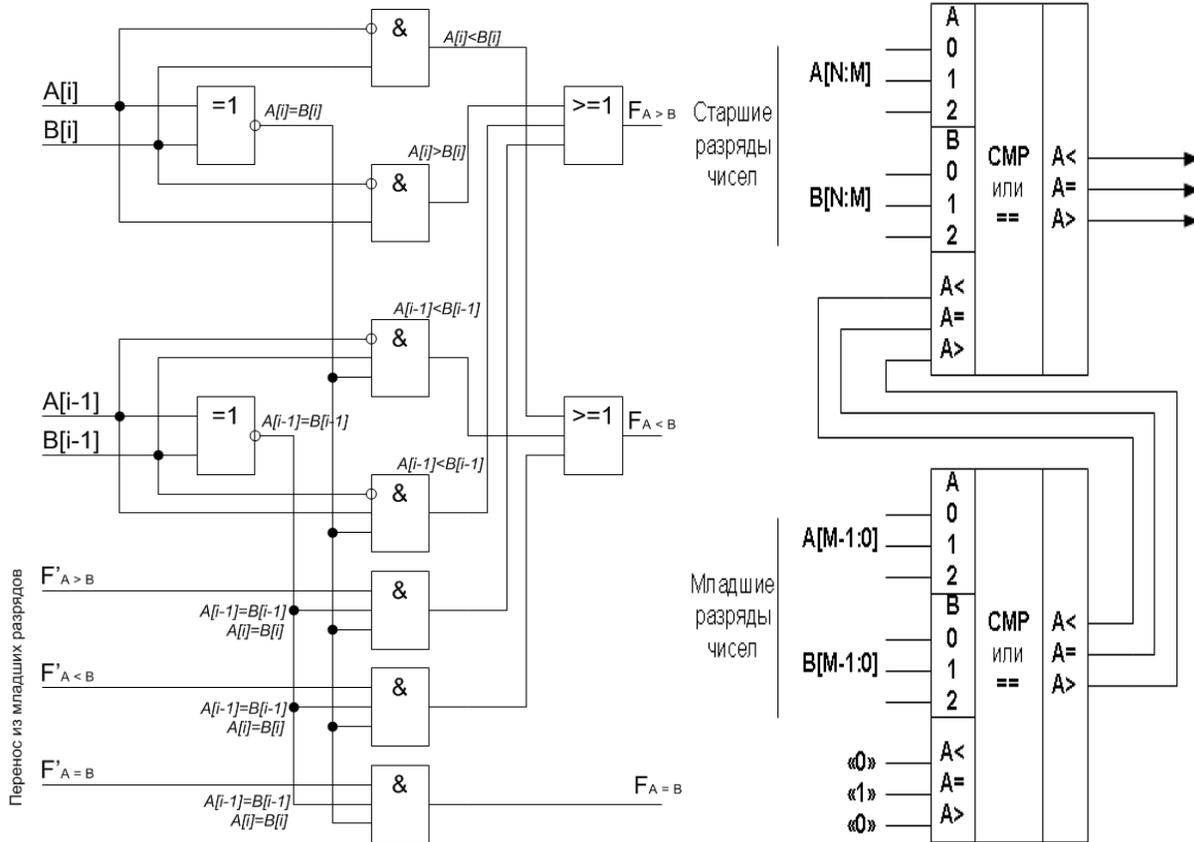
БОЭ, определяющий соотношение между двумя числами, поданных на входы компаратора. Числа на вход подаются в виде двоичных кодов, результаты определяются значениями одноразрядных цифровых сигналов = признаков.

Компаратор на равенство – формирует только одноразрядный признак «равно-не равно».

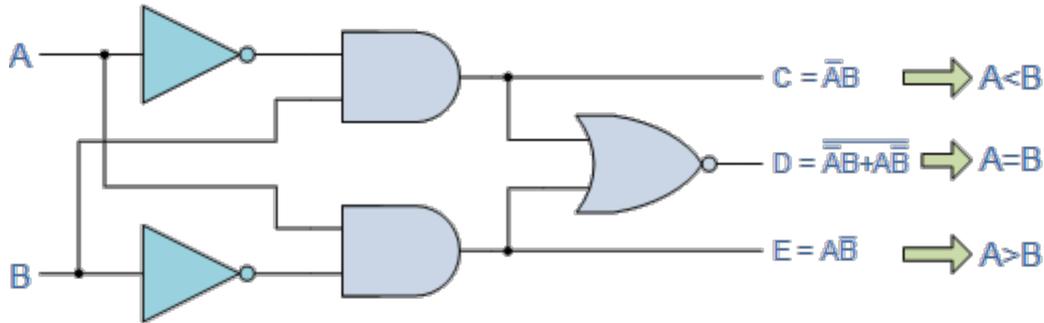
Компаратор больше-меньше выдает только одноразрядный признак «больше (равно) - меньше»

Полный компаратор – выдает три признака: больше, меньше, равно.

На равенство через хог. На больше меньше я бы сделал через импликацию.



На один бит

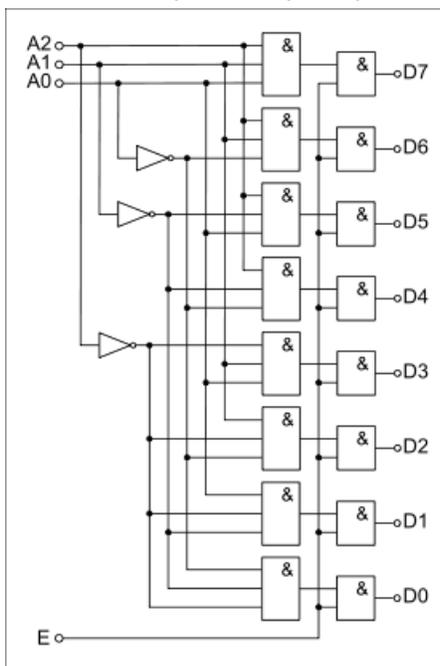


Дешифратор

Логическая комб. схема имеющая N входов и 2^N выходов. В зависимости от кода, набранного на входе, единица появляется на соответствующем выходе. Дешифратор 2-1 реализуется через инвертор(простейшая схема). Остальные реализуются через элементы И, входы которых инвертируются таким образом, чтобы на выходе получилась единица только в том случае, когда код соответствует номеру выхода.

Также у дешифратора присутствуют два управляющих входа, которые проходят через элемент И, выход которого подаётся на каждый элемент И каждого выходного сигнала. Подключаются они к земле, поэтому инвертируются на входе. Во-первых, это позволяет нам сделать из этого демультиплексор, сделав один из управляющих входов входом

данных, во-вторых это нужно для того, чтобы проверять подключение и блокировать выходы, если управляющие сигналы не подключены, то есть находятся в единице. Не самый хороший пример, но суть та же.



Шифратор

<http://gorgeous-karnaugh.com/ru/uchebnik/practical-usage/4-to-2-prioritetniy-shifратор.html>

Логическое комб. устройство имеющее N выходов и 2^N входов. Формирует на выходе номер активного входа. Шифратор 2->1 это простейшее устройство, в котором $d1$ вход сразу направлен на выход, но чтобы проверять наличие сигнала на входе $d0$, устанавливается элемент ИЛИ, который принимает на вход $d1$ и $d0$ и формирует выход G . Если $G = 0$, значит ни один из входов не является активным, иначе на q формируется номер активного входа. Выход G следует добавлять на все шифраторы для проверки на наличие сигналов. Шифраторы также есть приоритетный, которые блокируют сигналы с младших входов. Делается это через элементы И, которые управляются сигналами с более старших разрядов. К555ИВ1 8-3 есть вход разрешения, выход P , который равен $!G$ и производит перенос для каскадирования.

Схемы свертки

Схемы свертки по модулю

Пример про модуль 2

Контроль по модулю 2 реализуется с помощью схем свертки. Схематехника сейчас сориентирована главным образом на работу с параллельными данными, однако не исключены ситуации обработки последовательных данных, когда слова передаются по одной линии последовательно. Схемы свертки типа 2К (контроль по четности) принимают

на вход многоразрядный код и формируют на выходе одnorазрядный сигнал =1, если число единиц на входе четное и =0, если число единиц на входе нечетное.

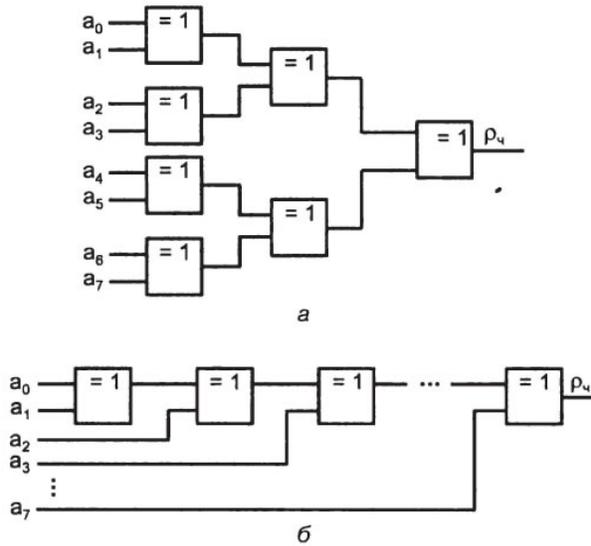
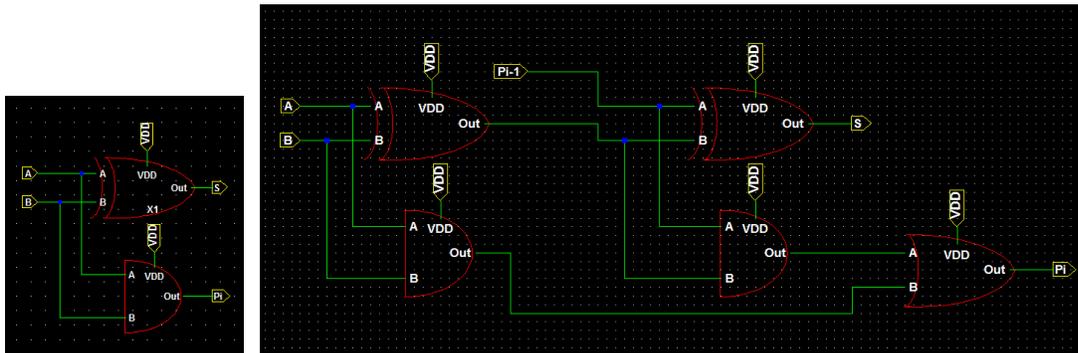


Рис. 2.21. Схемы свертки пирамидального (а) и последовательного (б) типов

Сумматор

Комбинационное устройство, выполняющее арифметическое сложение двух входных чисел, представленных в двоичном виде. На вход принимает два однобитовых числа и перенос из младшего разряда. На выходе выдаёт сумму и переход в старший разряд. Полусумматор принимает лишь два однобитовых числа, не учитывая перенос.



Два полусумматора создают полный сумматор.

Сдвигатель

Комбинационная схема сдвига состоит из мультиплексов(или аналогичной логики), выполняющие сдвиг многоразрядного входного кода на заданное число разрядов. Бывает циклический и обычный, левый и правый. Чтобы не терять разряды, обычно ставят два сдвигателя. Больше тут нечего сказать. Ну схему нарисовать простую.

LATCH

Немного про триггеры

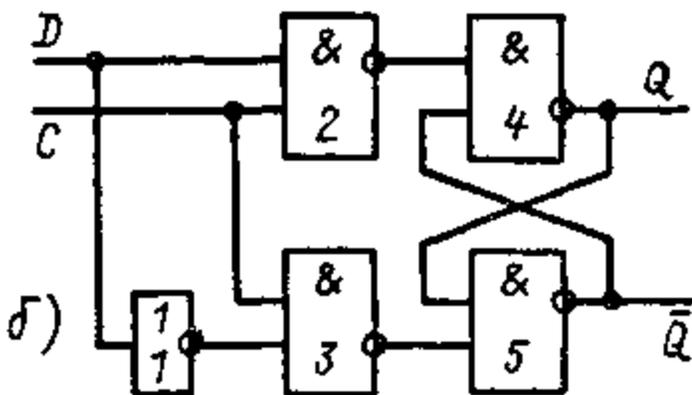
Бывают:

1. **Динамические.** Управляемый генератор, одно из состояний которого (единичное) характеризуется наличием на выходе непрерывной последовательности импульсов определённой частоты, а другое (нулевое) — отсутствием выходных импульсов. Смена состояний производится внешними импульсами
2. **Статические.** Устройства, каждое состояние которых характеризуется неизменными уровнями выходного напряжения

Также:

1. Асинхронный триггер изменяет своё состояние непосредственно в момент появления соответствующего информационного сигнала(ов), с некоторой задержкой равной сумме задержек на элементах, составляющих данный триггер.
2. *Синхронные* триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С. Такие информационные сигналы называют синхронными. Синхронные триггеры в свою очередь подразделяют на триггеры со статическим и с динамическим управлением по входу синхронизации С.
 - a. Управляемые уровнем
 - b. Управляемые фронтом

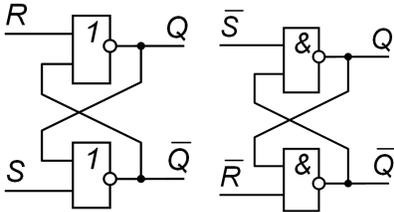
1. **Одноступенчатые** - одна запоминающая схема. Так строятся асинхронные и синхронные управляемые уровнем триггеры(Latch - защёлка).
2. **Двухступенчатые** (или многоступенчатые) - состоят из двух или более одноступенчатых триггеров. Ступени переключаются по очереди. По многоступенчатой схеме строятся синхронные управляемые фронтом триггеры.



D-триггером называют синхронный триггер, имеющий два входа: вход данных D и вход синхронизации C. Ё-триггер переключается только по сигналу на C-входе и притом в состояние, предписываемое D-входом. В некотором смысле он задерживает прохождение поступившего по D-входу уровня до появления C-сигнала, откуда и произошло название

D-триггера (delay — задержка). Другое назначение D-триггера — сохранить данные (data), поступившие однажды по D-входу. С-сигналы в этом случае играют роль команды ЗАПИСАТЬ В ТРИГГЕР.

ARS



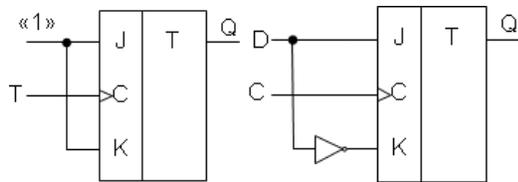
S	R	Q	~Q	Q+1	~Q+1
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	X3	X3
1	1	1	0	X3	X3

00 - состояние памяти

Состояние, при котором на оба входа R и S одновременно поданы логические единицы не определено и зависит от реализации, например в триггере на элементах «или-не» оба выхода переходят в состояние логического «0», которое является неустойчивым и переходит в одно из устойчивых состояний при снятии управляющего сигнала с одного из входов.

JK с уровнем

Основан на динамическом RS триггере. Основное отличие в том, что состояние 1 - 1 влечёт за собой инверсию предыдущего значения на выходе. К динамическому RS триггеру добавляются два элемента И, на вход которых подаётся сигнал J и сигнал ~Q, сигнал K и сигнал Q.

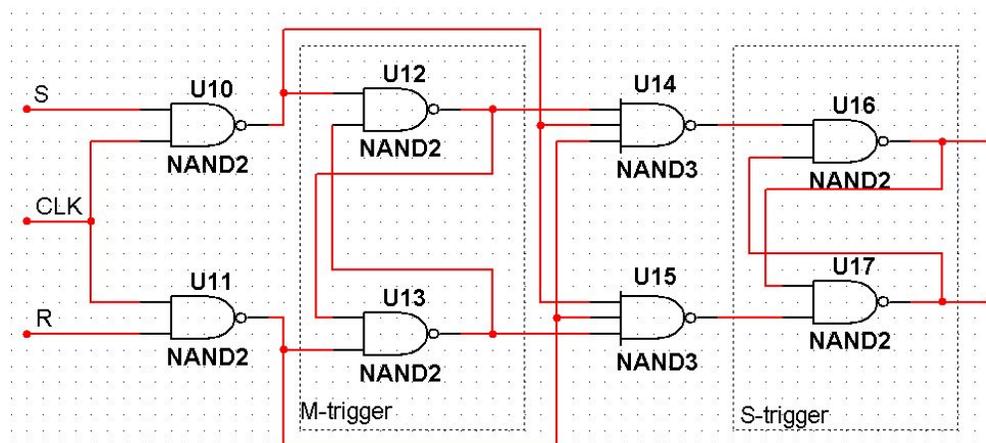


MS с инвертором

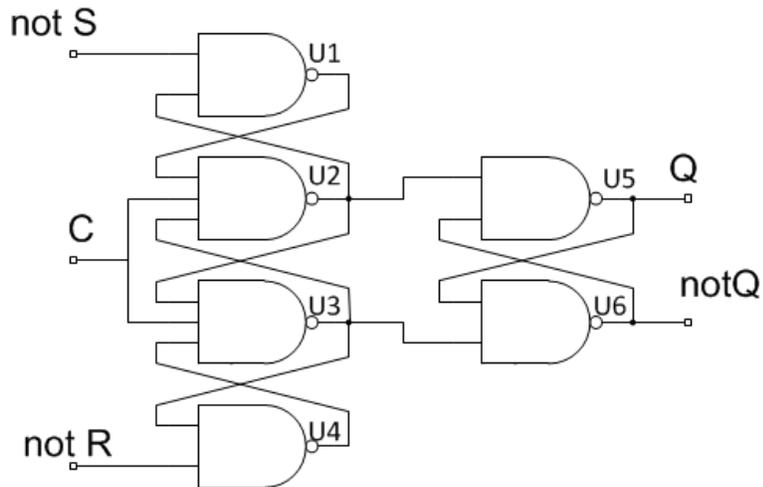
MS-триггер является синхронным двухступенчатым триггером со статическим управлением. Схемотехнически он выполняется на двух триггерах: M(master - основной) и S(slave - вспомогательный). M-триггер воспринимает входную информацию, а S-триггер фиксирует состояние триггера в целом. При этом оба триггера могут быть однотипными, например RS- или D-триггеры, или различными. Управляющая связь между M-триггером и S-триггером осуществляется двумя синхросериями, либо посредством запрещающего инвертора.

Суть триггера MS с инвертором в том, что на M триггер запись происходит по переднему фронту, а на S по заднему уже после того как в M была внесена информация. Изменения на M влекут за собой изменения на S.

MS с запрещающими связями

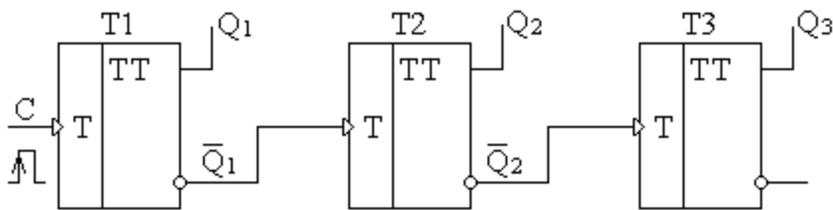


Универсальная триггерная ячейка

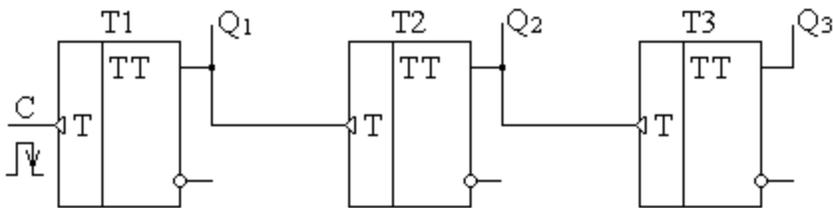


Счётчик с последовательным переносом

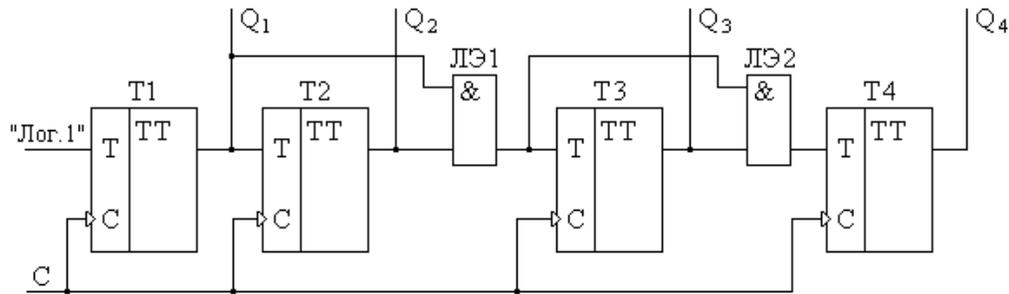
Счётчики строятся на Т триггерах. При последовательном переносе увеличивающий счётчик можно построить по прямому фронту, используя инверсный выход.



По обратному фронту, используя прямой выход

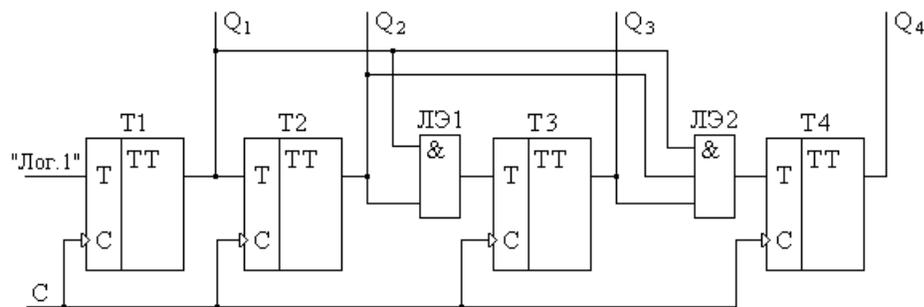


Уменьшающий счётчик можно сделать, изменив фронт на этих схемах на противоположный. Это были асинхронные счётчики



Синхронный последовательный. Работает чуть быстрее параллельного, за счёт того, что ЛЭ И не увеличивается в размерах с увеличением кол-ва разрядов. При достаточно большой разрядности счетчика, время задержки во всех элементах И может оказаться значительным и сравниться с временем срабатывания одного триггера.

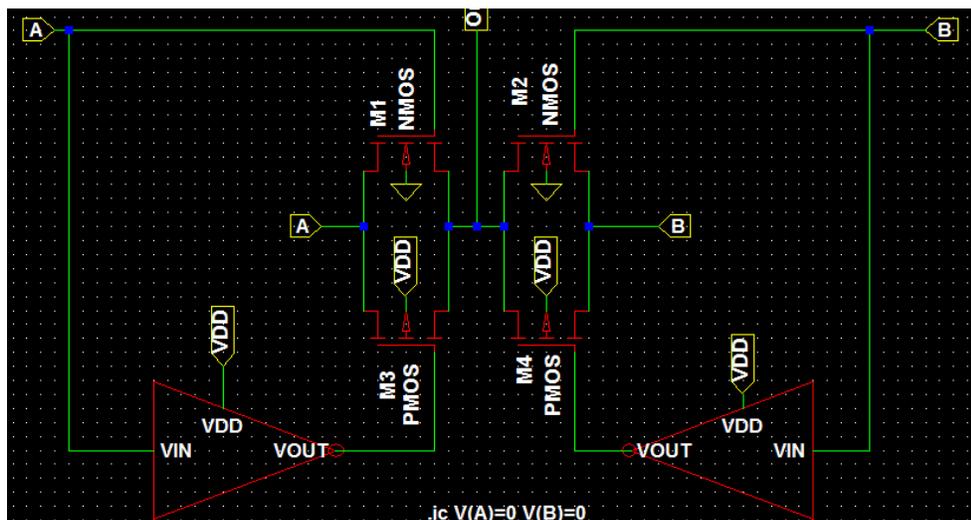
Счётчик с параллельным переносом



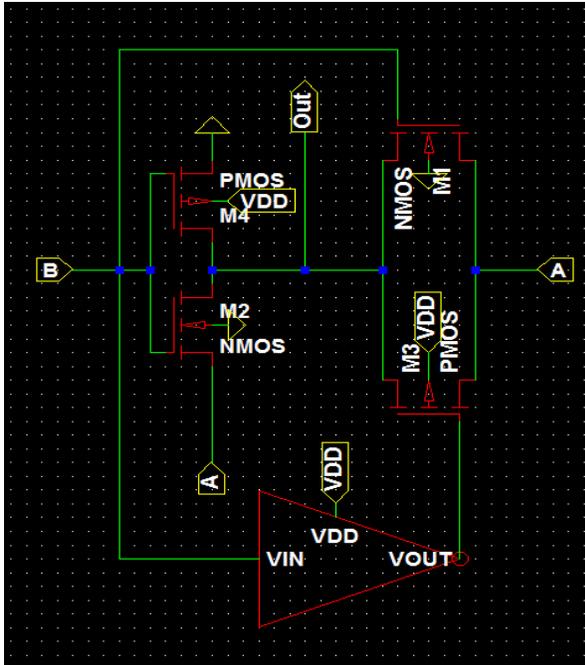
Вся инфа выше. Вычитающий можно сделать, если изменить фронт или взять с инверсных входов данные.

Вентили ИЛИ и И на передаточных вентилях

на первой схеме ИЛИ, на второй И.



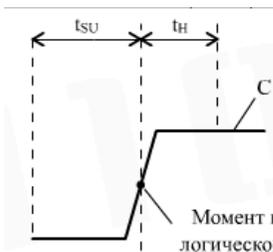
ИЛИ



И

Про время предустановки и т.д.

Время предустановки t_{SU} (Set-Up Time) и время выдержки t_H (Hold Time). Время t_{SU} — это интервал до поступления синхросигнала, в течение которого информационный сигнал должен оставаться неизменным. Время выдержки t_H — это время после поступления синхросигнала, в течение которого информационный сигнал должен оставаться неизменным. Соблюдение времен предустановки и выдержки обеспечивает правильное восприятие триггером входной информации. Временем переключения (срабатывания, установки) триггера называется время, которое проходит от момента изменения входных сигналов до соответствующего изменения состояния выходов и определяющееся задержками распространения сигнала логическими элементами, входящими в состав триггера.



Структура 2D

В ЗУ, с информационной ёмкостью M , запоминающие элементы организованы в матрицу размерностью $k \cdot m$:

$$M = k \cdot m,$$

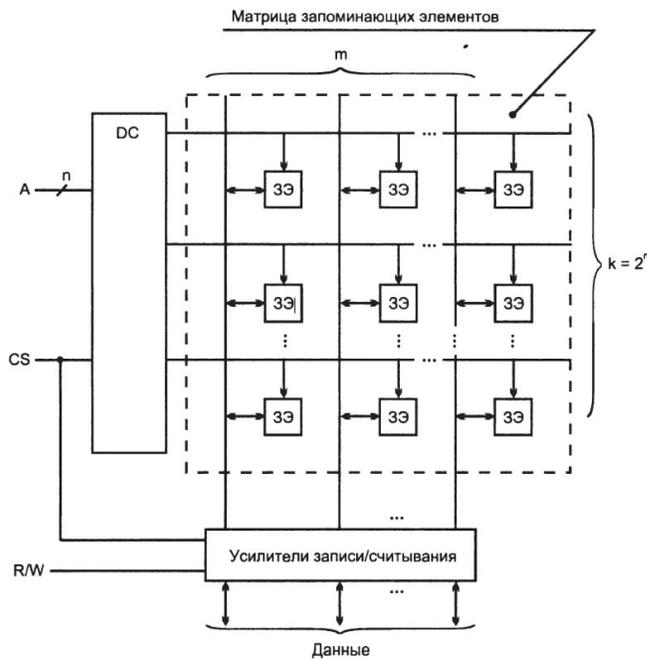
где k — количество хранимых слов,

m — их разрядность.

Дешифратор адресного кода имеет k выходов и активизирует одну из выходных линий, разрешая одновременный доступ ко всем элементам выбранной строки, хранящей слово.

Элементы каждого из столбцов соединены вертикальными разрядными линиями и хранят одноимённые биты всех слов.

Таким образом, при наличии разрешающего сигнала CS, выбранная дешифратором ячейка памяти подключается к разрядным шинам, по которым производится запись или считывание адресованного слова.



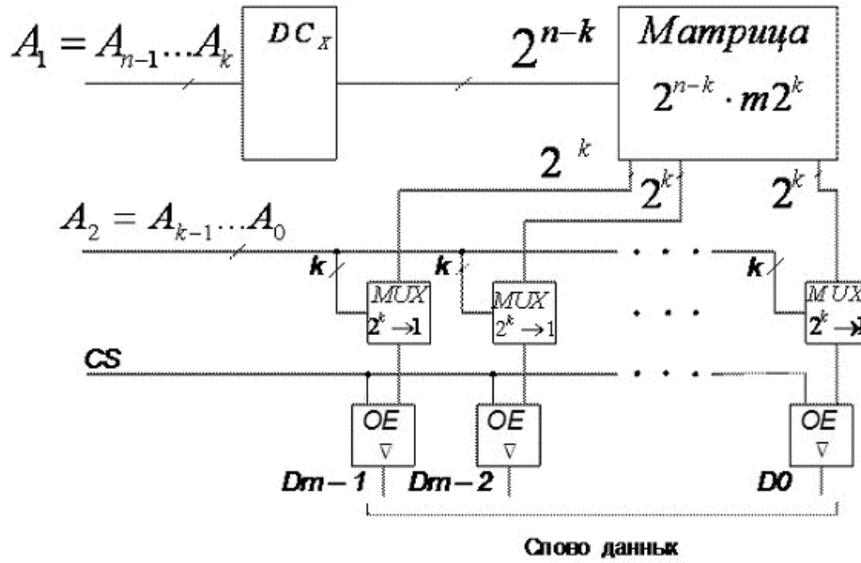
Структура 2DM

Состоит из дешифратора, который выбирает целую строку. Однако, в отличие от структуры 2D, длина строки многократно превышает разрядность хранимых слов. При этом число строк уменьшается и, следовательно, уменьшается число выводов дешифратора.

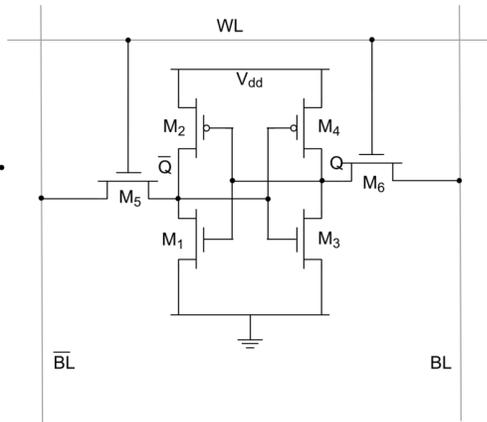
Выбор строк матрицы памяти производится с помощью старших разрядов адреса $A_{n-1} \dots A_k$. Остальные k разрядов используются для выбора необходимого m -разрядного слова из множества слов, содержащихся в строке.

Это выполняется с помощью мультиплексов, на адресные входы которых подаются коды $A_{k-1} \dots A_0$. Длина строки равна $m \cdot 2^k$, где m — разрядность слов.

Из каждого отрезка строки, длиной 2^k , мультиплексор выбирает один бит. На выходах m мультиплексов формируется выходное m -разрядное слово. По разрешению сигнала CS, поступающего на входы OE управляемых буферов с тремя выходными состояниями, выходное слово передаётся на внешнюю шину.



Ячейка 6Т



Ячейка 8Т

<http://citforum.ru/book/optimize/sdram.shtml>

