

ВОПРОСЫ ДЛЯ ЭКЗАМЕНА ПО ДИСЦИПЛИНЕ «ЦИФРОВАЯ СХЕМОТЕХНИКА» 2 КУРС, ИЮНЬ 2015 ГОД

Билет = 2 вопроса, ответ устный

ПРИНЦИП ВЫСТАВЛЕНИЯ ОЦЕНОК:

«удовлетворительно» - пересказ текста и иллюстраций из лекций и книг;

«хорошо» - объяснение логики и физики работы схем;

«отлично» - представление расширенных знаний по теме (в том числе альтернативных вариантов схемотехники, детальных знаний по вопросу сверх лекций, примеров исследований, как они выполнялись на лабораторных работах и т.п.)

ВОПРОСЫ ПО МОДУЛЮ 1.

1. Аналоговые и цифровые сигналы: определение, сравнение.
2. Уровни напряжения и логические уровни двоичных цифровых сигналов. Способы кодирования логических значений цифровыми сигналами (позитивное и негативное).
3. Основные параметры цифровых портов. Запас помехоустойчивости цифровой схемы.
4. Что такое и от чего зависит коэффициент разветвления выхода цифровой схемы. Почему и как различаются коэффициенты разветвления в статическом (без переключений) и в динамическом (с переключениями) режимах работы выходного порта.
5. Задержки цифровых элементов и схем: типы, причины и следствия.
6. Энергопотребление цифровых схем в статическом и динамическом режимах.
7. Электропитание цифровых схем, виды помех «по питанию», способы борьбы с ними, схема системы электропитания.
8. Полевые МОП-транзисторы: структура и функционирование, комплементарное включение МОП-транзисторов.
9. Однотактный выходной цифровой порт на МОП-транзисторе.
10. Выходной цифровой порт с открытым стоком на МОП-транзисторе.
11. Двухтактный выходной цифровой порт на комплементарных МОП-транзисторах (КМОП).
12. Двухтактный выходной цифровой порт КМОП с Z-состоянием (Z-КМОП).
13. Организация шинных соединений цифровых портов однотактных, открытых, Z-КМОП.
14. Триггер Шмитта: функция, назначение, схемное обозначение, передаточная характеристика.
15. Передаточный вентиль (transmission gate).
16. Применение «подтягивающих» резисторов (pull-up и pull-down).

ВОПРОСЫ ПО МОДУЛЮ 2.

17. КМОП-схемотехника двухвходового элемента И-НЕ.
18. КМОП-схемотехника двухвходового элемента ИЛИ-НЕ.
19. КМОП-схемотехника двухвходового элемента И.
20. КМОП-схемотехника двухвходового элемента ИЛИ.
21. Мультиплексор.
22. Демультимплексор.
23. Компаратор.
24. Дешифратор двоичный.
25. Шифратор двоичный приоритетный.
26. Схемы свертки.
27. Полусумматор и сумматор. Многоразрядный сумматор.
28. Комбинационный сдвигатель.
29. Триггер-защелка (LATCH).
30. Асинхронный RS-триггер.

31. JK-триггер с управлением уровнем синхросигнала.
32. MS-триггер с инвертором.
33. MS-триггер с запрещающими связями.
34. Универсальная трехтриггерная ячейка.
35. Двоичные счетчики с последовательным переносом.
36. Двоичные счетчики с параллельным переносом.

ВОПРОСЫ ПО МАТЕРИАЛАМ ЛАБОРАТОРНЫХ РАБОТ.

37. Реализация логических вентилей AND и OR на передаточных вентилях.
38. Динамические параметры синхронных триггеров: время предустановки, время удержания, время переключения.
39. 2D-структура блока памяти.
40. 2DM-структура блока памяти.
41. Ячейка статического ОЗУ (SRAM) на 6-ти транзисторах.
42. Ячейка статического ОЗУ (SRAM) на 8-ти транзисторах.