САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ

*Кафедра Вычислительной техники*

*Цифровая схемотехника*

**Лабораторная работа №4**

Вариант 2

Выполнил:

студент II курса группы 2125

Припадчев Артём

Проверит:

Попов Р.И.

Санкт-Петербург

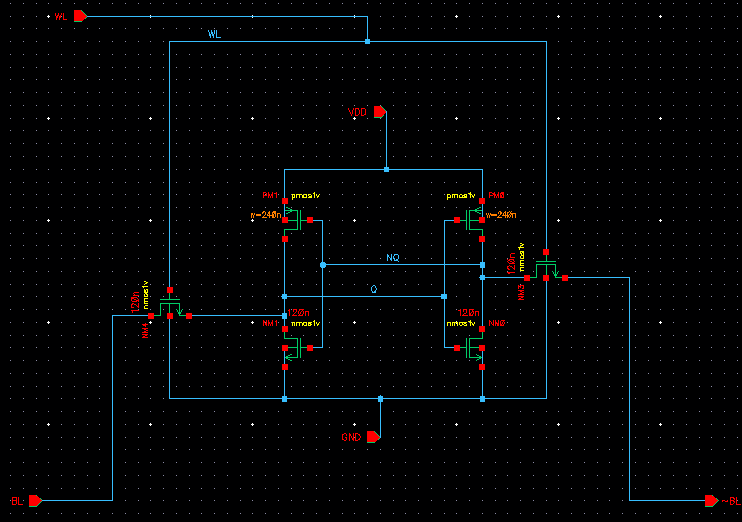
2014

**Задание:**

Построить ячейку памяти типа 6T, и на ее основе организовать SRAM (статическую память с произвольным доступом) со структурой 2D, адресным способом доступа и размером 8x2.

**Ход работы**

* Построим схему ячейки памяти



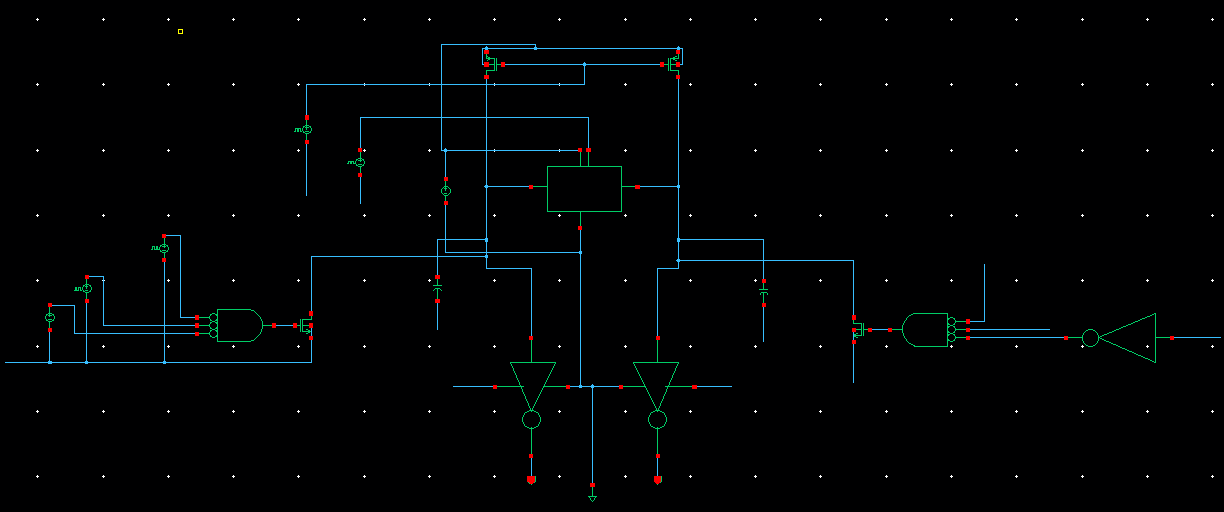
*Статическая ячейка памяти 6T*

Ячейка состоит из двух перекрестно включенных инверторов и 2 nmos транзисторов, которые подключают/отключают ячейку от разрядных шин.

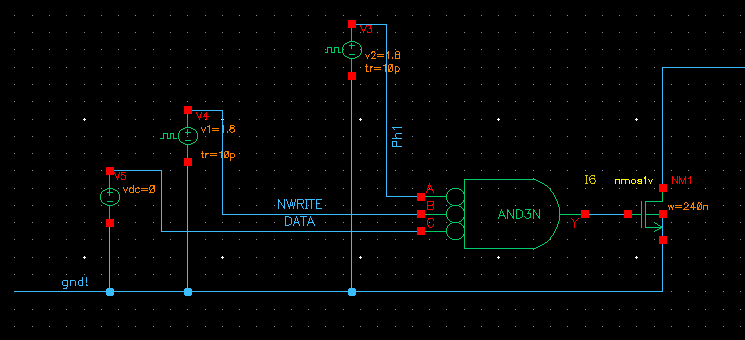
Когда сигнал WL установлен в 1, транзисторы NM3 и NM4 открываются, и ячейка подключается к разрядным шинам. Если на вход BL подать низкий потенциал, то транзистор PM0 откроется, а NM0 закроется и на линию NQ будет подан высокий потенциал, близкий к напряжению питания. После этого транзистор PM1 закроется, NM1 откроется, и на линию Q будет подан низкий потенциал, близкий к «земле». Таким образом в ячейке памяти установится логический ноль.

Таким образом, состояние ячейки задается линиями BL и ~BL, причем при записи они должны иметь разные логические состояния. Если оба сигнала имеют одинаковые состояния, например, «1», то в зависимости от установленного в ячейке значения линия BL или ~BL будет разряжена через NM1 или NM0 в «землю».

* Построим схему тестирования одной ячейки

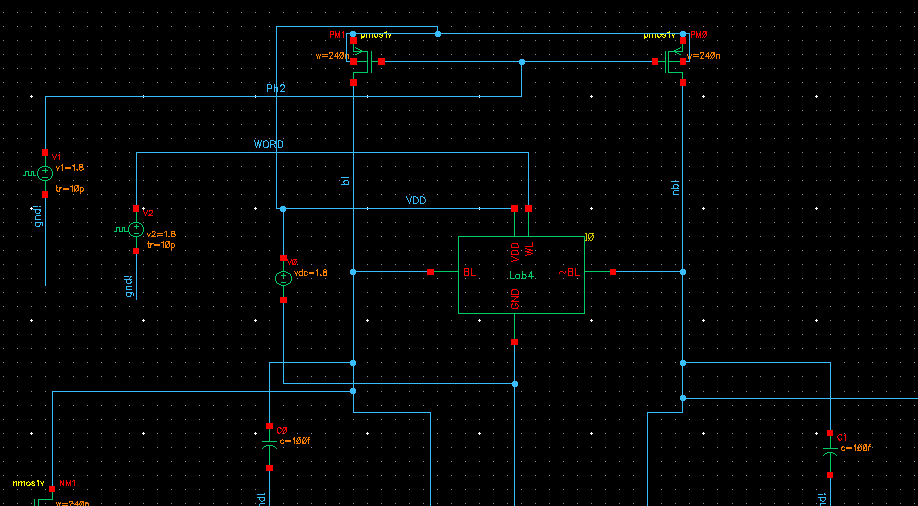


*Общая схема тестирования ячейки памяти*



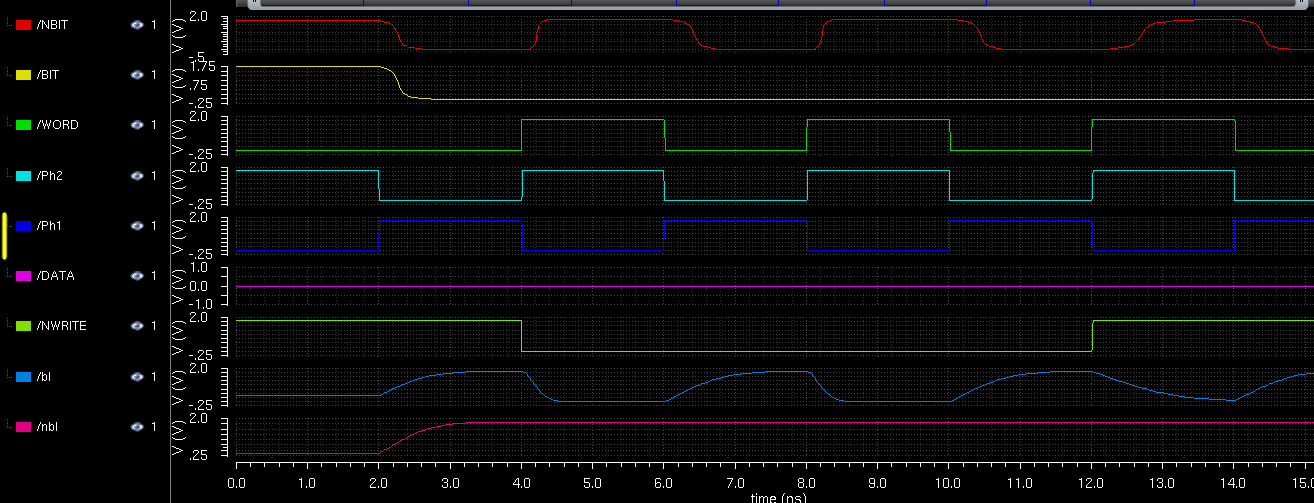
*Драйвер записи на вход BL*

*На входе ~BL ставится аналогичный, только сигнал DATA инвертируется*



Конденсаторы на схему добавлены для моделирования нагрузки, которую будет испытывать схема в реальных условиях. Емкость каждого из конденсаторов 100фФ

* Проведем симуляцию работы



0-2 нс: линии bl и nbl разряжены.

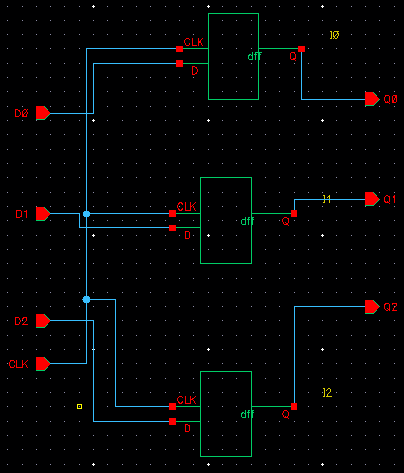
2-4 нс: сигнал Ph2 устанавливается в «0», открывая pmos-транзисторы PM0 и PM1, которые заряжают разрядные шины.

4-6 нс: сингал NWRITE устанавливается в «0», WORD устанавливается в «1». Начинается разрядка шин через ячейку памяти, однако BL разряжается через более мощный транзистор драйвера записи, и делает это намного быстрее. Таким образом, получаем разные логические сигналы на BL и NBL, а в ячейку памяти записывается логический ноль.

12-14 нс: разрядные шины к началу отрезка заряжены, сигнал NWRITE установлен в «1». Т.к. в ячейке памяти был установлен логический ноль, то линия BL будет разряжена через nmos транзистор первого инвертора ячейки, и на выходе будет наблюдаться считанное значение (BIT = «0», NBIT = «1»).

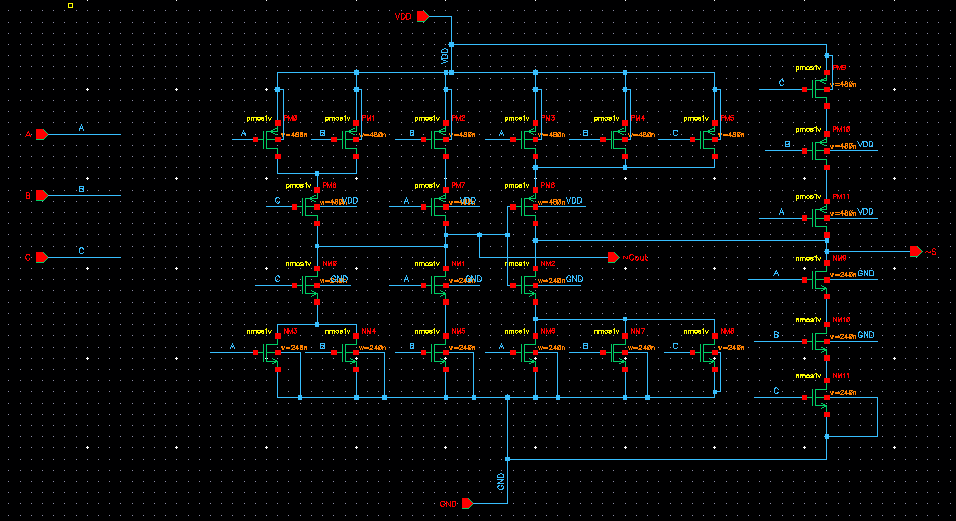
* Построим схему 3-х разрядного двоичного счетчика, который будет использоваться для тестирования схемы памяти (управления адресными входами), а также записываемыми значениями.

Счетчик состоит из 3-з разрядного регистра и 3-х разрядного сумматора



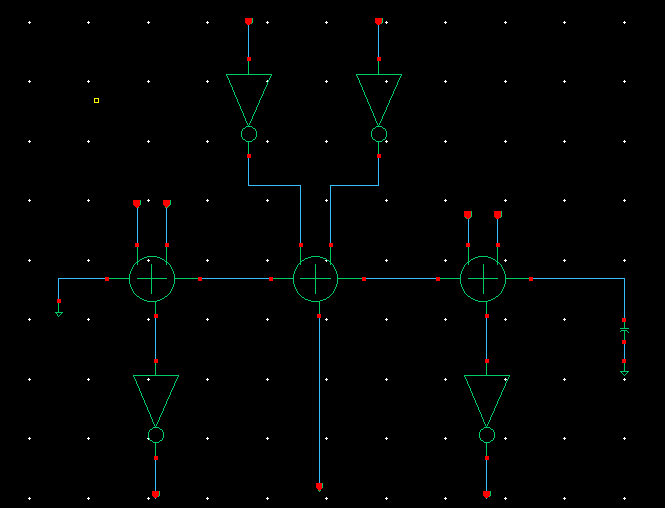
*3-х разрядный регистр на D-триггерах, работающих по фронту*

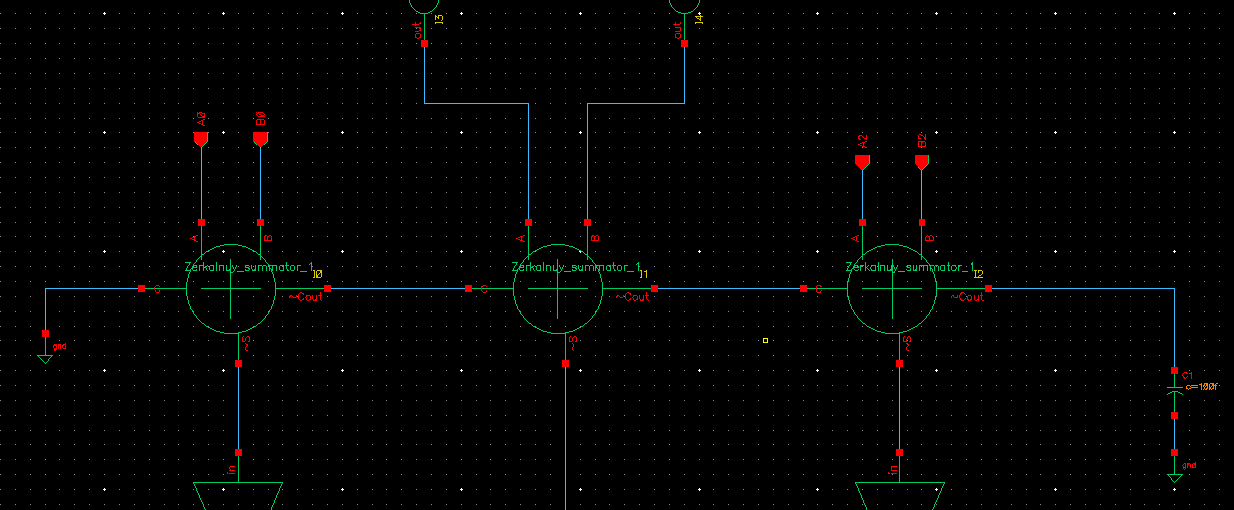
3-х разрядный сумматор построим на основе зеркального сумматора



*Зеркальный сумматор*

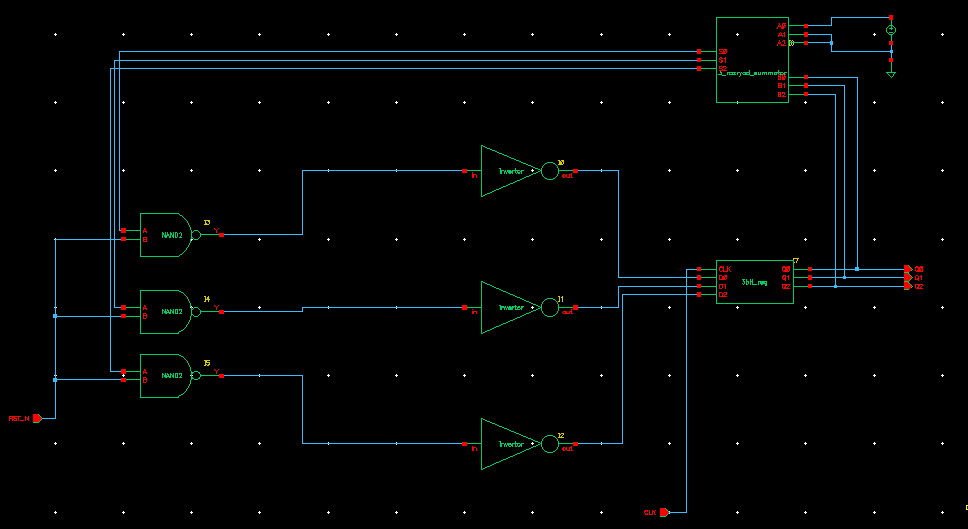
*(питание можно подключить сразу внутри схемы)*





*3-х разрядный сумматор*

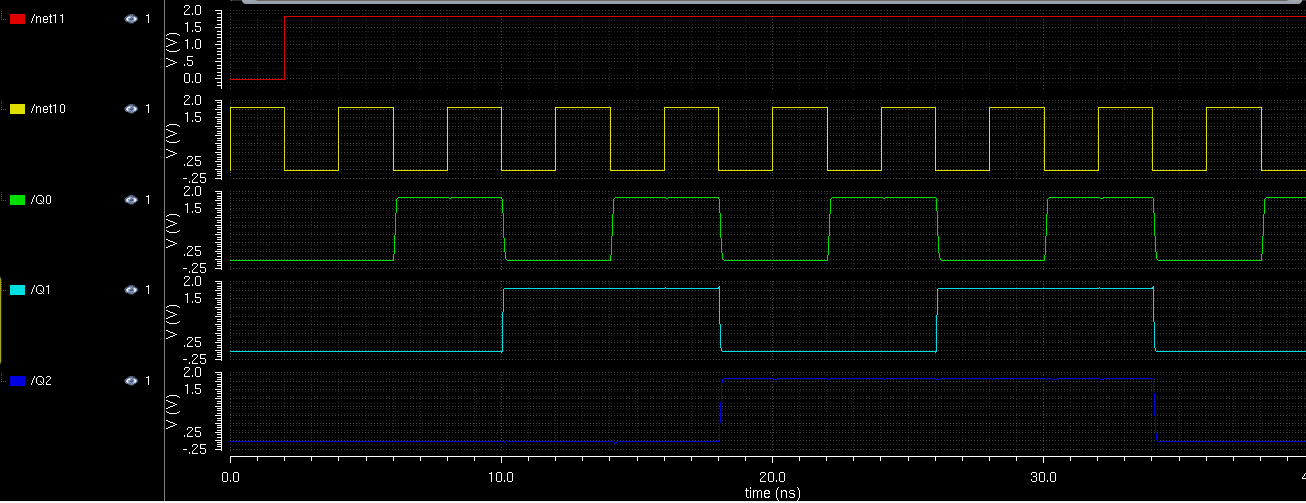
* Построим схему счетчика



*3-х разрядный счетчик с синхронным сбросом*

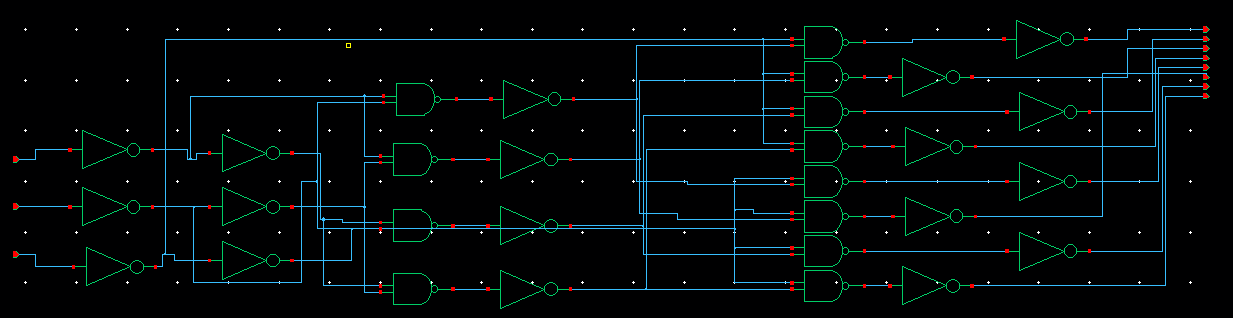
На один из входов сумматора всё время подается 1. таким образом по каждому такту в регистр записывается значение 3bit\_reg = 3bit\_reg + 1.

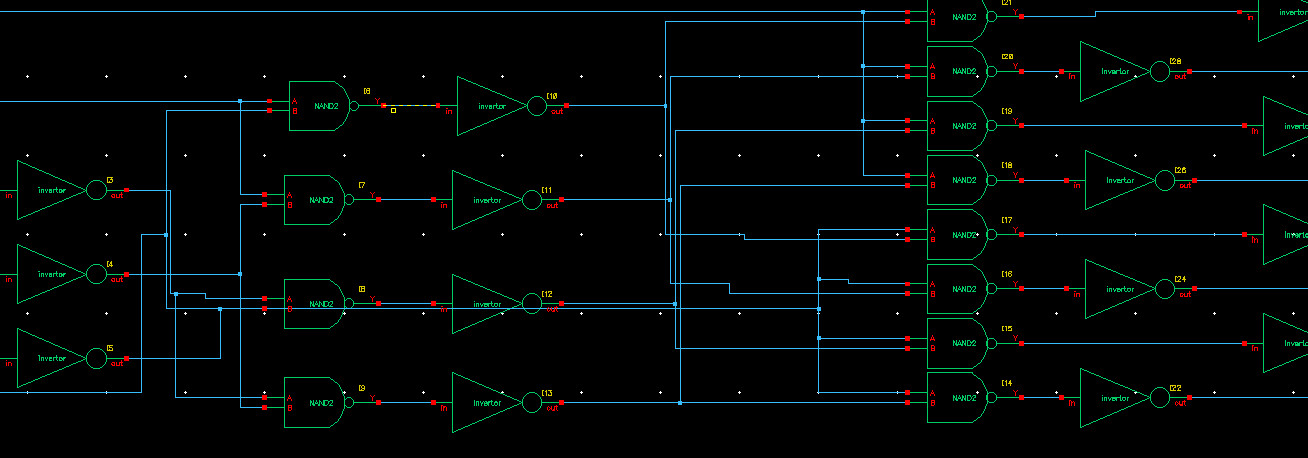
Протестируем работу счетчика



*Временная диаграмма работы двоичного счетчика*

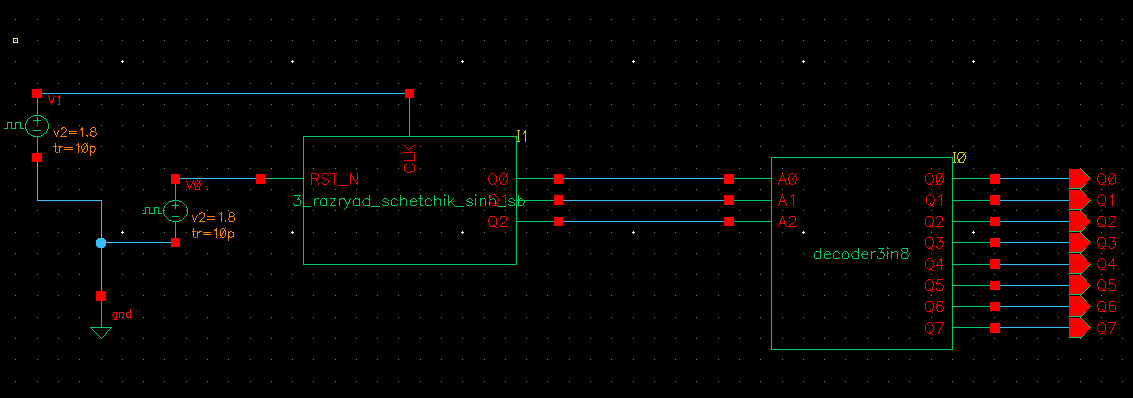
* Построим дешифратор адреса, который будет использоваться для выборки слова данных из памяти





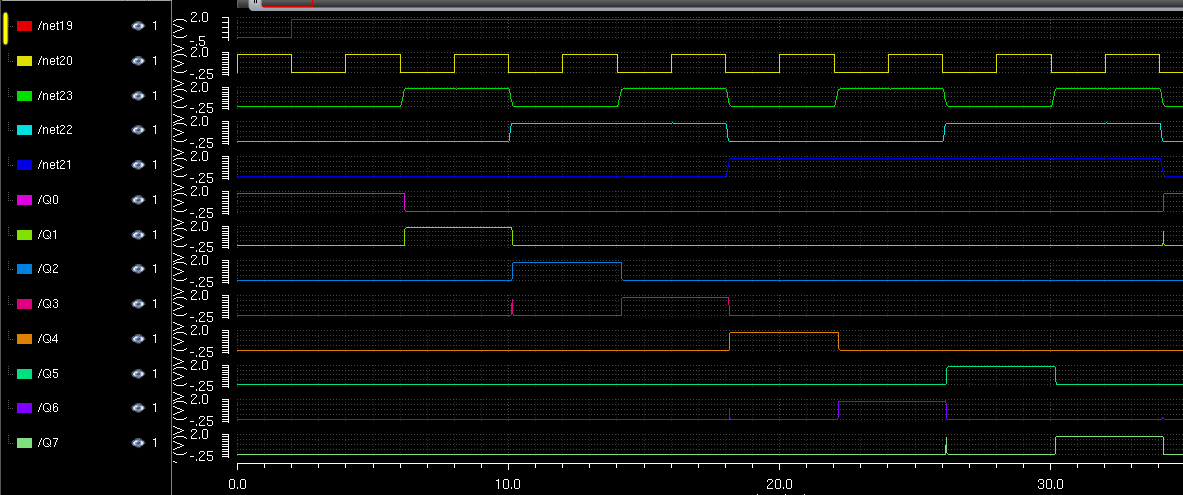
*Дешифратор 3 в 8*

* С использованием построенного ранее счетчика протестируем работу дешифратора



*Схема тестирования дешифратора*

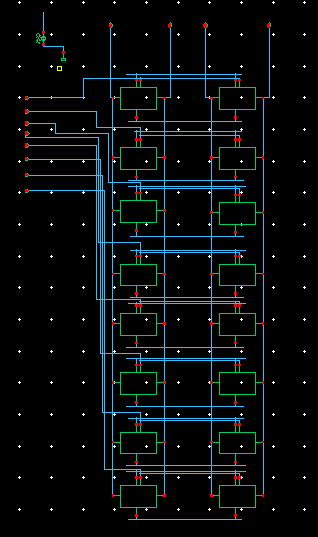
* *Проведем симуляцию работы*

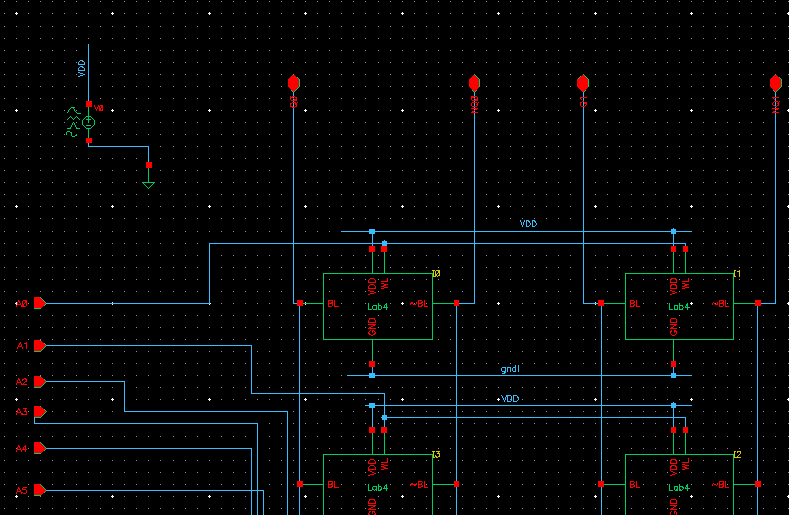


*Временная диаграмма тестирования дешифратора*

* Теперь можно перейти к разработке схемы памяти SRAM 8x2

Для начала построим массив ячеек

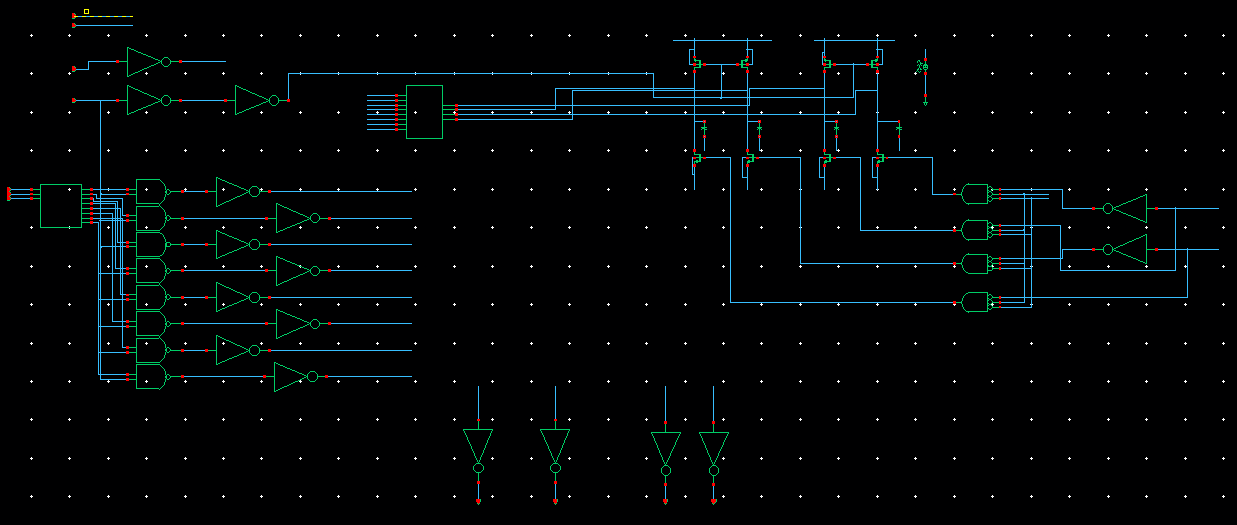




*Массив ячеек памяти 8x2*

Каждый из сигналов A0-A7 выбирает одну из строк массива. В каждом столбце шины BL и NBL общие.

* Построим схему памяти



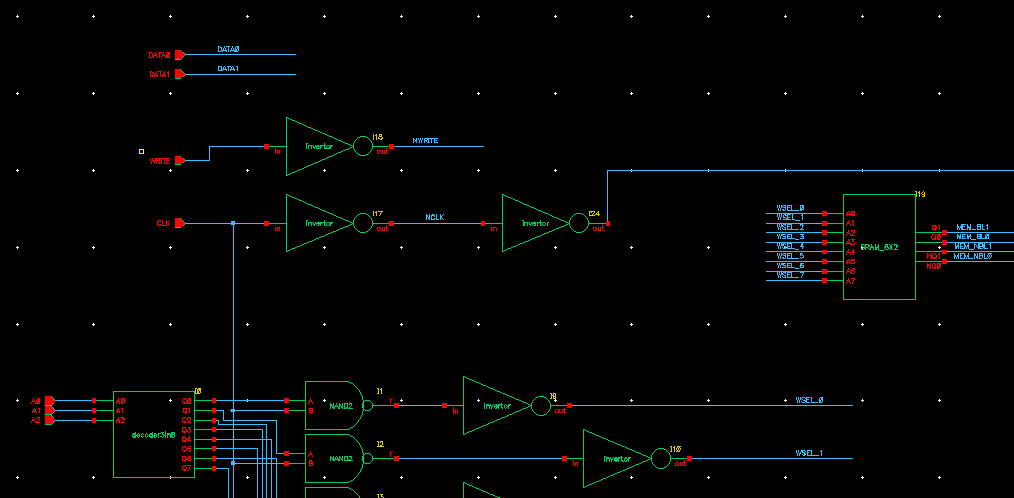
*Схема памяти SRAM 8x2*

Далее рассмотрим каждый из компонентов схемы:

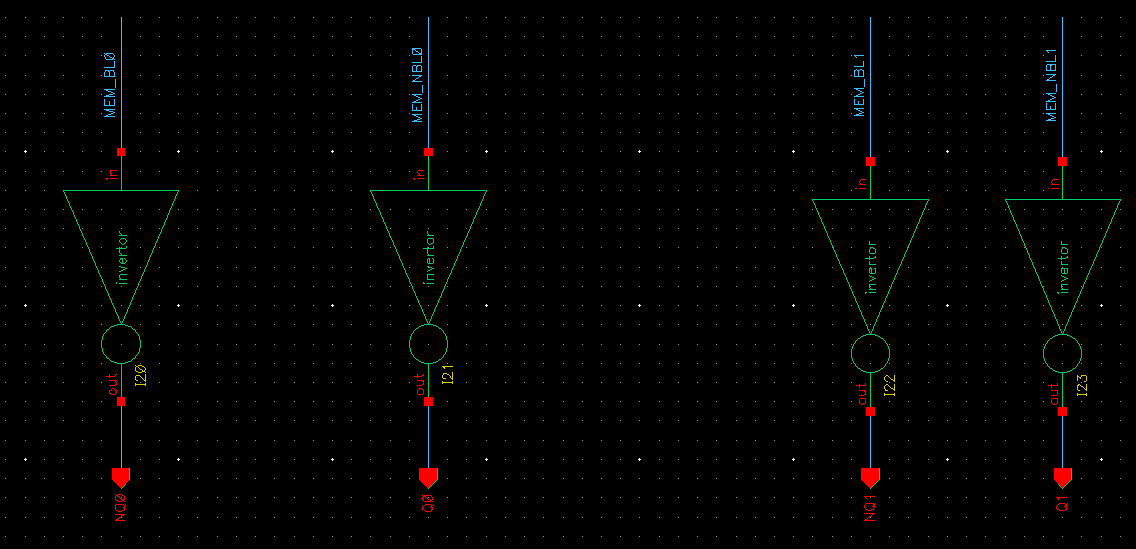
Входные сигналы:

* CLK – сигнал синхронизации. Чтение/запись происходит по уровню 1. По уровню 0 осуществляется перезарядка разрядных шин.
* DATA0, DATA1 – данные для записи в память.
* WRITE – выбор операции: 1 – запись, 0 – чтение.
* A0, A1, A2 – биты адреса для чтения/записи.

Выходные сигналы: Q0, Q1, NQ0, NQ1 – прочитанные данные и их инверсное значение.



*Входные сигналы памяти*

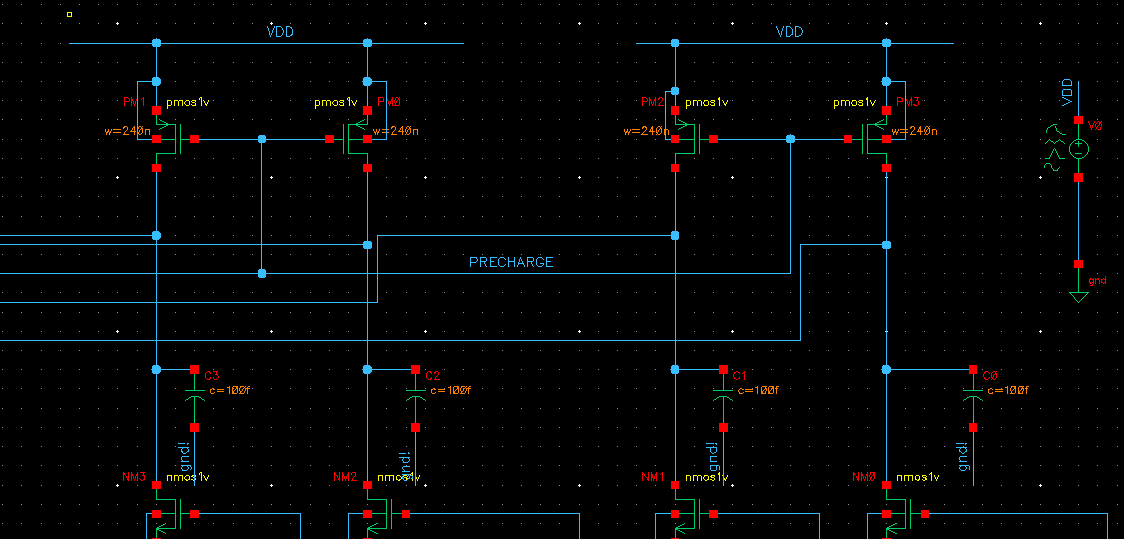


*Выходные сигналы памяти*

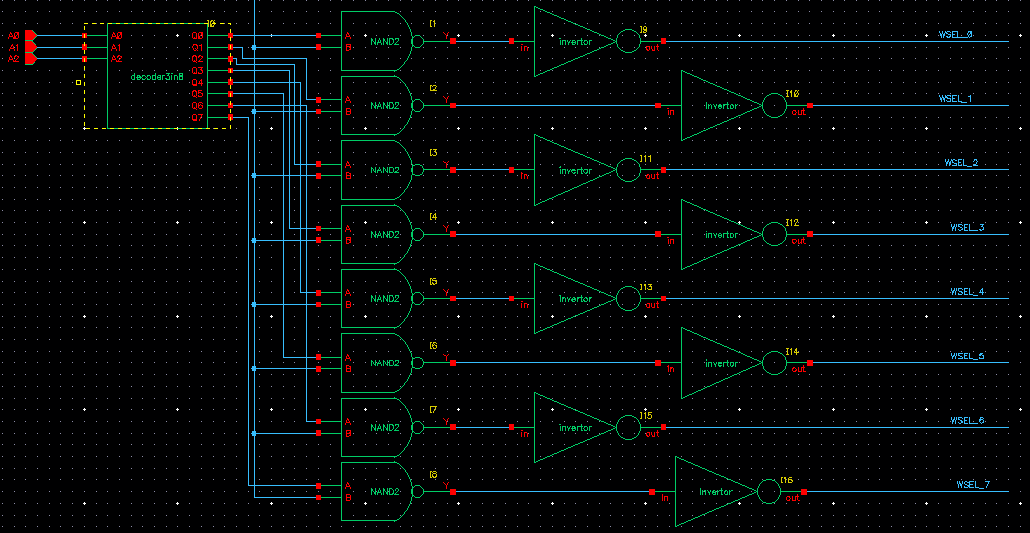
Когда сигнал синхронизации установлен в «0», начинается перезарядка разрядных шин (до уровня VDD) через pmos транзисторы (сигнал PRECHARGE подключен к сигналу синхронизации через 2 инвертора).

При установке синхронизирующего сигнала в «1» возможны два случая:

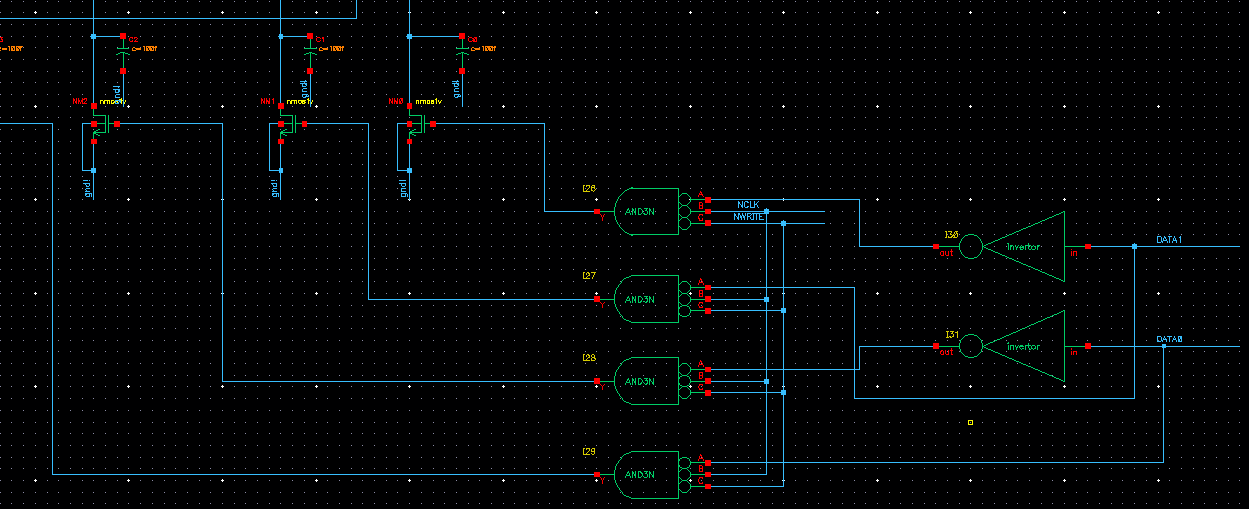
* сигнал WRITE установлен в «1». В таком случае одна из разрядных шин разряжается через транзистор соответствующего драйвера записи. Происходит запись.
* сигнал WRITE установлен в «0». В таком случае одна из разрядных шин разряжается через nmos транзистор одного из инверторов ячейки памяти в зависимости от установленного в ней значения. Происходит считывание.



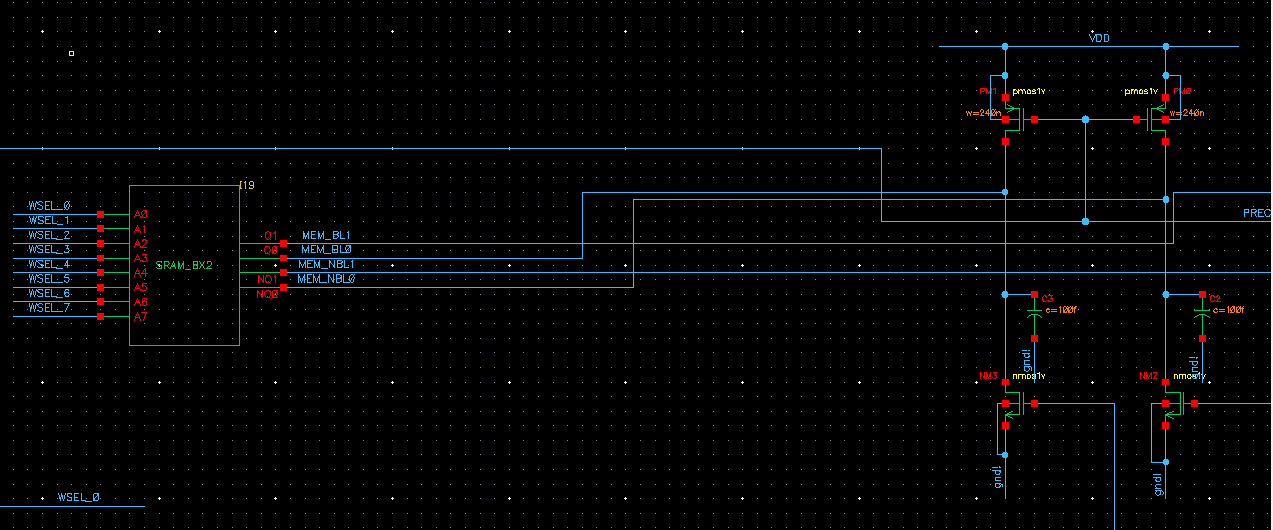
*Схема перезарядки разрядных шин*



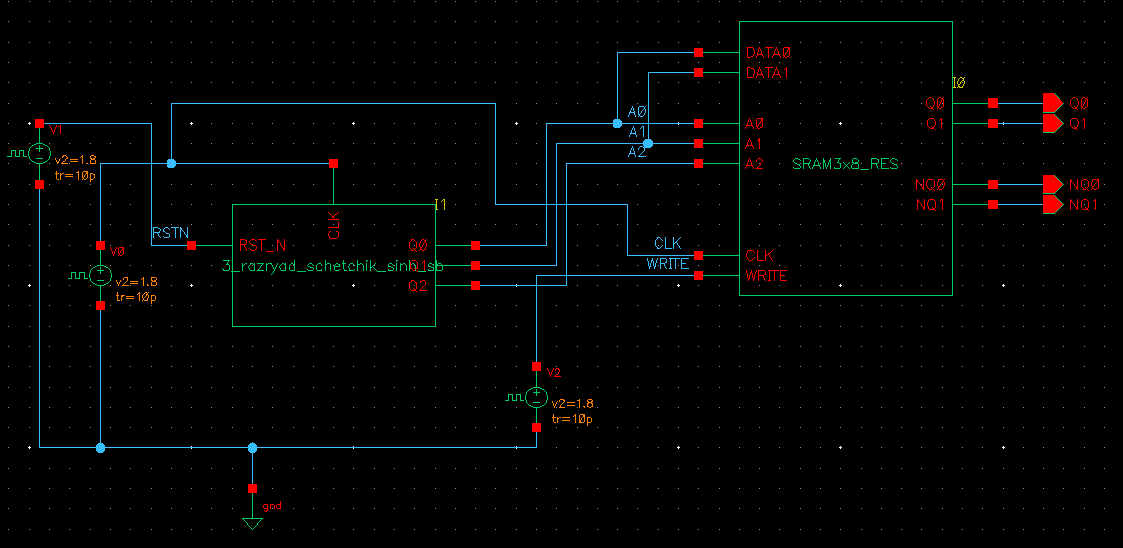
Декодирование адреса



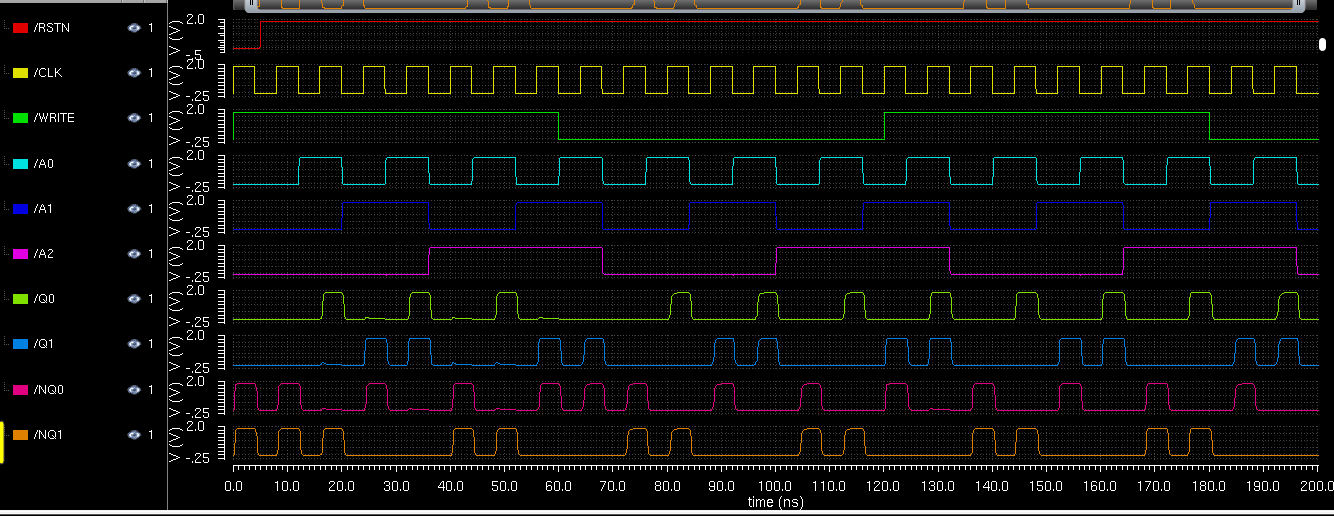
*Драйверы записи*



* Для тестирования разработанной памяти построим схему на основе ранее разработанного двоичного счетчика. В качестве записываем данных будем использовать 2 младших разряда счетчика.



*Схема тестирования памяти*



*Результаты симуляции теста памяти*

0-60 нс: сигнал WRITE установлен в «1». Происходит запись в память.

60-120 нс: сигнал WRITE установлен в «0». Происходит чтение из памяти. Как видно на результатах симуляции, прочитанные данные Q0 и Q1 совпадают с двумя младшими разрядами адреса A0 и A1.