

МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО СПЕЦИАЛЬНОГО ОБРАЗОВАНИЯ
СССР

Ленинградский институт точной механики и оптики

А.К. АЗОВ, З.О. ДЖАЛИАШВИЛИ

ИНТЕГРАЛЬНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ
В УСТРОЙСТВАХ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ.

Учебное пособие

С-Петербург
2005

Одобрено на заседании кафедры вычислительной техники

Утверждено методической комиссией факультета КТ и У

Редактор Е.Г. Лукин

ВВЕДЕНИЕ

Одним из важнейших путей совершенствования вычислительной аппаратуры является широкое применение в ней достижений современной микроэлектроники. Успехи полупроводниковой интегральной технологии привели к созданию функционально сложных электронных узлов – интегральных схем (ИС), составляющих основу элементной базы ЦВМ третьего поколения.

Широкое применение интегральных схем во многом потребовало иного подхода к проектированию цифровых устройств по сравнению с проектированием схем на дискретных компонентах. И, если появление ИС на принципы построения узлов комбинационного типа не оказало значительного влияния, то подход к проектированию последовательно-стальных схем, и, в первую очередь, собственно интегральных триггеров чрезвычайно велико, а принципы их схемной реализации весьма разнообразны.

В связи с этим настоящее пособие посвящено изложению принципов построения, специфике работы интегральных триггеров и их применению при проектировании цифровой вычислительной аппаратуры.

При этом собственно синтез триггерных схем специально не рассматривается. Во-первых, эти вопросы достаточно подробно разобраны во многих монографиях [3, 6], а, во-вторых, тем обстоятельством, что в настоящее время в широком ассортименте представлены интегральные многоразрядные регистровые и пересчетные схемы. Поэтому в пособии основное внимание уделено изложению принципов работы триггерных схем на потенциальных логических элементах и их практическому применению.

1. РАЗНОВИДНОСТИ ИНТЕГРАЛЬНЫХ ТРИГГЕРОВ

1.1. Классификация интегральных триггеров

Триггер представляет собой устройство, обладающее двумя устойчивыми состояниями равновесия¹ (бистабильный триггер). Благодаря этому, бистабильный триггер весьма удобен для обработки и хранения информации, представленной в двоичной системе счисления. Бистабильные триггера широко используются для построения статистических (запоминающих) и сдвигающих регистров, пересчетных схем (счетчиков импульсов) и элементов памяти цифровых автоматов.

В общем случае триггер представляет собой сочетание запоминающего элемента (собственно триггера) и схемы управления [3, 4, 5, 6]. При этом схема триггера может содержать от 8 до 10 логических элементов и более. В связи с принципиальной сложностью интегральных триггеров, последние в литературе часто называются триггерными устройствами (ТУ) [4] или триггерными системами (ТС) [1]. В пособии вместо этих терминов при названии сложных триггерных схем иногда будет использоваться термин триггерная ячейка (ТЯ), который представляющему большинство случаев будет применяться термин триггер.

В зависимости от принципа кодирования триггеры подразделяют на два обширных класса [1]: статические и динамические.

В статических триггерах каждое из устойчивых состояний схемы характеризуется различием в величинах токов и уровнях напряжения.

Бистабильные триггеры работают при двух уровнях потенциалов как на входах, так и на выходах, соответствующих логическим уровням нуля и единицы (U^1 и U^0).

В динамических триггерах состояния схем характеризуются наличием или отсутствием серии выходных импульсов стандартной амплитуды и длительности [1]. Каждое из этих состояний соответствует сигналу логической единицы (наличие серии), либо нуля (отсутствие серий). В настоящее время, динамические схемы на биполярных транзисторах используя крайне редко и поэтому в данной работе специально не рассматриваются.

На практике применяют два типа статических триггеров. В первом из них в устойчивом состоянии выходные инвестирующие транзисторы либо одновременно открыты, либо закрыты, а во втором один из этих транзисторов открыт, а другой заперт.

¹ Известны разновидности триггеров с числом устойчивых состояний больше двух (так называемые многостабильные или многостабильные триггеры [4, 5]). Но такие триггеры в практике построения цифровых схем используются значительно реже бистабильных и поэтому в данном пособии не рассматриваются.

Для триггера первого типа характерно то, что в условиях статики оба входных транзистора находятся в одном состоянии – открытом или закрытом. Такую схему называют кольцевым триггером, подчеркивая тем самым, что процесс отпираания и запираания выходных транзисторов протекает в одном и том же направлении. Принципиальная особенностью триггеров второго типа является то, что оба выходных транзистора в статике находятся в противоположных состояниях (один закрыт, другой – открыт). Для таких триггеров характерным является симметрия конфигурации схем, вследствие чего они относятся к классу симметричных триггеров.

Симметричные триггеры широко используются в вычислительной аппаратуре различного применения. Они обладают высоким быстродействием при сравнительно малом потреблении энергии от источников питания.

Так по данным периодической печати интегральные триггеры на основе элементов (ЭСЛ) [1, 2] при потребляемой мощности около 175 мВт способны работать на частоте, достигающей 550 МГц [1]. Минимальная величина потребляемой мощности для специально спроектированных микромощных интегральных триггеров на биполярных транзисторах составляет менее одного нановатта при частоте переключения порядка 10 кГц [1].

При построении цифровых устройств предпочтение отдают симметричным триггерам, так как в отличие от кольцевых триггеров они позволяют одновременно получать прямой и инверсный сигналы, снимаемые с взаимодополняющих выходов.

Кольцевые триггеры менее распространены. Для их построения обязательно требуются комплементарные ($n-p-n$ и $p-n-n$ типов) транзисторы. Основным достоинством кольцевых триггеров является то, что в одном из устойчивых состояний мощность, потребляемая от источника питания, незначительна. Однако, цепи связей кольцевых триггеров с другими схемами, как правило, потребляют значительную мощность, поэтому на практике выигрыш в уменьшении суммарной мощности оказывается не столь существенным, как это можно было бы ожидать исходя из оценки потребляемой мощности самих триггеров. Самым же существенным недостатком кольцевых триггеров является невозможность их реализации на основе типовых логических элементов. В связи с отмеченным, кольцевые триггеры рассматриваться не будут.

По способу занесения (записи) входной информации триггеры подразделяются на асинхронные и синхронные (тактируемые).

В асинхронных триггерах в любой момент времени информационные сигналы на входах однозначно определяют соответствующее (единичное или нулевое) состояние триггера. Изменение входной информации приводит к немедленному (по истечении переходного процесса переключения) изменению состояния триггера.

Синхронные (тактируемые триггеры) имеют дополнительный вход для подачи синхронизирующих (тактовых) импульсов. Синхроимпульсы обычно имеют прямоугольную форму и неизменные (в пределах допусков) амплитуду, частоту следования и длительность. В синхронных схемах входная информация заносится в триггер только при поступлении очередного синхроимпульса.

В зависимости от того, какая часть синхроимпульса оказывает влияние на изменение состояния триггера, синхронные триггеры подразделяются на схемы, управляемые уровнем и управляемые фронтом или срезом (спадом) синхроимпульса.

В синхронных триггерах, управляемых уровнем синхроимпульса, входная информация действует на триггер в течение всей длительности синхронизирующего импульса. Если в течение действия синхроимпульса происходит изменение информационных сигналов, то это приводит к изменению состояния триггера.

В таких триггерах принципиально допустимо связывать выходы со входами; они могут работать друг на друга в последовательных цепях (счетчиках, сдвигающих регистрах). Однако, обычно все это возможно только при выполнении условия, что длительность синхроимпульса меньше времени переключения триггера. В противном случае триггер может либо генерировать, либо переключится несколько раз в течение воздействия одного и того же синхроимпульса. Следовательно, длительность синхроимпульсов должна быть меньше суммарного времени задержки переключения триггера, и вместе с тем она должна быть достаточной, чтобы обеспечить надежное переключение схемы. Поскольку эти ограничения необходимо обеспечивать с учетом допусков, разброса и изменения параметров компонентов, реализация таких схем на практике обычно наталкивается на непреодолимые противоречия.

Жесткие ограничения, предъявляемые к длительности синхроимпульсов в одноктактных системах, значительно ослабляются в многотактных (n -тактных) системах, в которых переключение собственно триггера в новое состояние осуществляется при поступлении n -го синхроимпульса.

Так, например, в наиболее распространенных двухтактных сдвигающих регистрах (см. 3.1) и счетчиках на один двоичный разряд используются два триггера, управляемых сдвинутыми во времени тактовыми импульсами, что позволяет исключить жесткие требования к максимальной величине длительности синхроимпульсов. В таких устройствах сигналы, поступающие на входы транзисторов, обрабатываются отдельно, т.е. в каждый момент времени занесение информации производится только на один из триггеров одной ячейки (разряда).

В синхронных триггерах, управляемых фронтом (срезом) синхроимпульса информация заносится в триггер в момент изменения амплитуды синхроимпульса в определенном направлении, т.е. в течение воздействия фронта или среза (спада) импульса.

Триггеры с управлением фронтом (срезом) синхроимпульса подразделяют на схемы с отсутствием блокировки входов при некоторых комбинациях входных сигналов и схемы с блокировкой входов при некоторых комбинациях входных сигналов. В триггерах первого типа изменение некоторых сигналов в течение длительности синхроимпульса приводит к асинхронному срабатыванию триггера. В триггерах второго типа при любых комбинациях входных сигналов асинхронный режим работы исключен. В триггерах, управляемых фронтом (срезом) синхроимпульса, можно связывать выходы со входами; эти триггеры могут работать друг на друга без опасности генерации или сбоев.

В работе [3], наряду с указанным подразделением триггеров по способу управления, специально выделяется группа схем, управляемых обоими фронтами синхроимпульса. Этот способ управления, характерный для *MS*-триггеров с главной и вспомогательной памятью (см. 1.2) принципиально не отличается от ранее изложенного способа управления фронтом (срезом) синхроимпульса.

Необходимо отметить, что *MS*-триггеры нельзя в полной мере отнести к группе схем, управляемых фронтом (срезом) синхроимпульса, так как изменение информационных сигналов во время действия синхросигнала приводит к изменению состояния главного триггера (см. 1.2). Но так как в реальных устройствах сигналы на информационные входы триггеров подаются с выходов вспомогательных триггеров, схемы, по существу, работают в режиме управления по фронту (срезу) синхросигнала.

Синхронные триггеры имеют более сложные схемы управления, чем асинхронные, так как требуют дополнительных элементов и специальных входов для подключения к шинам синхроимпульсов. Однако синхронные триггеры имеют несомненное преимущество перед асинхронными по помехозащищенности. Сигнал помехи на входах асинхронного триггера в любой момент времени может привести к ложному срабатыванию. В синхронных триггерах время действия помехи ограничивается в худшем случае длительностью синхроимпульса (в схемах, управляемых уровнем), а в лучшем – длительностью фронта (среза) синхроимпульса (в схемах, управляемых фронтом или срезом).

Не менее важным достоинством синхронных триггеров является возможность синхронизации работы отдельных узлов цифровых устройств и жесткой привязки во времени к синхроимпульсам. Синхронизация работы схем в ряде случаев может существенно упростить их структуру.

Как в дискретной, так интегральной электронике триггер обычно содержит схему управления. Однако если дискретной электронике схему управления можно рассматривать отдельно от схемы триггера, то в микроэлектронике такое разделение практически невозможно, да и нецелесообразно. В интегральных микросхемах с целью повышения надежности (за счет сокращения внешних соединений и паек) и степени интеграции триггера изготавливают совместно со схемами управления. Схема управления определяет функции, реализуемые триггером.

В зависимости от логической функции, выполняемой схемой управления, различают [1, 3] следующие типы интегральных триггеров: RS , R , S , T , E , D , DV , JK , RST , JK , $JK - J^* K^*$. Наибольшее распространение получили RS -, T -, D , DV и JK -триггеры.

Известны также RI -, SI -, RSI - DI , DVI , JKI - и т.п. триггеры, которые логически инверсны R -, S -, RS - ... JK -триггерам. Инверсия в данном случае связана со следующими изменениями [1]: состояние триггеров при сочетаниях входных сигналов 00 и 11 в инверсных триггерах меняются на противоположные, а при сочетаниях 01 и 10 остаются неизменными [1]. Следовательно, если основные триггеры реализуются в позитивной логике, то эти же схемы в негативной логике при перекодировании входных сигналов, будут представлять инверсные триггеры. Поэтому инверсные триггеры специального рассмотрения не требуют.

Следует отметить, что многообразие триггерных схем не исчерпывается перечисленными выше видами. Однако часть из возможных вариантов тривиальна или бессмысленна. Некоторые из них могут быть преобразованы друг в друга путем инверсии входных сигналов или заменой входных переменных. Поэтому число типов триггеров, которые целесообразно реализовать технически, ограничено. Далее будут рассмотрены структурные схемы наиболее распространенных триггеров и дано краткое описание принципа их работы.

1.2. RS-триггеры

Под триггером RS -типа понимается устройство с двумя устойчивыми состояниями равновесия, имеющее два информационных входа: S (от английского слова set – установка) и R (от слова reset – сброс). При $S=1$ и $R=0$ триггер устанавливается в единичное, а в случае комбинации входных сигналов $S=0$, $R=1$ – в нулевое состояние. В соответствии с указанным вход S называется единичным, а R – нулевым. Как и другие типы триггеров RS -триггеры подразделяются на синхронные и асинхронные.

Асинхронные RS -триггеры. Такие триггеры обычно не содержат специальной схемы управления и состоят из двух логических элементов (ЛЭ) типа ИЛИ-НЕ или И-НЕ,

схваченных перекрестными связями. Остальные входы ЛЭ могут быть использованы для подачи управляющих сигналов (т.е. служить входами R и S).

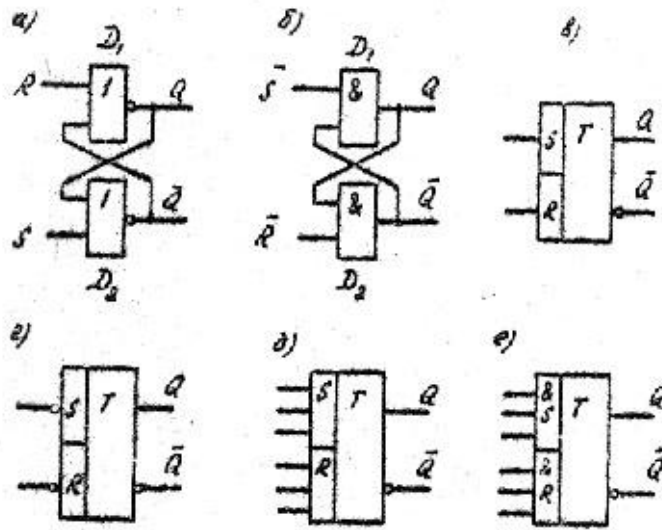


Рис. 1. Асинхронные триггеры на элементах И-НЕ (а), ИЛИ-НЕ (б) и их условные обозначения (в, г)

Функциональная схема асинхронного RS -триггера, выполненная на элементах ИЛИ-НЕ, представлена на Рис. 1, а. Один из входов каждого ЛЭ используется для подачи сигналов обратной связи с выхода другого ЛЭ, а другого – для подачи сигналов управления. Один из двух выходов (Q) называется единичным, а другой (\bar{Q}) – нулевым, причем под единичным выходом понимается тот, сигнал на котором $Q=1$ при нахождении триггера в единичном состоянии. При этом на нулевом выходе $\bar{Q}=0$. Действительно, если сигнал на выходе $Q=1$, то этот сигнал, поступая на вход элемента D_2 приводит к появлению сигнала на его выходе $\bar{Q}=0$. Когда триггер находится в нулевом состоянии, $Q=0$, $\bar{Q}=1$.

Рассмотрим теперь, каким образом осуществляется управление переключаем триггера. Предположим, что триггер находится в единичном состоянии ($Q=1$, $\bar{Q}=0$). Если теперь подать на нижний вход ЛЭ D_2 единичный сигнал, то состояние этого элемента, не изменится, так как на другой его вход и до этого подавался сигнал логической единицы с выхода Q . Поэтому для перевода триггера в нулевое состояние следует подать единичный сигнал на вход R , в результате чего на выходе ЛЭ D_1 $Q=0$. Этот сигнал, поступая на вход ЛЭ D_2 приводит к появлению на выходе сигнала $\bar{Q}=1$. Таким образом, триггер переключается в нулевое состояние.

Таким же образом можно продемонстрировать, что если триггер находится в нулевом состоянии ($Q=0$, $\bar{Q}=1$), то для перевода его в единичное состояние необходимо подать единичный сигнал на вход S (выполняя при этом условие $R=0$).

Если на оба входа поданы сигналы $R = S = 0$, то триггер сохраняет то состояние, в котором находился до установки нулевых сигналов на управляющих входах (Q_{t-}). Одновременная комбинация входных сигналов $R = S = 1$ не допустима, так как в течение действия этих сигналов на выходах обоих ЛЭ $Q = \bar{Q} = 0$, и состояние, в которое установится триггер после снятия сигналов, является неопределенным.

Закон функционирования асинхронного RS -триггера отображен в Табл. 1. Символ ? использован для обозначения неопределенного состояния триггера при сочетании входных сигналов $R = S = 1$.

Табл. 1. Таблица истинности асинхронного RS -триггера

R	S	Q
0	0	Q_{t-}
1	0	0
0	1	1
1	1	?

Функциональная схема RS -триггера, построенного на основе элементов И-НЕ (Рис. 1.б), принципиально не отличается от схемы, приведенной на Рис. 1.а. При этом необходимо иметь в виду, что при использовании элементов И-НЕ переключение триггера необходимо осуществлять подачей инверсных (нулевых) сигналов. Действительно, если триггер находится в нулевом состоянии ($Q = 0, \bar{Q} = 1$), только подача нулевого сигнала на верхний вход ЛЭ D_1 может привести к переходу триггера в единичное положение (так как достаточно подать нулевой сигнал только на один из входов ЛЭ И-НЕ, чтобы сигнал на выходе принял единичное значение). Поэтому установочные входы на схемы, приведенной на Рис. 1.б, обозначены символами \bar{R} и \bar{S} , где знаки инверсии свидетельствуют о том, что управление триггером должно осуществляться инверсным (нулевым) сигналам.

Учитывая, что функциональные схемы триггеров, реализуемых на элементах И-НЕ и ИЛИ-НЕ, по существу, не отличаются друг от друга от друга, в дальнейшем все триггерные схемы (кроме схем на Рис. 2.б) будут представлены в базисе И-НЕ. Переход от этого базиса к базису ИЛИ-НЕ заключается только в изменении уровня управляющих сигналов на инверсные.

Условные обозначения асинхронных триггеров с одной парой управляющих R и S входов представлены на Рис. 1.г (на ЛЭ И-НЕ). Основой изображения триггера является прямоугольник, разделенный на основное и вспомогательное поля. В первом помещают T (триггер), а во втором – условные обозначения (метки) входов и логических операций, реализуемых на входе триггера. На основном поле указывают два выхода Q и \bar{Q} ; по-

следней выделяют кружком в месте подсоединения соответствующего вывода. Поэтому символы Q и \bar{Q} на условном обозначении триггера обычно не указываются.

Как правило, триггеры имеют не по одному, а по нескольку установочных R и S входов (при использовании не двухвходовых, а многовходовых ЛЭ). Такие триггеры и имеют несколько входов одинакового назначения, связанных логикой И или ИЛИ. В условных обозначениях этих устройств группы входов отделяют одну от другой либо увеличенным расстоянием между выводами (входами) соседних групп, либо делением дополнительного поля на зоны. Метку, поясняющую назначение группы входов (R или S либо \bar{R} и \bar{S}), изображают на против первого(сверху) входа в том случае, если входы группы связаны логикой ИЛИ (Рис. 1.д), и напротив второго (Рис. 1.е), если они связаны логикой И (в этом случае первый вход группы отмечают символом $\&$).

В качестве самостоятельных устройств асинхронные RS -триггеры находят довольно ограниченное применение(главным образом они применяются в статистических и двухтактных сдвигающих регистрах), но являются базовыми схемами всех более сложных триггерных ячеек.

Синхронные RS -триггеры. В отличие от асинхронных синхронные RS -триггеры содержат на входе плеча триггера (Q и \bar{Q}) схемы совпадений, на каждую из которых попадает синхронизирующий импульс (синхроимпульс).

На остальные входы схем совпадения поступают информационные сигналы установки триггера в нулевое (R) и единичное (S) состояния (часто импульсы синхронизации называются тактовыми импульсами и наряду с термином синхронный (синхронизируемый) триггер используется термин тактируемый триггер). Таким образом, информация, поступающая на входы R и S , заносится в триггер только при поступлении синхроимпульса.

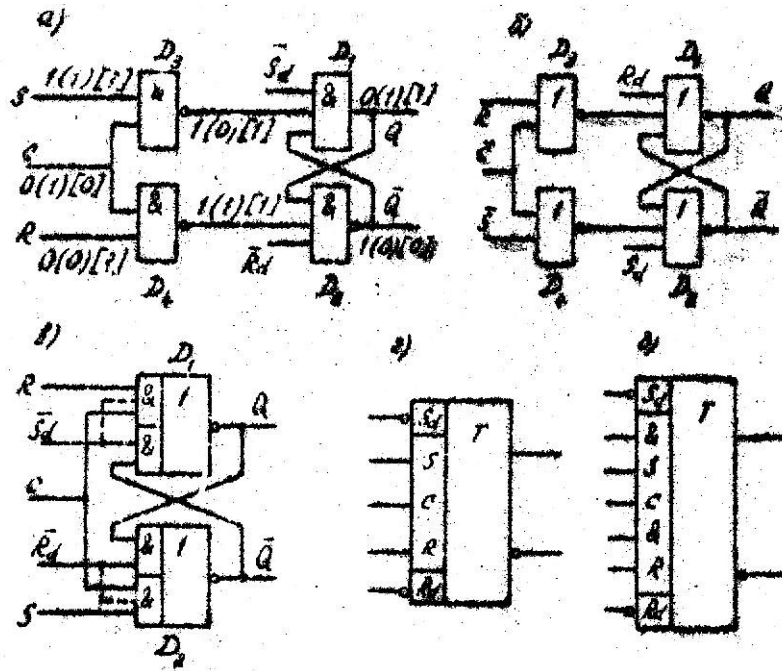


Рис. 2. Асинхронные триггеры на элементах И-НЕ (а), ИЛИ-НЕ (б) и их условные обозначения (в, г)

Функциональные схемы синхронных RS -триггеров, управляемых уровнем синхроимпульса, представлены на Рис. 2.а-в.

Принцип работы синхронного триггера разберем на примере схемы, выполнения на одноступенчатых логических элементах И-НЕ (Рис. 2.а). при этом воспользуемся следующим приемом. Состояние каждого логического элемента схемы и значения входных сигналов до поступления синхроимпульса будем отмечать символами 0 и 1 без дополнительных меток, состояния элементов в течении действия синхроимпульса – этими же символами, взятыми в круглые скобки, а при обозначении состояний элементов по окончании действия синхроимпульса символы 1 и 0 будут заключаться в квадратные скобки. Этот же прием будет использоваться и в дальнейшем при анализе других триггерных схем.

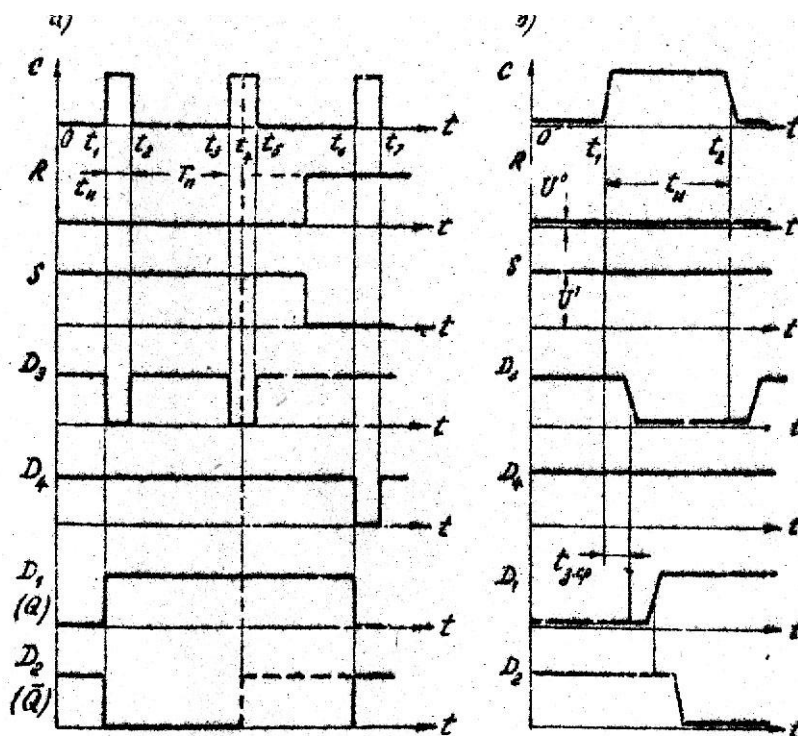


Рис. 3. Временные диаграммы работы синхронного RS-триггера, управляемого уровнем синхроимпульса

Пусть до поступления синхроимпульса ($C=0$) триггер находится в нулевом состоянии, т.е. $Q=0$, $\bar{Q}=1$, сигналы, поданные на информационные входы $S=1$, $R=0$ (Рис. 3.а, интервал $0-t_1$), Так как $C=0$, сигналы, снимаемых с выходов элементов D_3 и D_4 , имеет единичное значение (символы без скобок).

При поступлении (момент t_1 на Рис. 3.а) синхроимпульса (см. символы в круглых скобках) и поддержании на прежнем уровне значение сигналов R и S , сигнал на выходе из D_4 сохраняет единичное значение, а сигнал на выходе D_3 принимает нулевое значение. Это в свою очередь приводит к выработке сигнала $Q=1$, что при совпадении единиц на входах D_2 обеспечивает формирование уровня $\bar{Q}=C$. По окончании синхроимпульса (момент t_2) за счет сигналов, поступающих по цепям обратной связи, триггер сохраняет единичное состояние (символы в квадратных скобках). Это состояние триггера сохраняется до прихода следующего синхроимпульса даже при изменении значений сигналов R и S в течение паузы между импульсами синхронизации. Если в течении паузы (t_2-t_3) сигналы R и S своего значения не изменяют то при поступлении очередного синхроимпульса (интервал t_3-t_5) – состояние триггера остается прежним. Если же сигналы R и S принимают противоположные значения ($R=1$, $S=0$ см. момент t_6 на рис.3,а), то воздействия синхроимпульса (t_7-t_8) вызывает опрокидывание триггера в нулевое состояние.

Характерной особенностью триггерных схем, управляемых уровнями синхроимпульса, является то, что изменение уровней информационных сигналов в течение действия синхроимпульса приводит к изменению состояния триггера. Если, например, в момент t_4 сигналы приняли значения $R=1$, $S=0$, то это приводит к переключению триггера в нулевое состояние (пунктирные линии на Рис. 3.а). Следовательно, для обеспечения работы триггера сигналы управления должны изменяться в течение паузы между синхроимпульсами.

При построении временных диаграмм (Рис. 3.а) не учитывалась инертность логических элементов. Часть временной диаграммы, построенная с учетом задержек распространения, приведена на Рис. 3.б. Из нее не посредственно следует, что суммарное, время переключения триггера составляет $t_{перекл} = 3t_{з.ср}$, где $3t_{з.ср}$ – среднее время задержки распространения сигнала через логический элемент, измеряемое по уровню 0,5 [2]. Отсюда можно заключить, что для обеспечения надежного переключения триггерной ячейки минимальная длительность синхроимпульсов $t_{н\ min} = 3t_{з.ср\ max}$ а максимальная частота следования при скважности, равной двум $(t_n = T_n)f_{max} = 1/(6t_{з.ср\ max})$.

В дальнейшем при изложении принципа работы схем временные диаграммы, как правило, использоваться не будут, а будет использован ранее изложенный прием, который обеспечивает непосредственное “чтение” изменения состояния элементов, входящих в состав триггеров.

Табл. 2. Таблица истинности синхронного RS-триггера

Такт n		Такт $n+1$
R^n	S^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	?

Закон функционирования синхронного RS-триггера часто представляют в виде таблицы истинности (Табл. 2), где R^n , S^n и Q^n – значения информационных сигналов на входах и выходе триггера в предшествующий (n -й) такт машинного времени, Q^{n+1} состояние, в которое переключается триггер при поступлении ($n+1$)-го тактового (синхронизирующего) импульса. При этом подразумевается, что в течение действия ($n+1$)-го синхроимпульса входные сигналы R и S своего значения не изменяют. Логическое уравнение RS-триггера, составленное в соответствии с его таблицей истинности, имеет вид $Q^{n+1} = S^n \vee \overline{R^n} Q^n$, при этом комбинация $R=S=1$ должна быть исключена (т.е. $R^n S^n = 0$).

Синхронные триггеры наряду с синхронизируемыми входами часто содержат цепи, обеспечивающие непосредственную или начальную (без подачи синхроимпульса) установку триггера в одно из состояний. Эти входы, в отличие от синхронизируемых, при символах R и S содержат индекс d (от слова *direct* – прямой, непосредственный), т.е. обозначаются R_d и S_d . Эти входы используются для начальной установки триггера. Знаки инверсий над символами $\overline{R_d}$ и $\overline{S_d}$ на Рис. 2.а) означают, что для непосредственного управления триггером, реализованном на элементах И-НЕ, необходимо использовать нулевые сигналы. Условное изображение синхронных триггеров с одной и двумя парами информационных входов R и S , связанных логикой И, показано на Рис. 2.г, д; здесь буквой C показан вход, на который подается синхроимпульс.

Схема синхронного RS -триггера, реализованная на элементах ИЛИ–НЕ, приведена на Рис. 2.б. Как видно, эта схема по конфигурации не отличается от предыдущей, только управляющие сигналы инверсны по отношению к сигналам управления схемы Рис. 2.а.

На Рис. 2.в показана схема синхронного триггера, выполненная на двухступенчатых логических элементах И-ИЛИ-НЕ. Пусть триггер находится в единичном состоянии ($Q=1$, $\overline{Q}=0$), а $R=1$, $S=0$. Тогда при поступлении синхроимпульса ($C=1$), срабатывает верхняя ступень И элемента D_1 , в результате чего на выходе Q устанавливается нуль ($Q=0$), и после этого $\overline{Q}=1$. Таким образом, триггер переходит в нулевое состояние.

Входы непосредственной установки $\overline{R_d}$ и $\overline{S_d}$ в принципе достаточно ввести в нижний элемент И схемы D_1 и в верхний элемент И схемы D_2 ; иногда эти сигналы подаются и на другие входы первых ступеней ЛЭ (пунктир на Рис. 2.в). В этом случае установка может осуществляться даже при наличии синхроимпульса.

Реализация триггера в том или ином логическом базисе определяет число необходимых элементов. Схемы триггеров в базисах И-НЕ и ИЛИ-НЕ обладают большой однородностью в силу меньшего набора элементов, а схемы в базисе И-ИЛИ-НЕ (ИЛИ-И-НЕ) содержат меньшее количество инверторов. Последние в случае использования ТТЛ и ДТЛ схем являются основными потребителями мощности, а также в основном определяют общую задержку распространения сигналов.

1.3. D- и DV-триггеры.

Синхронным D -триггером (или триггером задержки сигнала на такт машинного времени) называют триггер с одним информационным входом D (от слова *delay* – задержка). Закон функционирования синхронного RS -триггера приведен в табл. 3 и описывается логическим уравнением $Q^{n+1} = D^n$, которое показывает, что состояние D -триггера

в такт $n+1$ совпадает со значением входного сигнала, действующего в n -й такт (т.е. осуществляется задержка сигнала на такт).

Табл. 3. Таблица истинности D-триггера

Такт n	Такт $n+1$
D^n	Q^{n+1}
0	0
1	1

Асинхронные D-триггеры (Рис. 4.а, б), практического значения не имеют, так как функцию такого триггера может выполнить схема, состоящая из двух последовательно включенных инверторов. На Рис. 4.а видно, что по существу D-триггер представляет собой RS-триггер, на один из входов которого поступает прямой информационный сигнал, а другой – его инверсия.

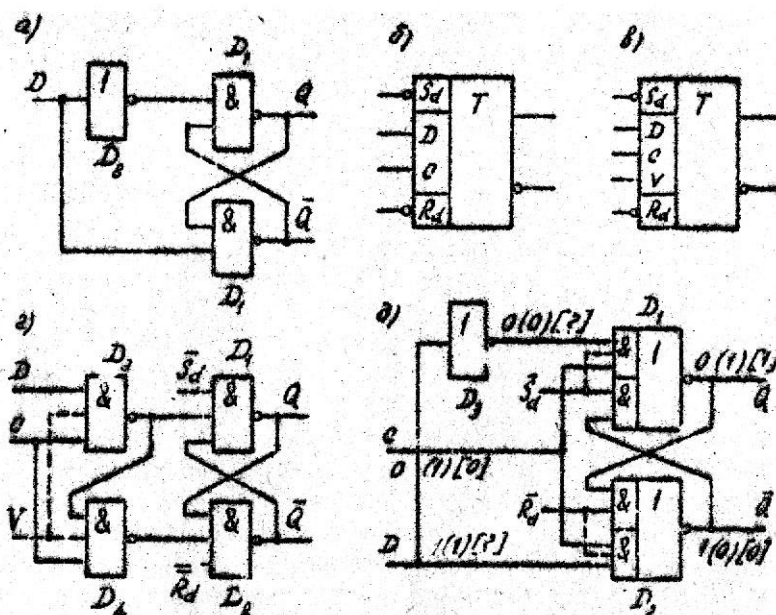


Рис. 4. Асинхронный (а) и управляемые уровнем синхроимпульса (г,д) D-триггеры и их условные обозначения (б,в)

Практический интерес представляет синхронные D-триггеры, нашедшие широкое применение в интегральных схемах. Варианты исполнения D-триггеров, управляемых уровнем синхроимпульса, представлены на Рис. 4.г, д.

При $C=1$ и $D=1$ (Рис. 4.г) на выходе элемента D_3 формируется уровень логического нуля. Последний, поступая на входы схем D_1 и D_4 , осуществляет установку триггера в единичное состояние ($Q=1$, $\bar{Q}=0$), и одновременно блокирует элемент D_4 . При $D=0$ и $C=1$ сигнал на выходе ЛЭ D_4 - нулевой. Этот сигнал, воздействует на вход ЛЭ D_2 , устанавливает триггер в нуль ($\bar{Q}=1$, $Q=0$). Таким образом, при этом $C=1$ в триггер всегда записывается информация, соответствующая уровню сигнала, подаваемого на вход D . Для

устойчивой работы триггера необходимо, чтобы информация на входе D не изменялась во время действия синхроимпульса. На Рис. 4.д приведен один из вариантов D -триггера типа “защелка”. Если $Q=0$ ($Q=1$) и $D=1$, то при поступлении синхроимпульса ($C=1$) сигнал на выходе $Q=0$. Так как при этом на обе первые ступени ЛЭ D_1 поступают нулевые сигналы, $Q=1$. По окончании синхроимпульса триггер остается в единичном состоянии, все D -триггера могут содержать цепи непосредственной установки (R_d, S_d). Условное изображение синхронного D -триггера показано на Рис. 4.б. Ограниченные логические возможности D -триггера потребовали разработки на его основе более универсальных триггеров. К ним прежде всего относятся DV -триггер, имеющий два логических входа D и V . Первый из них является управляющим, а второй – разрешающим. Этот триггер при $V=1$ функционирует аналогично D -триггеру, а при $V=0$ триггер сохраняет свое состояние независимо от сигнала на входе (Табл. 4), т.е. он выдает ранее записанную информацию и перестает управляться по входу. Закон функционирования DV -триггера описывается логическим выражением $Q^{n+1} = D^n V^n \vee Q^n \overline{V^n}$

Табл. 4. Таблица истинности синхронного DV -триггера

Такт n		Такт $n+1$
D^n	V^n	Q^{n+1}
0	0	Q^n
1	0	Q^n
0	1	0
1	1	1

Для организации DV -триггера необходимо сигнал V подать на дополнительные входы элементов совпадения D_3 и D_4 , входящих в состав триггера (пунктир на Рис. 4.г).

Условное изображение синхронного DV -триггера показано на Рис. 4.в.

1.4. Т- и TV-триггеры

T -триггер представляет собой схему с одним логическим входом T . Так как этот триггер работает в счетном режиме, его иногда называют счетным триггером (триггером со счетным или общим входом). Как видно из Табл. 5, T -триггер изменяет свое состояние на противоположное после воздействия каждого входного сигнала, поступающего на вход T .

Табл. 5. Таблица истинности синхронного Т-триггера

Такт n	Такт $n+1$
T^n	Q^{n+1}
1	Q^n
0	\bar{Q}^n

Из Табл. 5 следует уравнение T -триггера: $Q^{n+1} = \bar{T}^n Q^n \vee T^n \bar{Q}^n$.

Схема простейшего T -триггера с элементами задержки (D_5 и D_6) в цепях обратной связи приведена на Рис. 5,а. Элементы задержки обеспечивают надежное переключение триггера, причем время задержки (t_3) должно быть не меньше длительности синхроимпульса (ход C и является входом T , T -триггера).

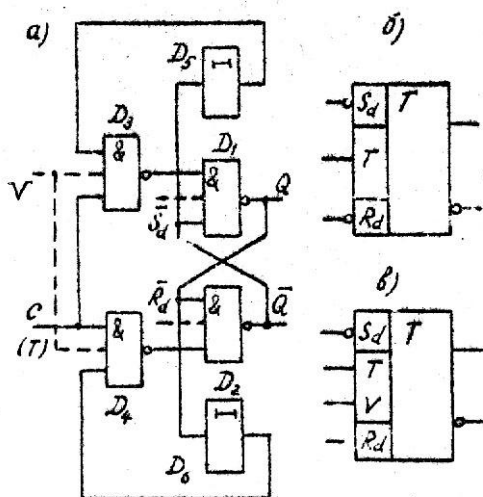


Рис. 5. Т- и TV-триггеры, управляемые уровнем синхроимпульса

Пусть $Q = 1$, $\bar{Q} = 0$. Поступающий на счетный вход импульс приводит к появлению нулевого сигнала на входе ЛЭ D_4 и последовательной установке сигналов $\bar{Q} = 1$, $Q = 0$, т.е. к опрокидыванию триггера в нулевое состояние. При этом сигнал на входе D_3 не изменяется, так как на его входе в течение t_3 действует нулевой сигнал, поступающий с выхода \bar{Q} через элемент задержки D_5 .

После окончания действия счетного импульса сигналы на выходах ЛЭ D_3 и D_4 принимают единичные значения, а на вход ЛЭ D_3 через элемент задержки D_5 поступает разрешающий уровень с выхода \bar{Q} . В результате следующий счетный импульс переброшит триггер в исходное состояние.

Элементы D_5 и D_6 обеспечивают задержку появления сигналов обратной связи с тем, чтобы в течение действия счетного импульса не происходило многократного переключения триггера. В интегральных триггерах роль элементов задержки выполняют либо логические элементы, либо полупроводниковые приборы с накоплением заряда. Большой частью T -триггер реализуется на базе R , D -, JK -триггеров с управлением по фронту (срезу) синхроимпульса (см. разд. 2).

Разновидностью T -триггера является TV -триггер с двумя логическими входами, один из которых (T) является счетным, а другой (V)-разрешающим. TV -триггер при $V=1$ выполняет функции T -триггера, а при $V=0$ состояние триггера не изменяется. Логическое уравнение, описывающее поведение TV -триггера, выглядит следующим образом (Табл. 6):

$$Q^{n+1} = (\bar{T}^n Q^n \vee T^n \bar{Q}^n) V^n \vee Q^n \bar{V}^n.$$

Табл. 6. Таблица истинности TV -триггера

Такт n		Такт $n+1$
T^n	V^n	Q^{n+1}
0	0	Q^n
1	0	Q^n
0	1	Q^n
1	1	\bar{Q}^n

Для преобразования T - в TV -триггер достаточно завести разрешающий V -сигнал на ЛЭ D_3 и D_4 (пунктир на Рис. 5,а). Как T -, так и TV -триггер, могут содержать входы непосредственной установки R_d и S_d . (Такие схемы иногда называются RST -триггерами). Условные обозначения T и TV -триггеров показаны на Рис. 5, б и в соответственно.

1.5. JK-триггеры.

JK -триггер осуществляет инверсию предыдущего состояния (режим счетного запуска) при условии $J = K = 1$, а при остальных комбинациях входных сигналов функционирует в соответствии с таблицей истинности RS -триггера. При этом вход J эквивалентен входу S , а вход K - входу R . Закон функционирования синхронного JK -триггера отражен в Табл. 7, а логическое уравнение имеет вид: $Q^{n+1} = \bar{K}^n Q^n \vee J^n \bar{Q}^n$.

Табл. 7. Таблица истинности JK-триггера

Такт n		Такт n+1
K^n	J^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	\overline{Q}^n

JK -триггер можно получить из RS -триггера, связав выходы триггера с его входами. При этом схема управления должна быть построена таким образом, чтобы на RS входах собственно триггера единичные сигналы одновременно не появлялись. Тогда при $J = K = 1$ схема управления принуждает триггер работать в счетном режиме, так как, благодаря связи с выхода на вход, учитывается предшествующее состояние схемы, и сигнал направляется на соответствующий вход RS -триггера, вызывая его переключение.

Принципиально JK -триггеры подразделяются на асинхронные и синхронные, хотя асинхронные также как и синхронные триггеры с управлением уровней синхроимпульса практического применения не находят.

Функциональная схема асинхронного JK -триггера представлена на Рис. 6,а, а его условное обозначение при наличии нескольких входов J и K , связанных логикой И – на Рис. 6, б. Непосредственно из схемы (Рис. 6,а) видно, что при $J = K = 0$ триггер может находиться в любом из двух устойчивых состояний.

Если $Q = 1$, то при поступлении сигналов $J = 0, K = 1$, сигнал на выходе ЛЭ D_4 имеет нулевой уровень, под действием которого $\overline{Q} = 1$, а $Q = 0$, так как на обоих входах ЛЭ D_1 действует единичные сигналы. Аналогично при $Q = 0$ под воздействием сигналов $J = 1, K = 0$, триггер переключается в единичное состояние.

Независимо от предшествующего состояния JK -триггер переключается в противоположное положение при одновременном появлении на входах сигналов $J = 1, K = 1$. Если, например, $Q = 1$, то на выходе ЛЭ D_4 устанавливается нулевой уровень и следовательно, $\overline{Q} = 1, Q = 0$, т.е. триггер опрокидывается в нулевое состояние. Аналогично, происходит обратное переключение триггера при следующем поступлении сигналов $J = K = 1$.

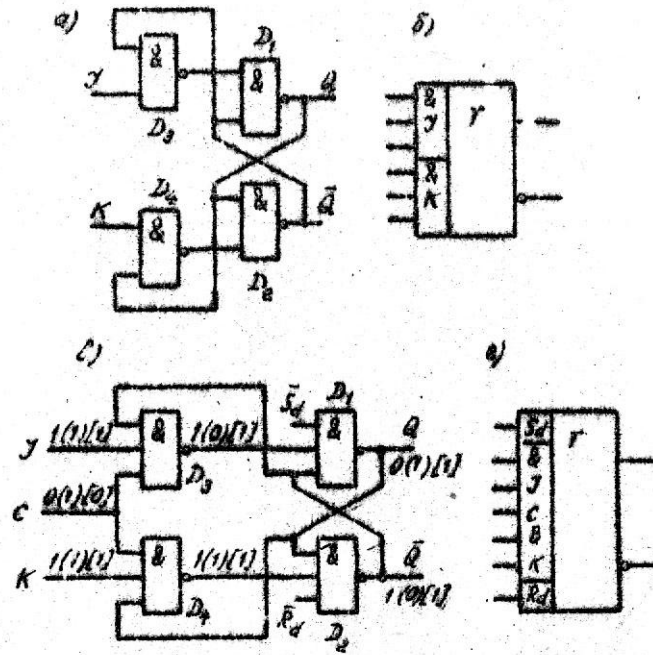


Рис. 6. Асинхронный (а) и синхронный с управлением уровнем импульса (в) JK-триггеры и их условные обозначения (б, г)

Для нормальной работы асинхронного триггера в счетном режиме длительность управляющих сигналов не должна превышать времени переключения триггера. В противном случае схема будет непрерывно переходить из одного состояния в другое, пока хотя бы один из сигналов не станет равным нулю.

Синхронный вариант JK -триггера с управлением уровнем синхроимпульса получается из асинхронного путем добавления входа для подачи синхроимпульсов (Рис. 6.в). Принцип работы этой схемы почти адекватен принципу работы предыдущей, за исключением того, что занесение информации в триггер происходит при поступлении синхроимпульса. На Рис. 6, в сигналами 0 и 1 отражены значения сигналов на входах и выходах ЛЭ до (без скобок) в течение (в круглых скобках) и по окончании (в квадратных скобках) действия синхроимпульсов при функционировании триггера в счетном режиме ($f = k = 1$). Временные диаграммы работы JK -триггера, соответствующие указанному сочетанию сигналов, приведены на рис.7. Из приведенных графиков видно, что максимальная длительность синхроимпульса $t_{u\max} \approx 3t_{з.ср\min}$, где $t_{з.ср}$ – задержка распространения сигнала одного ЛЭ. Превышение этой величины (пунктир на Рис. 7) вызывает появление ложного сигнала на выходе ЛЭ D_4 (пунктир), что может привести к повторному переключению триггера. С другой стороны, длительность синхроимпульса ограничена по минимуму $t_{u\min} \approx 2t_{з.ср\max}$. Учитывая большие разбросы временных параметров, выполнить оба эти условия на практике не представляется возможным. Поэтому рассмотренные JK -

триггера по сути дела нереализуемы. Работоспособность JK -триггеров обеспечивается в схемах, управляемых фронтом (срезом) синхроимпульса (см. разд. 3).

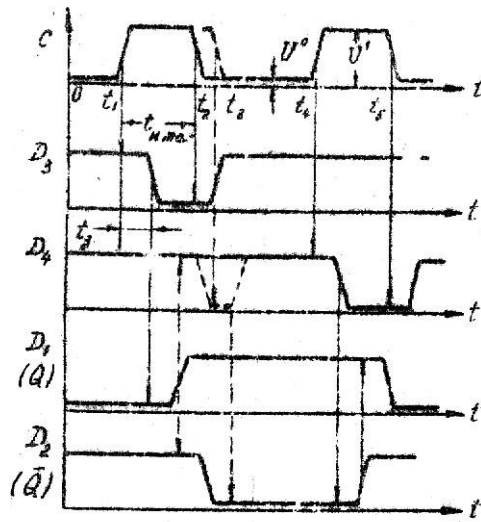


Рис. 7. Временные диаграммы работы синхронного JK -триггера, управляемого уровнем синхроимпульса

1.6. S-, R- и E-триггеры

S -, R - и E -триггеры представляют собой модификации RS -триггера, законы функционирования которых отражены в табл. 8-10.

Табл. 8. Таблица истинности S -триггера

Такт n		Такт $n+1$
R^n	S^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	1

Табл. 9. Таблица истинности R -триггера

Такт n		Такт $n+1$
R^n	S^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	0

Табл. 10. Таблица истинности E-триггера

Такт n		Такт $n+1$
R^n	S^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	Q^n

S -триггер (единичный триггер, см. табл. 8) имеет два информационных входа S и R и при наличии на обоих входах единичных сигналов независимо от предшествующего состояния он устанавливается в единичное состояние ($Q^{n+1} = 1$). Логическое уравнение синхронного S -триггера имеет вид $Q^{n+1} = S^n \vee \overline{R^n} Q^n$; функциональная схема синхронного S -триггера представлена на рис. 8.

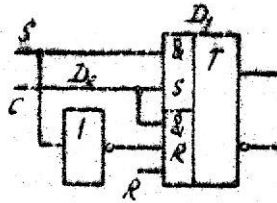


Рис. 8. Синхронный S-триггер

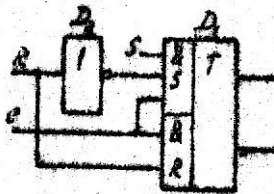


Рис. 9. Синхронный R-триггер

R -триггер (нулевой триггер, см. табл. 9) в отличие от RS -триггера устанавливается в нулевое состояние при единичных сигналах на его обоих входах R и S : $Q^{n+1} = \overline{R^n} (S^n \vee Q^n)$. Функциональная схема синхронного R -триггера показана на рис. 9.

E -триггер как и RS -триггер имеет два информационных входа R и S , однако в отличие от последнего, состояния E -триггера определены при всех комбинациях входных сигналов, в том числе и при $R = S = 1$.

Характерная особенность E -триггера заключается в том, что он сохраняет свое состояние при $R = S = 1$ (табл. 10). Из табл. 10 следует, что $Q^{n+1} = \overline{R^n} S^n \vee Q^n (\overline{S^n R^n} \vee S^n R^n)$.

Функциональная схема синхронного E -триггера приведена на рис. 10.

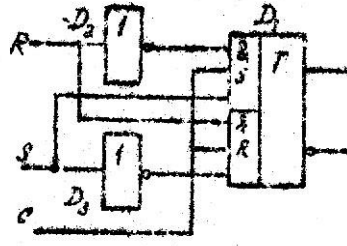


Рис. 10. Синхронный Е-триггер

Помимо рассмотренных в данном разделе триггеров известны более сложные триггерные схемы, например, $JK - J^*K^*$, $DV - D^*V^*$ триггеры и др. С этими триггерами предлагается ознакомиться самостоятельно [1,4].

2. УНИВЕРСАЛЬНЫЕ ТРИГГЕРЫ

2.1. Основные сведения об универсальных триггерах

Рассмотренные в первом разделе асинхронные и управляемые уровнем синхроимпульса синхронные триггеры в современных устройствах вычислительной техники находят сравнительно ограниченное применение. Из этих схем, главным образом, используются асинхронные и синхронные RS -триггеры и D -триггеры типа “защелка”, на основе которых реализуются статические (запоминающие) и двухтактные сдвигающие регистры. JK -, D - и T - триггеры, управляемые уровнем синхроимпульса, из-за жестких требований к длительности управляющих сигналов или синхроимпульсов практического распространения не получили.

Требования, предъявляемые к длительности синхроимпульсов, могут быть существенно ослаблены или полностью исключены в так называемых многотактных устройствах, для управления работой которых требуется серия n тактовых импульсов ($n = 2, 3, 4, \dots$) [4,5]. Как правило, увеличение числа тактов упрощает логическую структуру схем, но при этом требуется более сложный генератор синхроимпульсов и возрастает количество управляющих шин.

Поэтому в настоящее время наметилась тенденция к преимущественному использованию одноктактных триггерных схем, в которых жесткие требования к длительности синхроимпульсов устраняются за счет применения в них дополнительных ячеек внутренней памяти. Преобразование информации в таких схемах происходит в момент изменения (фронта или среза) уровня синхроимпульса (см. 2.2).

В интегральных устройствах ЦВМ узлы последовательностного типа, главным образом, реализуются на основе одноктактных синхронных универсальных триггеров, управляемых фронтом (срезом) синхроимпульса. Под универсальными триггерами понимаются такие, которые могут быть использованы в качестве типовых разрядов как двоичных счетчиков, так и сдвигающих регистров. К неуниверсальным триггерам относятся такие, которые могут быть использованы только по одному определенному назначению. Например, D -триггеры типа “защелка” (см. II. 3) являются неуниверсальными, так как они могут использоваться только в качестве элементов регистровых схем. Рассматриваемые в этом разделе RS -, D -, JK - триггеры, управляемые фронтом (срезом) синхроимпульса, относятся к классу универсальных. Эти триггеры в различных монографиях называются по-разному (одноктактные триггеры [6], двухтактные триггеры [5], триггеры с внутренней задержкой [4]).

В данном пособии для их обозначения будет использоваться термин универсальный триггер. Такой термин наиболее полно характеризует функциональные возможности триггерной ячейки.

Независимо от типа универсальных триггеров (RS -, D , JK – и т.д.) сущность их построения заключается в том, что в их схему управления вводятся дополнительные элементы, обеспечивающие блокировку информационных сигналов в течение действия синхроимпульсов с целью исключения влияния изменения их уровней. В качестве таких элементов используются либо дополнительные асинхронные RS – триггеры, либо аналоговые элементы памяти (диоды и транзисторы с накоплением заряда, конденсаторы или барьерные емкости переходов), либо их сочетание. Можно выделить три основных типа универсальных триггеров:

- Триггеры MS – типа;
- Триггерные ячейки ($ТЯ$) на основе триггеров (основного и двух коммутируемых);
- Триггеры с использованием аналоговых элементов внутренней памяти²

MS – триггеры содержат в своем составе основной (главный - *Master*) и вспомогательный (служебный - *Slave*) – триггеры и имеют несколько разновидностей. В зависимости от организации связей между основными и вспомогательными триггерами существующие MS – триггеры подразделяются на схемы с инвертором и схемы с запрещающими связями. В трехтриггерных $ТЯ$ роль элементов памяти выполняют два коммутирующих RS – триггера. Все разновидности как MS –, так и трехтриггерных ячеек выполняются на основе типовых потенциальных логических схем.

Применение аналоговых элементов памяти позволяет не только резко уменьшить количество типовых логических схем, входящих в состав триггеров, но в ряде случаев существенно повышает их функциональную надежность.

2.2. Универсальные MS -триггеры

MS – триггер с инвертором. Особенностью MS – триггеров с инвертором является то, что в цепи между основным и вспомогательным триггерами включается инвертор, обеспечивающий одноктактный режим работы $ТЯ$ и осуществляющий блокировку перезаписи информации во вспомогательный S – триггер во время ее записи в основной M – триггер.

² К этой же группе схем относятся так называемые триггеры с разностными элементами управления ($ТЭУ$)

Принципиально подразделение триггеров схемы на основной и вспомогательный чисто условно. По мнению авторов под M – триггером логично понимать тот, занесение информации в котором осуществляется по переднему фронту синхроимпульса.

Функциональная схема MS – триггера с инвертором приведена на рис. 11. Схема включает в себя M – триггер на ЛЭ D_1 и D_4 , S – триггер на ЛЭ D_7 и D_8 и ЛЭ D_1, D_2, D_5, D_6 выполняющие функции схем совпадения. Синхроимпульс на вторую пару схем совпадения подается через инвертор D_9 , чем и объясняется название триггера.

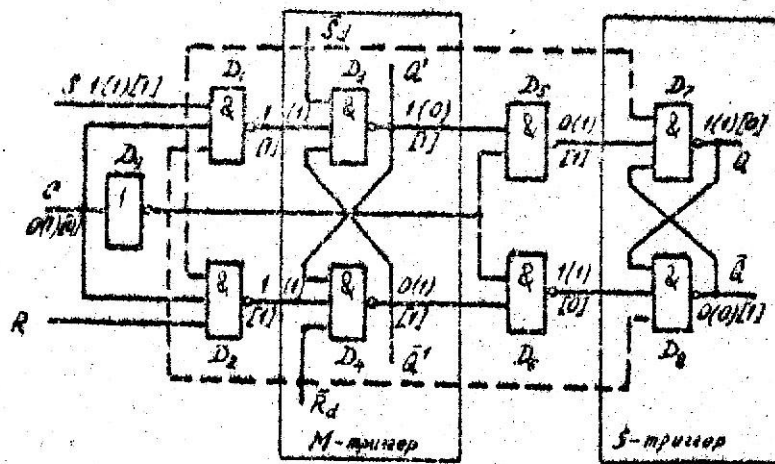


Рис. 11. Универсальный RS-триггер с инвертором

В исходном состоянии ($C=0$) оба триггера (M и S) находятся в одинаковых состояниях (т.е. $Q=1, \bar{Q}=0$). При поступлении синхроимпульса входная информация по фронту заносится в основной (M), а затем по спаду (срезе) синхроимпульса дублируется во вспомогательном (S) триггере. На рис. 11 символически указан процесс занесения нуля в MS – триггер, который ранее находился в состоянии логической единицы (символы без скобок). Как видно из приведенной схемы, если $Q=1$, то при $C=0$ на оба выхода ЛЭ D_4 воздействуют единичные сигналы, вследствие чего $\bar{Q}'=0$ ($\bar{C}\bar{Q}'=1 \cdot 1=0$), т.е. M – триггер поддерживается в единичном состоянии за счет внутренних обратных связей. В это же время вследствие наличия единичных сигналов на обоих входах ЛЭ D_5 на его выходе формируется сигнал логического нуля, под действием которого $Q=1$, и $\bar{Q}=0$, т.е. S – триггер находится в том же состоянии, что и M – триггер.

Если информационные сигналы $S=0, R=1$, то при подаче синхроимпульса ($C=1$, символы в круглых скобках на рис. 11) сигналом $\bar{C}=0$, вырабатываемом инвертором D_9 , ЛЭ D_5 и D_6 блокируются (т.е. на их выходах формируются единичные сигналы), и S – триггер сохраняет свое состояние в течение действия синхроимпульса неизменным

($Q = I, \bar{Q} = 0$). В то же время непосредственно после установления сигнала $C = I$ (по окончании фронта) входная информация записывается в M – триггер. В данном случае при $S = 0, R = I$ сигнал на входе ЛЭ D_1 не изменяется, а на выходе ЛЭ D_2 формируется сигнал логического нуля, по действием которого на выходе $\bar{Q}' = I$, и так как на обоих входах ЛЭ D_3 происходит совпадение единичных сигналов, $Q' = 0$. Таким образом, новая информация заносится в главный триггер по окончании действия (по спаду) синхроимпульса. Если же до прихода синхроимпульса $R = 0, S = I$, то предыдущее единичное состояние M – триггера остается неизменным (т.е. $Q' = 1, \bar{Q}' = 0$). После окончания синхроимпульса (т.е. по срезу, символы в квадратных скобках) в результате совпадения единичных сигналов на входах ЛЭ D_6 на выходе последнего устанавливается уровень логического нуля, который переводит S – триггер в нулевое положение ($\bar{Q} = I, Q = 0$).

Если к моменту поступления следующего синхроимпульса информационные сигналы изменяются на противоположные ($S = I, R = 0$), то оба RS – триггера (M и S) последовательно переключаются в единичное состояние. Таким образом, этот триггер функционирует в соответствии с табл. 2.

Рассмотренная ячейка может служить элементом сдвигающего регистра. Для реализации сдвигающего регистра необходимо входы R и S триггера соединить с информационными выходами предшествующего разряда. MS – триггеры дополняются входами начальной (непосредственной) установки в единичное и нулевое состояние S_d и R_d ; R_d , которые достаточно подавать на входы ЛЭ D_3 и D_4 главного триггера. Но установочные сигналы часто также подаются и на S – триггер, а также их используют для блокировки входных ЛЭ D_1 и D_2 для исключения влияния воздействия синхроимпульса в моменты поступления сигналов предварительного занесения информации (пунктир на рис. 11). Подробнее особенности работы триггера в схемах сдвигающих регистров рассматривается в разд. III. Условное изображение универсального RS – триггера показано на рис. 12,а. Для отличия универсальных триггеров от триггеров, управляемых уровнем синхроимпульса, в главном поле обозначения вместо одной буквы T указывается две (TT).

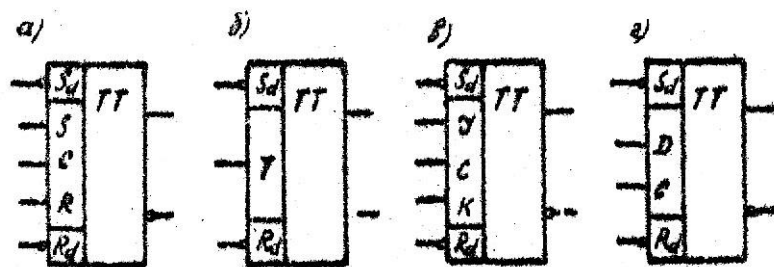


Рис. 12. Условные обозначения универсальных триггеров

Работа RS -триггера в режиме счетного запуска. Приведенный на рис. 11 RS -триггер (как и далее рассматриваемые другие универсальные RS -триггеры) может быть переведен на счетный режим работы (режим T -триггера). Для этого достаточно выходы Q и \bar{Q} S -триггера соединить со входами R и S главного триггера. (рис. 13). В этом случае с приходом синхроимпульса, подаваемого на синхровход (C), триггер будет переключаться в противоположное состояние.

Если до поступления счетного импульса главный триггер (на ЛЭ D_3 D_4) находится в нулевом состоянии ($Q' = 0, \bar{Q}' = 1$, символы без скобок на рис. 13), под действием нулевого сигнала, вырабатываемого на выходе ЛЭ D_6 , вспомогательный триггер также поддерживается в нулевом положении ($Q = 0, \bar{Q} = 1$). При этом единичный сигнал с выхода \bar{Q} поступает на вход S ЛЭ D_1 .

При воздействии счетного импульса ($C = 1$, символы в круглых скобках) ЛЭ D_5 и D_6 блокируются ($y_5 = y_6 = 1, y_i$ – сигнал на выходе i -го ЛЭ), благодаря чему состояние S -триггера не меняется. ($Q = 0, \bar{Q} = 1$). В то же время нулевым сигналом, который вырабатывается на выходе ЛЭ D_1 , M -триггер устанавливается в единичное состояние ($Q' = 1, \bar{Q}' = 0$). Сигнал на выходе ЛЭ D_2 не меняется, так как на одном из его входов поддерживается уровень логического нуля. ($Q = 0$).

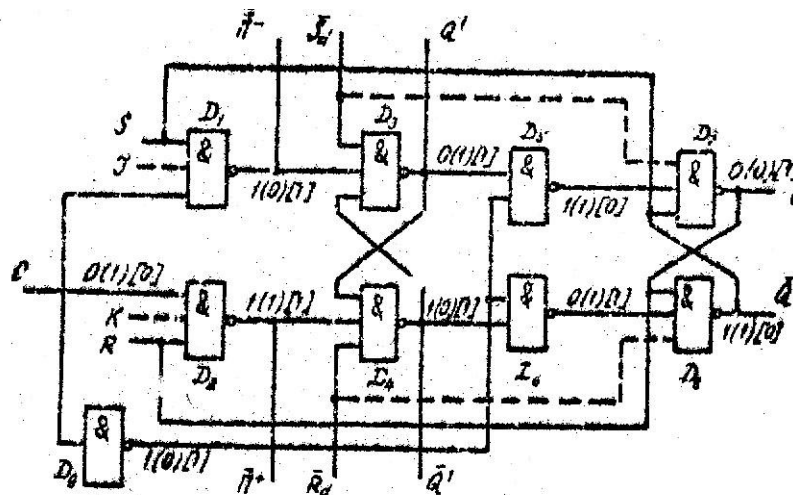


Рис. 13. Т-триггер на основе универсального RS-триггера

После завершения действия импульса ($c = 0$, сигналы в квадратных скобках), ЛЭ D_1 и D_2 блокируются, главный триггер сохраняет вновь записанную информацию ($Q' = 1, \bar{Q}' = 0$), и, вследствие совпадения единичных сигналов на обоих входах ЛЭ D_5 , на

его выходе формируется нулевой сигнал, под действием которого S -триггер переходит в единичное положение ($Q = 1, \bar{Q} = 0$). После поступления следующего импульса процесс переключения повторяется, только триггер возвращается в исходное состояние. В этом случае сигнал, управляющий переводом M -триггера в нулевое положение, формируется на выходе ЛЭ D_2 . Таким образом, триггер осуществляет подсчет входных импульсов по $\text{mod } 2$, т.е. функционирует в соответствии с табл. 5. Параметры, определяющие быстродействие MS -триггера при работе в счетном режиме, т.е. минимальная длительность (t_n) управляющего импульса и максимально возможная частота (f) переключения (при $t_n = t_{n\min}$) соответственно равны:

$$t_{u\min} = 2t_{з.ср.макс} f_{max} = 1 / (6t_{з.ср.макс}), \quad (1)$$

где $t_{з.ср.макс}$ – наибольшая величина средней задержки распространения [2] сигнала через ЛЭ.

При реализации многоразрядных пересчетных схем триггеры соединяются последовательно. Сигнал переноса может быть снят либо с выхода ЛЭ D_2 (при построении суммирующих счетчиков), либо с выхода ЛЭ D_1 (при построении вычитающих счетчиков). Действительно, изменение уровней сигналов в этих точках происходит с частотой, вдвое меньшей частоты входных сигналов (C), причем сигнал \bar{P}^+ вырабатывается при переключении триггера из единичного состояния в нулевое (см. также рис. 15), а сигнал \bar{P}^- – при обратном переключении. Следует иметь в виду, что эти сигналы инверсны по отношению к требуемым уровням импульсов управления, подаваемых на вход C . Поэтому в данном случае управляющий сигнал с выхода \bar{P}^+ или \bar{P}^- целесообразно подавать на входы ЛЭ D_5 и D_6 последующего триггера, а его инвертированное значение – на вход C (на ЛЭ D_1 и D_2).

Сигналы переноса также могут быть сняты с информационных выходов, как главного (Q, \bar{Q}), так и вспомогательного (Q, \bar{Q}) триггеров. Более подробно принципы построения пересчетных схем будут рассмотрены в разделе IV.

Цепи предварительной установки триггера (S_d, R_d) принципиально организуется также, как и в предыдущей схеме, причем в подавляющем большинстве случаев сигналы начальной установки достаточно подавать на главный триггер. Условное обозначение универсального T -триггера показано на рис. 12б, на котором вход, обозначенный буквой T соответствует входу, на который подается синхросигнал.

JK -триггер на основе RS триггера MC -типа. Любой универсальный RS -триггер можно простыми средствами преобразовать в универсальный JK -триггер. Принципиально это достигается подключением выходов Q и \bar{Q} к информационным входам R и S -триггера через схемы совпадений D_1 и D_2 , другие входы которых служат для подачи управляющих сигналов J и K (рис. 14). Легко убедиться, что эта схема функционирует в соответствии с табл. 7. Действительно, при $S = K = 0$ $S = R = 0$, и воздействие синхроимпульса к изменению состояния триггера не приводит. Если $J = K = 1$, то $S = Q$, $R = \bar{Q}$, и схема переходит в отчетный режим работы. Когда $Q = 0$ ($\bar{Q} = 1$), $J = 1, K = 0$, то $S = 1$, и при поступлении синхроимпульса в триггер записывается единица. Если при $J = 1, K = 0, Q = 1$, триггер остается в единичном состоянии. Аналогично производится занесение нуля при $J = 0, K = 1$.

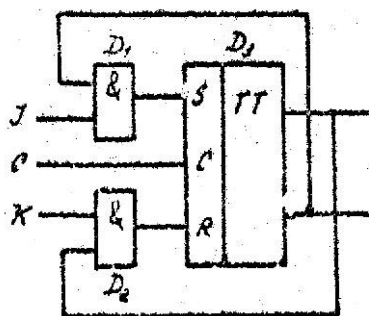


Рис. 14. Принцип реализации JK -триггера на основе универсального RS -триггера

Практически реализация рассмотренного принципа преобразования RS -триггера в JK -триггер осуществляется путем использования двух дополнительных входов ЛЭ D_1 и D_2 (рис. 13), на которые подаются управляющие сигналы J и K . При этом цепи обратной связи ($\bar{Q} - S$ и $Q - R$) должны быть сохранены. Условное обозначение универсального JK -триггера показано на рис. 12в.

RS -триггер с запрещающими связями. Существенным недостатком триггера с инвертором является возможность возникновения в нем опасных состязаний при больших разбросах времени задержки распространения сигнала логических элементов [6]. Если в схемах, представленных на рис. 11 и 13, $t_{31} + t_{33} > t_{34}$ ($t_{32} + t_{34} > t_{39}$), где (t_{3i} – время задержки соответствующего ЛЭ), то процесс занесения информации в M -триггер происходит быстрее, чем будут заблокированы ЛЭ D_5 и D_6 нулевым сигналом, формируемом на выходе инвертора D_9 . В этом случае возникает опасность того, что вновь поступившая информация будет также занесена во время действия синхроимпульса (а не по его окончании). В счетном режиме это приводит к изменению сигналов обратной связи и новому

переключения главного триггера. При работе в составе сдвигающего регистра изменение информационных сигналов Q и \bar{Q} вызывает внесение ложной информации в M -триггер последующего разряда.

От этого недостатка свободен RS -триггер с запрещающими связями (рис. 15), в котором функцию инвертора выполняет ЛЭ D_1 и D_2 . При выработке любым из этих элементов управляющего нулевого сигнала до переключения главного триггера производится блокировка ЛЭ D_5 и D_6 , чем обеспечивается сохранение ранее занесенной информации в S -триггер. Благодаря этому исключаются условия для возникновения опасных состояний. В остальном принцип работы рассматриваемой схемы ничем не отличается от принципа работы схем, приведенных на рис. 11 и 13. Цепи предварительной установки организуются аналогичным образом.

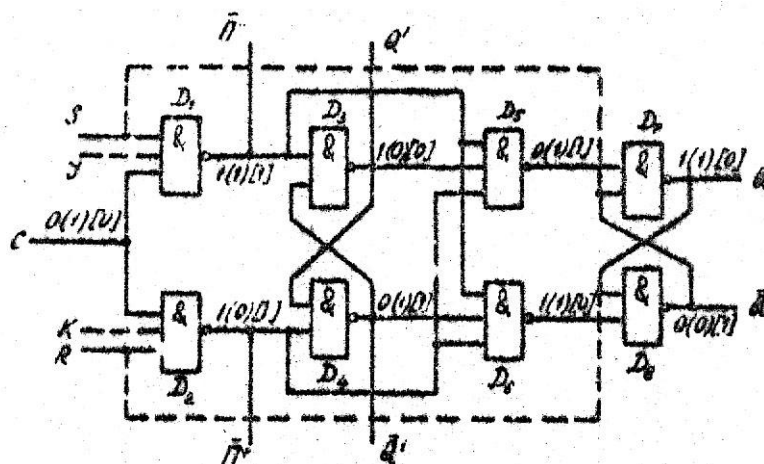


Рис. 15. Универсальный RS -триггер с запрещающими связями

Для перевода триггера в счетный режим работы необходимо замкнуть цепи обратной связи, как это показано на рис. 15 пунктиром. Если триггер находится в единичном состоянии (символы без скобок), то при поступлении сигнала на вход C (знаки в круглых скобках) под действием нулевого сигнала формируется на выходе ЛЭ D_2 , (M -триггер устанавливается в нулевое положение ($Q = 0, \bar{Q} = 1$)). При этом ЛЭ D_5 и D_6 блокируются, так как на их входы поступает нулевой сигнал с выхода ЛЭ D_2 . После окончания входного импульса (символы в квадратных скобках) занесенная в (M -триггер информация сохраняется, а S -триггер устанавливается в нулевое положение сигналом, формируемым на выходе ЛЭ D_6 .

Для преобразования рассматриваемой схемы в JK -триггер необходимо использовать два дополнительных входа J и K (показаны пунктиром) при сохранении цепей обратной связи.

Параметры, определяющие быстродействие схемы в режиме T -триггера, можно вычислить по формулам (I).

RS -триггер с полярным управлением. Особенность этого способа управления заключается в том, что главный и вспомогательный триггеры управляются взаимно инверсными уровнями синхроимпульса.

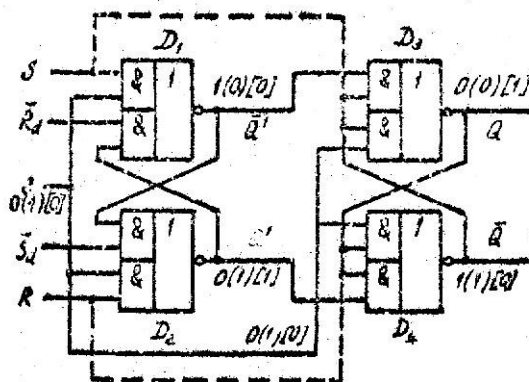


Рис. 16. Универсальный RS -триггер с разнополярным управлением

Один из вариантов универсального RS – триггера с разнополярным управлением, выполненном на двухступенчатых ЛЭ И-ИЛИ-НЕ, представлен на рис. 16. Принцип работы этой схемы удобно рассмотреть при ее работе в счетном режиме, для чего выходы Q и $Q\bar{S}$ – триггера (построенного на ЛЭ D_3 и D_4) следует соединить со входами R и S соответственно (пунктир на рис. 16). Если предположить, что поступления импульса на вход с M – триггер находится в нулевом положении ($Q'=0$, $Q'=1$), то в том же положении находится и S – триггер ($Q=0$, $Q=1$). Это объясняется тем, что на входах первых логических ступеней ЛЭ D_3 действуют нулевые сигналы ($c=0$, $Q'=1$), вследствие чего на выходе Q формируется единичный сигнал. При этом на одну из ступеней И ЛЭ D_3 воздействуют единичные сигналы ($Q = Q'=1$), что обеспечивает $Q=0$.

После подачи счетного импульса ($C=1$, символы в круглых скобках) S – триггер сохраняет свое состояние неизменным, так как внутренние сигналы обратной связи поступают на обе логические ступени И противоположных ЛЭ.

В это же время входная информация (в данном случае с выходов Q и \bar{Q} – триггера) переписывается в главный триггер, т.е. вследствие совпадения единичных сигналов, подаваемых на верхнюю схему И ЛЭ D_1 , на выходе \bar{Q}' устанавливается нулевой уровень сигнала. Так как нули поступают на обе ступени И ЛЭ D_3 , на выходе последнего формируется единичный сигнал. После окончания входного импульса ($c = 0$, символы в квадратных скобках) информация с выходов Q и \bar{Q} переписывается в M – триггер, т.е. благодаря

сигналам $c = 0$ и $\bar{Q}' = 0$, подаваемым на входы ЛЭ D_3 на его выходе устанавливается единичный сигнал, что приводит к формированию сигнала $\bar{Q} = 0$.

При начальной установке триггера (по шинам \bar{R}_d или \bar{S}_d) сигнал поступающий по синхронизирующей шине, должен быть заблокирован ($c = 0$). Длительность синхроимпульсов и максимальная частота работы схемы в режиме Т – триггера соответственно равны:

$$t_{н \min} = 2 t_{з.ср \min}, f_{\max} = 1/(4 t_{з.ср \max}).$$

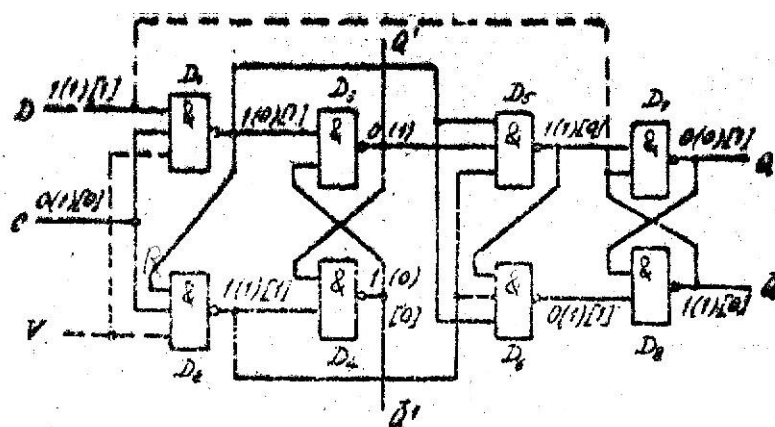


Рис. 17. универсальный D-триггер

D – триггер. D – триггер можно реализовывать либо по схеме с инвертором, либо по схеме с запрещающими связями. Так как эти устройства существенно не отличаются, принцип работы D – триггера рассматривается на примере схемы с запрещающими связями (рис. 17.). В отличие от RS – триггеров. D – триггер имеет один информационный вход (D), который играет роль входа S , а сигнал R вырабатывается ($R = \bar{S}$) на выходе ЛЭ D_1 . На рис. 17 при помощи символов I и O отражен процесс занесения в D – триггер единичной информации ($D=1$). До прихода синхроимпульса (символы без скобок) как главный (на ЛЭ D_3 и D_4), так и вспомогательный (на ЛЭ D_7 и D_8) триггеры находятся в нулевом положении ($Q = Q' = 0$ и $\bar{Q} = \bar{Q}' = 1$). При поступлении синхроимпульса (символы в круглых скобках) на выходе ЛЭ D_1 формируется нулевой сигнал (так как на его входах $c = D = 1$), под действием которого M – триггер переключается в единичное состояние ($Q' = 1$, $\bar{Q}' = 0$). Одновременно этим сигналом осуществляется блокировка ЛЭ D_5 и D_6 , вследствие чего во время действия синхроимпульса триггер сохраняет свое состояние неизменным. Когда уровень синхроимпульса достигает нуля ($c = 0$, символы в квадратных скобках), на выходе ЛЭ D_5 также вырабатывается нулевой сигнал (так как на всех его входах устанавливаются единичные сигналы) и D – триггер переключается в единичное состояние. Если в течение паузы между синхроимпульсами сигнал на входе D изменится, то при воз-

действии следующего синхроимпульса триггер переключается в нулевое положение. Таким образом рассмотренная схема функционирует в соответствии с законом, отраженным в табл. 3.

Для осуществления счетного режима необходимо соединить выход \bar{Q} с выходом D, как это показано пунктиром на рис. 17. На основе рассмотренной схемы легко реализуется DV – триггер (см. табл. 4) путем введения управляющего V – сигнала на ЛЭ D₁ и D₂ (пунктир на рис. 17). Минимальная длительность синхроимпульса и максимальная частота переключения триггера при работе в счетном режиме определяется уравнением (1).

D – триггеры MS – типа могут быть также реализована двухступенчатых ЛЭ [4] с использованием принципа разнополярного управления (аналогично схеме, приведенной на рис. 16).

При построении пересчетных схем и сдвигающих регистров на основе D – триггеров требуется меньшее число внутренних (у счетчиков) и внешних связей по сравнению с аналогичными схемами на RS – триггерах. Это важное преимущество D – триггеров становится особенно ощутимым при построении реверсивных счетчиков и сдвигающих регистров. Цепи начальной установки D – триггеров организуются также, как и в RS – триггерах.

2.3. Универсальные триггерные ячейки на основе трех триггеров.

В этих схемах для построения универсальной ячейки использовать три асинхронных RS – триггера, один из которых является основным, и два других – коммутирующими.

RS – триггер. Трехтриггерная ячейка RS – типа представлена на рис. 18. Здесь главный триггер реализован на ЛЭ D₁, D₂ и D₃, D₄. При подключении цепей обратной связи (Q с E и \bar{Q} с S), как это показано пунктиром на рис. 18 схема преобразуется в T – триггер, в котором счетный сигнал следует подавать на синхронизирующий вход C.

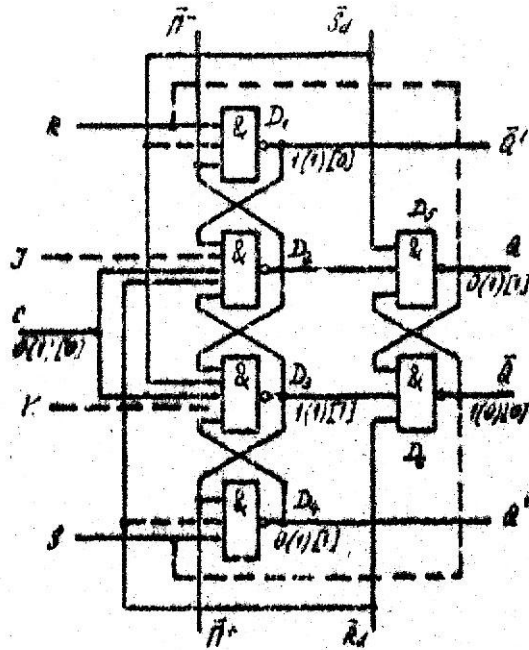


Рис. 18. Триггерная ячейка на основе трех триггеров

В исходном состоянии ($C = 0$, см. символы без скобок) триггер находится в нулевом положении ($Q=Q'=0$, $\bar{Q} = \bar{Q}'=1$), а на выходах ЛЭ D_2 и D_3 так как $C=0$ действуют единичные сигналы. При $C=1$ (символы в круглых скобках) в результате совпадения единичных сигналов на всех входах ЛЭ D_2 на выходе последнего устанавливается уровень логического нуля. Этот сигнал, во-первых, осуществляет переключение главного триггера в единичное состояние ($Q=1$, $\bar{Q}=0$), а, во-вторых, обеспечивает блокировку ЛЭ D_1 и D_3 . Благодаря этому, изменение уровней сигналов на входах R и S по окончании формирования фронта синхроимпульса не вызывает повторного переключения триггера (так, в рассматриваемом случае изменение уровня сигнала на выходе Q приводит к установке единичного сигнала на выходе ЛЭ D и не вызывает появления нуля на выходе ЛЭ D_3 , непосредственно управляющего ЛЭ D_6 главного триггера).

После окончания входного импульса ($C = 0$, символы в квадратных скобках) на выходах ЛЭ D_2 и D_3 устанавливаются единичные сигналы, главный триггер сохраняет свое состояние, а на выходе ЛЭ D_1 формируется уровень логического нуля. При поступлении следующего синхроимпульса триггер переключится в исходное (нулевое) положение, т.е. данная схема функционирует в соответствии с Табл. 5. (Нетрудно убедиться, что при исключении обратных связей, показанных пунктиром, эта схема функционирует в соответствии с законом функционирования синхронного RS -триггера, приведенным в Табл. 2). Минимальная длительность синхроимпульса и максимальная частота при работе в счетном режиме определяются отношениями (1).

При реализации пересчетных схем сигналы переноса могут быть сняты с выходов ЛЭ D_2 и D_3 (они аналогичны сигналам переноса \bar{P}^+ и \bar{P}^-) в схемах, приведенных на Рис. 13 и Рис. 15. Большей частью в подобных схемах сигналы переноса снимаются с информационных выходов (Q и \bar{Q}), а иногда с выходов Q' и \bar{Q}' более подробно эти вопросы будут изложены в разд. 4.

JK -триггеры на основе трехтриггерных ячеек. Дополнительные входы ЛЭ D_2 и D_1 могут быть использованы для подачи информационных сигналов J и K (пунктир на Рис. 18). Не представляет труда убедиться, что в этом случае (при сохранении обратных связей $Q-R$ и $\bar{Q}-S$) схема работает в соответствии с законом функционирования JK -триггера (табл. 7). Однако недостаток этой схемы заключается в том, что информационные сигналы J и K не должны изменяться до момента окончания синхроимпульса. В противном случае изменение уровней J и K при $C=1$ приводит к изменению значений сигналов на выходах ЛЭ D_2 и D_3 , и вызывает повторное переключение триггера.

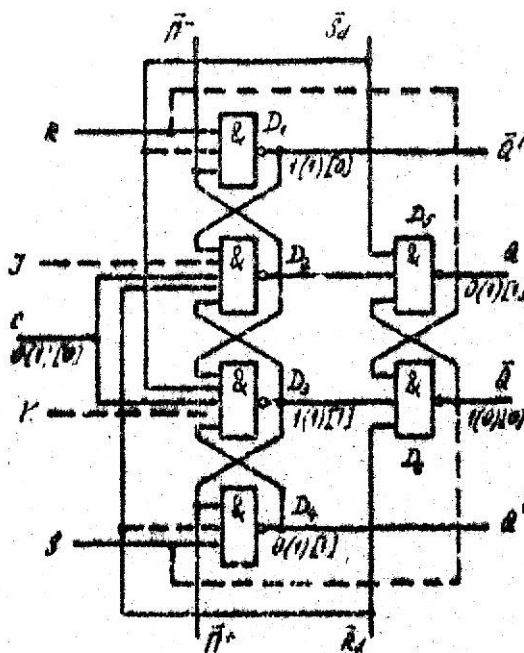


Рис. 19. Универсальный JK -триггер

От указанного недостатка свободен JK -триггер, схема которого представлена на Рис. 19. Здесь сигналы обратной связи выходов Q и \bar{Q} главного триггера подаются на ЛЭ D_1 и D_4 через дополнительные схемы совпадений D_7 и D_8 , другие входы которых предназначены для подачи информационных сигналов J и K . Если $J=K=1$, то функционально данная схема эквивалентна схеме триггера (рис. 18) с цепями обратной связи, ибо как и в предыдущем случае, на выходы ЛЭ D_1 и D_4 поступают сигналы Q и \bar{Q} , что соот-

ветствует счетному режиму работы. При других комбинациях входных сигналов схема функционирует в соответствии с законом, представленным в Табл. 7. Если в течении действия синхроимпульса произойдет изменение уровней сигналов J и K , то это не приведет к повторному переключению главного триггера, т.к. соответствующий ЛЭ (D_1 или D_4) будет заблокирован нулевым сигналом, формируемым на выходе ЛЭ D_2 или D_3 . Однако улучшение качества работы схемы потребовало введения двух дополнительных ЛЭ, т.е. общее количество ЛЭ здесь такое же, что и в схеме, приведенной на Рис. 15.

Цепи начальной установки триггера о объем сигналов переноса осуществляются таким же образом, как и в предыдущей схеме.

D -триггер. Трехтриггерная ячейка D -типа представлена на Рис. 20. Отличие данной схемы от RS -триггера (Рис. 18) заключается в том, что вместо двух информационных входов используется один (D), который после инвертирования на ЛЭ D_4 поступает на вход D_1 . В данной схеме исключены так же связи между выходами нижнего (на ЛЭ D_3 , D_4) и входом верхнего (на ЛЭ D_1 , D_2) коммутационных триггеров. В остальном организация схемы аналогична организации RS -триггера, представленного на Рис. 18.

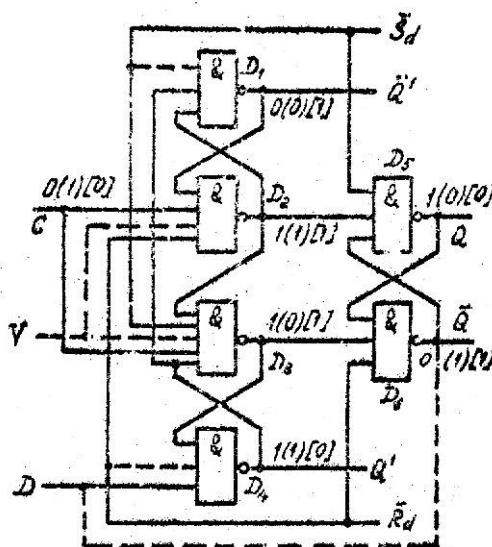


Рис. 20. Универсальный D -триггер

Схема может работать как в режиме приема входной информации, так и в счетном режиме. В первом случае при поступлении синхроимпульса триггер устанавливается в положение, соответствующее уровню сигнала, поданному на информационный вход D (Табл. 3). Для перевода триггера в счетный режим работы необходимо выход Q соединить с входом D как это показано пунктиром. В этом случае при поступлении каждого сигнала, подаваемого на вход C , триггер будет опрокидываться в противоположное состояние (Табл. 5).

Пусть до поступления сигнала на вход C триггер находился в единичном состоянии (символы без скобок), т. е. $Q=1$ и $\bar{Q}=0$. Сигналы на выходах ЛЭ D_2 , D_3 и D_4 соответствуют единичным уровням, а на входе D_1 – нулевому. Когда на вход C поступает сигнал ($C=1$, символы в круглых скобках), на всех входах ЛЭ D_3 будут поддерживаться единичные сигналы, вследствие чего на его входе устанавливается уровень нуля. Этот сигнал вызывает переключение главного триггера в нулевое положение ($Q=0$ и $\bar{Q}=1$) и кроме того поддерживает выходной сигнал ЛЭ D_4 на единичном уровне, не смотря на то, что сигнал на входе D изменился. Благодаря этому сохраняется нулевой уровень на входе ЛЭ D_1 и осуществляется блокировка ЛЭ D_2 , что исключает повторное переключение триггера до окончания действия входного импульса. Когда сигнал на входе $C=0$ (символы в квадратных скобках), сигналы на выходах ЛЭ D_1 и D_4 изменяются на противоположные. После поступления следующего импульса триггер переключается в единичное состояние.

2.4. Универсальные триггеры с аналоговыми элементами памяти

Рассмотренные в п.п. 2.1 и **Ошибка! Источник ссылки не найден.** схемы универсальных триггеров нашли широкое применение в устройствах вычислительной техники. Их серьезным недостатком является большое количество ЛЭ, необходимых для реализации триггерных ячеек (6-9 элементов на триггер, с числом радиокомпонентов порядка 50-60). Поэтому в настоящее время не менее широко распространены триггерные схемы, в которых в качестве устройств местной памяти используются не дополнительные RS -триггеры, а радиокомпоненты, способные в течение некоторого интервала времени сохранять электрический заряд. Такую функцию могут выполнять либо конденсаторы, либо барьерные ёмкости переходов, либо для этой цели используется эффект накопления заряда в диодах и транзисторах. Подобные компоненты логично называть аналоговыми элементами памяти, чем подчеркивается их принципиальное отличие от дискретных (триггерных) элементов памяти. Благодаря применению аналоговых элементов памяти, число радиокомпонентов, входящих в состав универсальных триггеров, приблизительно в 2-3 раза меньше, чем их число в ранее рассмотренных триггерных схемах. Принцип построения триггеров с аналоговыми элементами памяти рассматривается на примерах построения универсальных JK -триггеров на основе ДТЛ и ТТЛ схем [2].

JK -триггер с диодами с накоплением заряда. Схема JK -триггера, реализованная на диодно-транзисторных логических элементах, в которой в качестве элементов местной памяти используются диоды с накоплением заряда, представлена на Рис. 21 [4].

В состав схемы входят диоды двух групп: быстродействующие (с малой постоянной времени накопления τ_n) и диоды с большой τ_n , характеризующиеся существенно большим временем выключения. Такие диоды принято называть диодами с накоплением заряда (ДНЗ); на Рис. 23 они зачернены (с принципом работы ДТЛ элементов и методами реализации диодов с различным быстродействием можно ознакомиться в [2]).

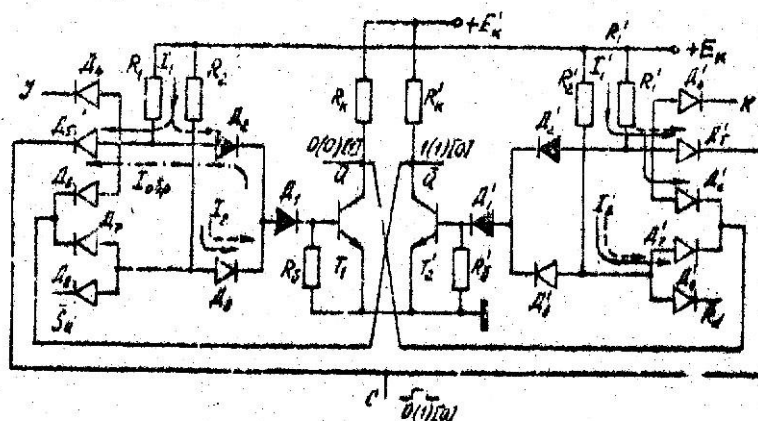


Рис. 21. Универсальный JK-триггер с диодами с накоплением заряда

Рассмотрим работу JK-триггера в режиме счетного запуска ($J = K = 1$). Допустим, триггер до поступления счетного импульса, который должен подаваться на синхронизирующий вход ($C = 0$), триггер находится в нулевом состоянии ($Q = 0$ и $\bar{Q} = 1$). В этом случае транзистор T_2 закрыт, а T_1 - открыт и поддерживается в насыщенном состоянии током I_2 , протекающем в его базу от источника питания E_k через R_2 , диод D_3 и ДНЗ D_1 ; При этом в диоде D_1 накапливается заряд. Токи I'_2 , I_1 , I'_1 замыкаются во внешней цепи. Ток I'_2 протекает через диод D_7 в открытый транзистор T_1 , I_1 - через диод D_5 и открытый транзистор, подключенный ко входу c , I'_1 разделяется на две части. Часть его протекает через диод D'_5 и открытый транзистор T_1 , вторая часть - через открытый транзистор, подключенный ко входу C . Направления протекания токов при $C = 0$ указаны сплошными линиями.

При воздействии входного импульса ($C = 1$) диоды D_5 и D'_5 запираются, и ток I_1 , ранее протекавший через D_5 , ДНЗ D_2 и D_1 будет поступать в базу транзистора T_1 и суммироваться с током I_2 . В течение этого интервала времени происходит накопление заряда на ДНЗ D_2 . Токи I'_1 и I'_2 при этом замыкаются через диоды D'_5 , D'_7 и открытый транзистор T_1 , благодаря чему транзистор T_2 остается в закрытом состоянии. (Направления протекания токов в течение действия сигнала счетного запуска на Рис. 21 показаны пунктирными линиями). Таким образом, в течение действия входного сигнала состояние

триггера не меняется, а происходит накопление заряда в ДНЗ, подключенных к базе открытого транзистора.

После окончания счетного импульса ($C=0$, символы в квадратных скобках), напряжение на катоде диода D_5 становится близким к нулю, этот диод открывается, и заряд, накопленный в диодах D_1 и D_2 , стекает по цепи D_1, D_2, D_5 , эмитерный переход насыщенного транзистора T_1 . Благодаря низкому внутреннему сопротивлению источника сигнала (определяемым сопротивлением открытого управляющего транзистора), амплитуда импульса обратного тока $I_{обр}$ (направление его протекания показано штрих пунктирной стрелкой), значительно повышает величину тока I_2 , втекающего в базу T_1 . Благодаря этому транзистор T_1 запирается, напряжение на его коллекторе возрастает, что вызывает запирающие диоды D'_6 и D'_7 правого плеча триггера. И если ток I'_1 своего направления не изменит (будет протекать через диод D'_5 и управляющий транзистор), то ток I'_2 потечет через диоды D'_3 и D'_1 в базу транзистора T_2 , вводя его в режим насыщения. Напряжение на его коллекторе снижается ($\bar{Q}=0$), отпирается диод D_7 и ток I_2 переключается в этот диод. Транзистор T_1 остается в запертом состоянии ($Q=1$), и триггер будет оставаться в единичном состоянии до прихода следующего счетного импульса.

При комбинации $J=K=0$ воздействие синхроимпульса не вызывает изменения состояния триггера, так как токи I_1 и I'_1 в базы транзисторов не переключаются, а замыкаются через открытые диоды D_4 и D'_4 . Если входные сигналы $J=1, K=0$. то при поступлении синхроимпульса триггер устанавливается в единичное состояние (если уже находился в этом состоянии, то это состояние сохраняется). Процесс переключения при этом аналогичен процессу переключения в режиме счетного запуска. Когда $J=0, K=1$, с приходом синхроимпульса осуществляется переключение триггера в нулевое состояние. Таким образом, триггер функционирует в соответствии с законом, отображенным в Табл. 7.

Число входов J и K , объединенных по И, может быть увеличено путем подключения дополнительных диодов к диодным сборкам D_4-D_6 и $D'_4-D'_6$. Входы \bar{S}_d и \bar{R}_d предназначены для начальной (асинхронной) установки схемы в единичное и нулевое состояния.

JK -триггер с барьерными запоминающими емкостями. В отличие от предыдущей схемы в данном триггере (Рис. 22, [7]) роль запоминающих элементов выполняют барьерные емкости диодов D_1 и D'_1 , шунтирующих транзисторы T_4 и T'_4 вспомогательного триггера с простейшими резистивными цепями обратной связи. Главный триггер на ТТЛ

элементах [2] со сложным инвертором (транзисторы T_5-T_9 и $T'_5-T'_9$ соответственно). Синхронизирующий и информационные сигналы J и K , а также сигналы обратной связи с выходов Q и \bar{Q} главного триггера подаются на входы управляющих логических схем (на транзисторах T_1, T_3 и $T'_1-T'_3$) с открытыми коллекторными выходами [2], которые подключены к базам промежуточных (фазорасщепительных) транзисторов T_6 и T'_6 . Синхроимпульс подается как на входы (эмиттеры транзисторов T_1 и T'_1), так и на эмиттеры выходных транзисторов T_3 и T'_3 управляющих логических схем.

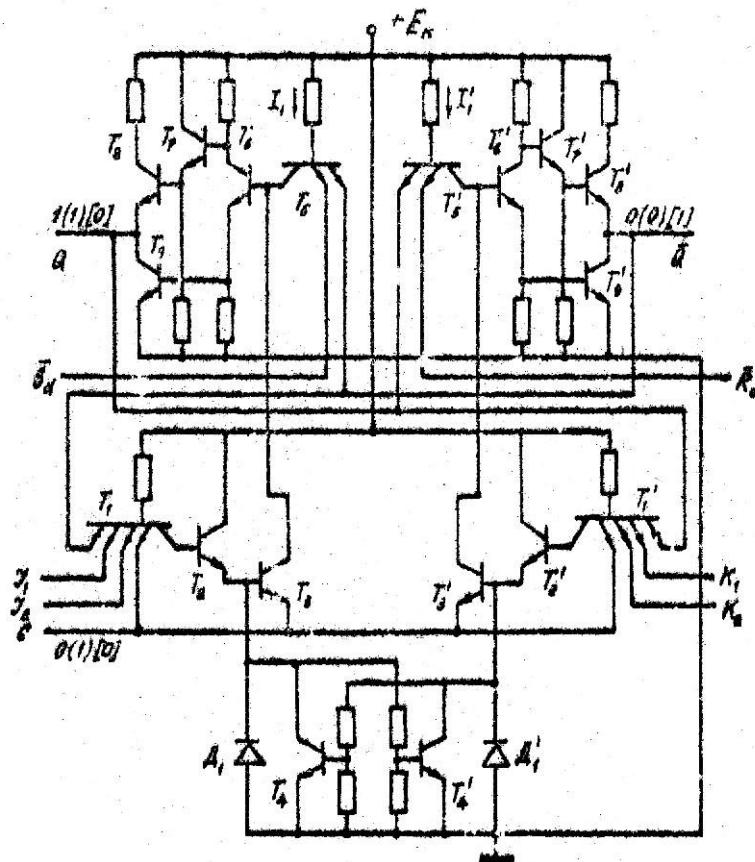


Рис. 22. Универсальный JK-триггер с барьерными запоминающими емкостями

Функционирование данного триггера осуществляется в соответствии с законом, представленным в Табл. 7. Для изучения принципа действия триггера достаточно рассмотреть его работу в счетном режиме, т.е. при $J_1 = J_2 = K_1 = K_2 = 1$

Пусть до поступления сигнала на вход C ($C=0$, символы без скобок) триггер находится в единичном состоянии ($Q=1, \bar{Q}=0$). Ток I_1 протекает через коллекторный переход T_5 и открытый транзистор T'_9 , а ток I'_1 через коллекторный переход T'_5 (так как оба его эмиттерных перехода заперты) поступает в базу T'_6 , вследствие чего транзисторы T'_6 и T'_9

поддерживаются в режиме насыщения ($\bar{Q}=0$). Токи I_2 и I_2' замыкаются через соответствующие эмиттерные переходы T_1' и T_1' на ширину синхроимпульсов (ток I_2 частично протекает через открытый транзистор T_9), поэтому транзисторы T_2, T_3, T_2', T_3' , а так же T_4' и T_4' , закрыты.

Во время действия единичного сигнала на входе C (символы в круглых скобках) транзисторы T_3 и T_3' не открываются (так как на их эмиттерах устанавливается высокий уровень напряжения) и поэтому главный триггер своего состояния не изменит ($Q=1, \bar{Q}=0$). В течении этого интервала времени осуществляется заряд барьерной емкости диода D_1' через транзистор T_2' , который открывается током I_2' . Этот ток протекает в базу T_2' через коллекторный переход T_1' , так как все его эмиттерные переходы в течении действия управляющего импульса закрыты. При этом транзистор T_4' заперт (ток I_2 замыкается через открытый транзистор T_9) и не препятствует заряду емкости диода D_1' . Эмиттерный ток T_2' наряду с осуществлением заряда этой емкости также обеспечивает введение транзистора T_4 в режим насыщения.

После окончания управляющего сигнала ($C=0$, символы в квадратных скобках) состояние вспомогательного триггера (T_4, T_4') в течение некоторого интервала времени поддерживается неизменным благодаря заряду, накопленному в барьерной емкости диода D_1' . В результате разряда этой емкости через эмиттерный переход T_3' , последний отпирается и ток I_1' будет замыкаться через T_3' . Это приводит к запираению транзисторов T_6 и T_9 , т.е. к переключению триггера в нулевое состояние, после чего I_1 будет протекать в базу транзистора T_6 а ток I_1' - через открытый транзистор T_9 . По окончании процесса переключения триггера накопленный заряд рассасывается.

Накопленный в диодах заряд защищает триггер от ложных срабатываний, если во время действия синхросигнала на информационные входы поступают короткие импульсы помех. Входы \bar{S}_d и \bar{R}_d предназначены для начальной установки триггера.

Триггерные схемы с аналоговыми элементами памяти накладывают определенные ограничения на максимальную длительность спада синхроимпульсов при большой дли-

тельности спада барьерная емкость диода успевает разрядиться до окончания процесса переключения главного триггера, что может привести к сбою в работе триггера.

JK-триггер с разностными элементами управления. Универсальные триггеры иногда реализуются с использованием так называемых разностных элементов управления (РЭУ), выполняющих функции дифференцирующих цепей [9]. В состав РЭУ, принципиальная схема которого приведена на Рис. 23.а, входят выходной транзистор T_1 и многоэмиттерный транзистор T_2 , базовая цепь которого записывается от внутреннего источника опорного напряжения E_0 , определяемого суммарным падением напряжения на трех последовательно включенных диодах $D_1 - D_3$ ($E_0 \approx 2,4B$). Введение дополнительного источника обусловлено тем, что единичные уровни управляющих сигналов $U^1 < E_k$, и для надежного запираания эмиттерных переходов T_2 при воздействии на все входы сигналов высокого уровня необходимо, чтобы $E_0 \leq U^1$.

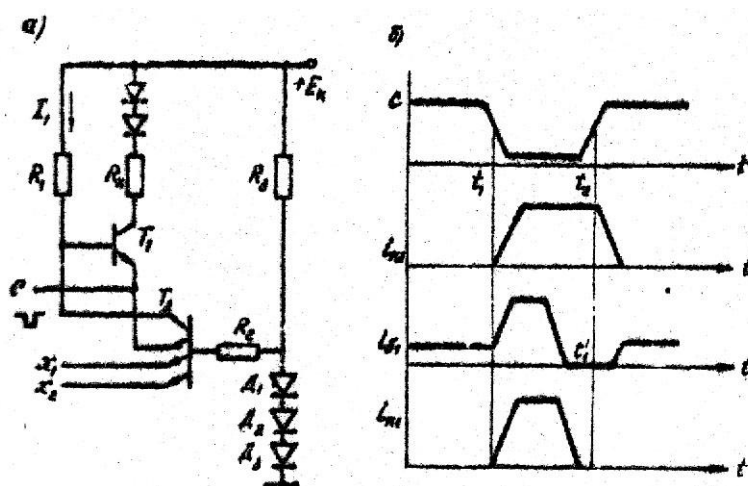


Рис. 23. Разностный элемент управления

Схема работает следующим образом. Если на информационных входах x_1 и x_2 и синхровходе c поддерживаются высокие уровни сигналов ($U_{x1} = U_{x2} = U^1$, $c = 1$, см. интервал $0 - t_1$ на Рис. 23.б) транзистор T_2 закрыт, ток I_1 протекает через транзистор T_1 насыщенный, его коллекторный ток практически равен нулю, так как из-за наличия в нагрузочной цепи двух последовательно включенных переходов (на Рис. 23.а, показаны пунктиром в схеме триггера, приведенной на Рис. 24, это эмиттерный переход T_4 и коллекторный переход T_3) напряжение на коллекторе T_1 приблизительно равно напряжению на его эмиттере ($U_{A1} = U^1$). В этом режиме ток базы транзистора T_1 , $I_{B1} = (E_k - U_{B.31} - U^1) / R_1$. Когда синхронизирующий сигнал принимает нулевой уровень ($t = t_1$) на Рис. 23.б), оба транзистора (T_2 и T_1) стремятся перейти в открытое состояние, но так как T_1 уже был насыщен,

его коллекторный ток нарастает быстрее нарастания тока коллектора T_2 . При этом в момент t_1 базовый ток транзистора T_1 возрастает до значения $I_{B1}(t_1') = (E_k - U_{B.31} - U_0) / R_1$.

По окончании интервала $t_1 - t_1'$, определяемого длительностью задержки включения, транзистор T_2 насыщается, ток I_1 будет замыкаться через его коллекторную цепь, а ток базы транзистора T_1 становится равным нулю, и он переходит в закрытое состояние. В результате в выходной цепи T_1 формируется короткий импульс коллекторного тока, который может быть использован для запуска триггерных схем.

Если на информационном входе $x_i = 0$, то независимо от значения сигнала на входе c транзистор T_2 насыщен, а транзистор T_1 заперт при любом уровне синхроимпульса.

Принципиальная схема JK -триггера с разностными элементами управления приведена на Рис. 24. Схема включает в себя RS -триггер (на транзисторах $T_3 - T_7, T_3' - T_7'$) и два РЭУ (на транзисторах $T_1 - T_2$ и T_1', T_2'), каждый из которых реализован по схеме представленной на Рис. 23.а.

Рассмотрим работу триггера в счетном режиме, т.е. при $J_1 = J_2 = K_1 = K_2 = 1$. Пусть до поступления счетного импульса ($C = 1$) триггер находится в нулевом положении ($\bar{Q} = 1, Q = 0$), т.е. транзисторы T_5 и T_7 открыты током I_1 , протекающим через коллекторные переходы транзисторов T_3 и T_4 в базу T_5 . При этом ток I_1' , протекает через эмиттерный переход T_3 и открытый транзистор T_5 , благодаря чему транзисторы T_5' и T_7' заперты. Сигнал $\bar{Q} = 1$ подается на вход РЭУ2, т.е. транзисторы T_1' и T_2' при $C = 1$ заперты. Наоборот, транзистор T_2 РЭУ1 насыщен, так как на один из его эмиттеров поступает сигнал $Q = 0$.

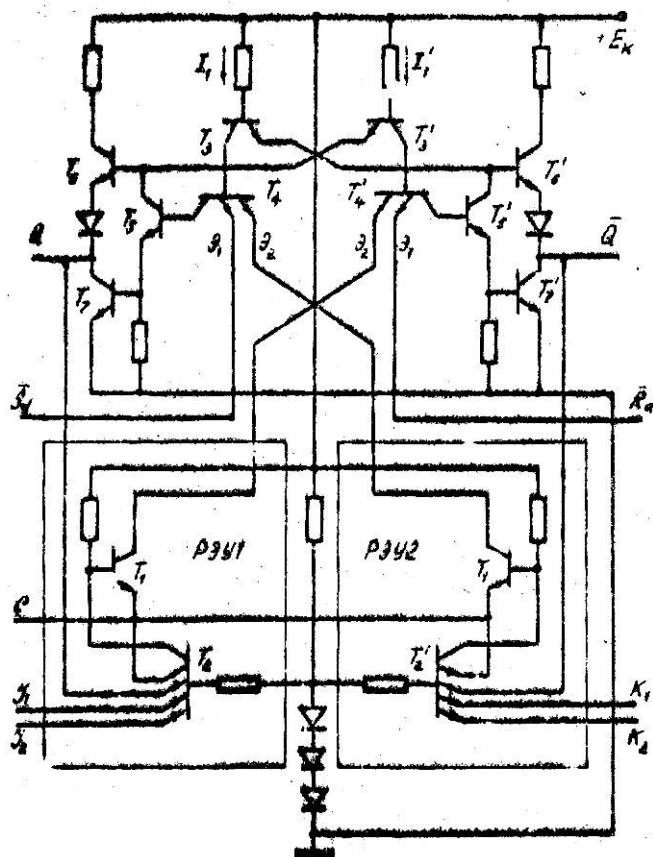


Рис. 24. Универсальный JK-триггер с разностными элементами управления

При поступлении счетного импульса ($C = 0$) в выходной цепи РЭУ2 формируется импульс тока, вследствие чего ток I_1 через эмиттер $\mathcal{E}_2 T_4$ будет направляться в транзистор T_1 . Транзисторы T_5 и T_7 запираются, ток I' через коллекторные переходы T_3' и T_4' поступает в базу T_5' , что приводит к насыщению транзисторов T_5' и T_7' . Таким образом, триггер оказывается переключенным в единичное положение ($Q = 1, \bar{Q} = 0$).

Не представляет труда убедиться, что при иных комбинациях сигналов J и K триггер функционирует в соответствии с законом, представленным в табл.7.

Особенностью триггерных схем с РЭУ, так же, как и триггеров с другими аналоговыми элементами памяти, является ограничение на максимальную длительность отрицательного фронта сигнала, поступающего на синхровход.

3. РЕГИСТРЫ

Регистром называется устройство, предназначенное для запоминания **Ошибка!** **Объект не может быть создан из кодов полей редактирования.** - разрядного двоичного числа (слова), а также выполнений над ним ряда логических преобразований. Регистр представляет собой совокупность **Ошибка! Объект не может быть создан из кодов полей редактирования.** триггеров, число которых соответствует количеству разрядов в слове, и вспомогательных схем, обеспечивавших выполнение требуемых функций. По функциональному назначению регистры подразделяются на накопительные (регистры памяти) и сдвигающие. В общем случае накопительные регистры обеспечивают выполнение следующих операций:

- обнуление триггеров регистра (сброс);
- прием (занесение) слова из другого устройства (регистра, сумматора, запоминающего устройства и т.д.) и хранение его в течение требуемого интервала времени;
- передачу слова в другой регистр;
- преобразование прямого кода в обратный и наоборот.

Сдвигающие регистры наряду с отмеченными функциями накопительных регистров обеспечивают реализацию следующих дополнительных операций:

- сдвиг слова вправо или влево на требуемое количество разрядов;
- преобразование последовательного кода в параллельный и наоборот.

В сдвигающих регистрах обычно выполняются и поразрядные логические операции (логическое сложение, логическое умножение и поразрядное сложение).

Конкретные регистры допускают выполнение части указанных операций.

3.1. Накопительные регистры

Накопительные регистры на асинхронных RS – триггерах.

По способу занесения (приема) информации накопительные регистры на RS – триггерах подразделяются на схемы с однопроводной (с предварительным гашением) и парафазной (без предварительного гашения) передачей заносимых сигналов. Схемы регистров с однопроводной передачей информации, выполненных на логических элементах ИЛИ-НЕ и И-НЕ, показаны на рис. 25, а и б соответственно.

Занесение информации в эти регистры осуществляется в два этапа. На первом этапе при воздействии управляющего сигнала Y_2 , поступающего на входы R (рис. 25, а), все триггеры регистра (RG) устанавливаются в нулевое состояние, т. е. реализуется микрооперация обнуления

$$Y_2 : RG := 0 \quad (2)$$

На втором этапе при поступлении управляющего сигнала Y_2 , производится прием информации, поступающей по шинам X ($X = x_1, x_2 \dots x_n$), т.е.

$$Y_1 : RG := X \quad (3)$$

В связи с тем, что роль элементов совпадения ($D_1, D_2 \dots D_n$) в схеме рис. 25, а выполняют ЛЭ ИЛИ-НЕ, управляющий сигнал Y_1 при приеме информации должен иметь нулевой уровень, а входные сигналы X_1, X_2, \dots, X_n – необходимо подавать в обратном коде. В этом случае сигнал, поступающий на вход S i -го триггера, определяется логическим соотношением $S_i = \overline{x_i \vee \overline{Y_2}} = x_i y_i$, т.е. если $x_i = 1$, то $S_i = 1$ и при $x_i = 0$, $S_i = 0$.

Если регистр реализуется на основе ЛЭ И-НЕ (рис. 25, б), то микрооперация обнуления должна осуществляться подачей нулевого уровня сигнала на шину Y_2 , а прием информации происходит в момент, когда управляющий сигнал Y_1 , принимает единичное значение. Входные сигналы подаются в прямом коде.

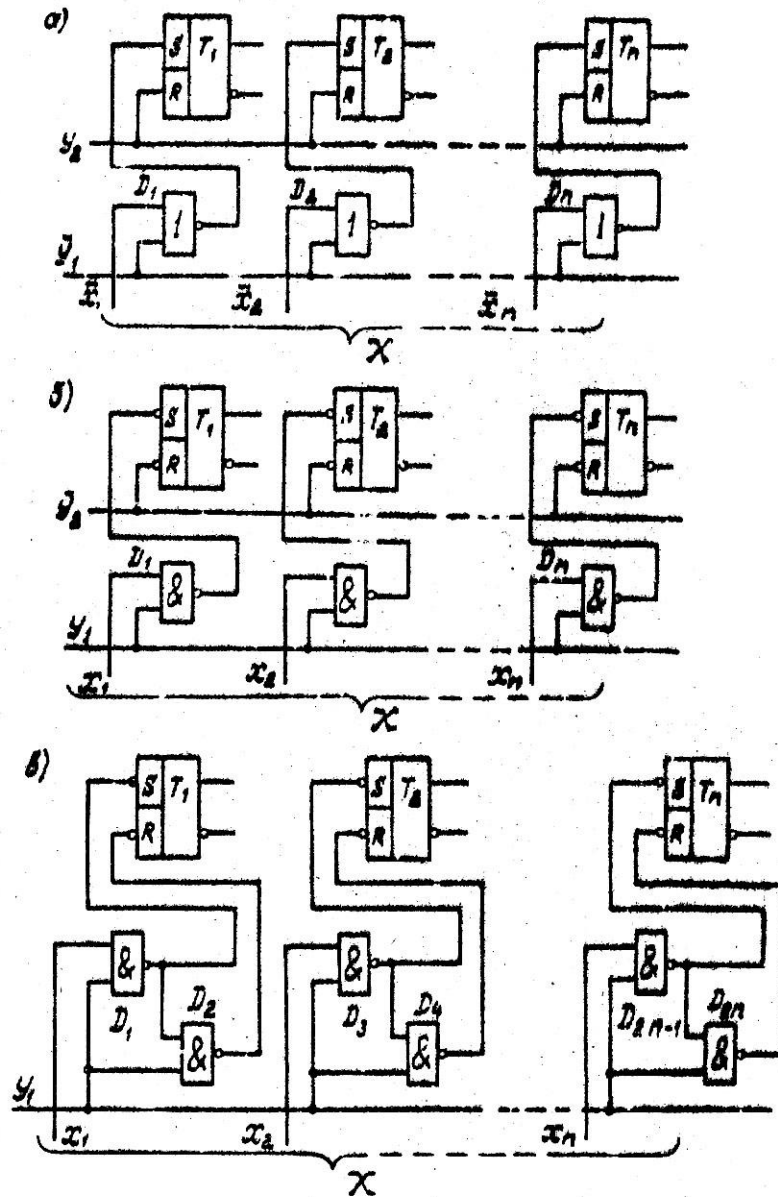


Рис. 25. Накопительные регистры на асинхронных RS-триггерах

Недостатком рассмотренных схем является необходимость предварительного обнуления триггеров регистра. От этого недостатка свободна схема, в которой занесение информации осуществляется в парафазном коде, т.е. сигналы, поступающие на установочные входы R и S триггера при поступлении управляющего сигнала занесения, всегда взаимоинверсны (рис. 25, в). В этой схеме при $Y_1=0$ сигналы на выходах всех логических элементов (D_1-D_{2n}) имеют единичные значения, вследствие чего в триггерах регистра сохраняется ранее записанная информация. При занесении информации сигнал Y_1 принимает единичное значение, в результате чего на входах S и R i -го триггера $\overline{S}_i = \overline{x_i Y_1}$, $\overline{R}_i = \overline{x_i Y_1}$. Если, например, $x_1=1$, то уровень сигнала на выходе ЛЭ D_1 (входе \overline{S} триггера T_1) $\overline{S}_1 = 0$, а на выходе ЛЭ D_2 , так как на одном из его выходов действует нулевой сигнал

($\overline{S_1} = 0$), $R_1=1$. Под воздействием этих сигналов триггер T_1 устанавливается в единичное положение. Если в то же время на вход x_2 подается нулевой сигнал ($x_2=0$), то на выходе ЛЭ D_3 $\overline{S_2} = 1$, а в результате совпадения единиц на обоих входах ЛЭ D_4 $\overline{R_2} = 0$, и триггер T_2 переводится в нулевое положение. Из рассмотренного следует, что при парафазной организации цепей занесения информации отпадает необходимость в предварительном обнулении триггеров регистра.

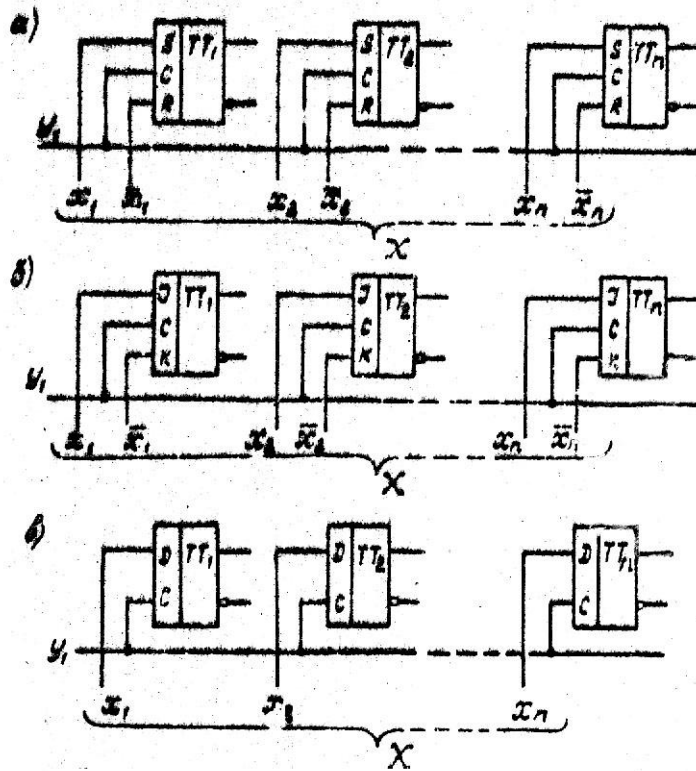


Рис. 26. Накопительные регистры на универсальных триггерах

Накопительные регистры на универсальных триггерах. Наличие синхровхода у универсальных триггеров позволяет до предела упростить цепи занесения информации в регистры (рис. 2.б). В этих схемах управляющий сигнал Y_1 , по которому осуществляется занесение информации (3), поступает на синхронизирующие входы (С) триггеров, причем предварительного обнуления регистра производить не требуется. Как видно из схем, приведенных на рис. 26, регистры, реализуемые на универсальных RS – и JK – триггерах, требуют подачи парафазных (как прямого так и инверсного x_i и $\overline{x_i}$) сигналов (рис. 26, а,б). Наибольшей простотой обладают схемы на D – триггерах (рис. 26, в), причем в накопительных регистрах могут быть использованы простейшие D – триггеры типа «защелка» (см. рис. 4, д).

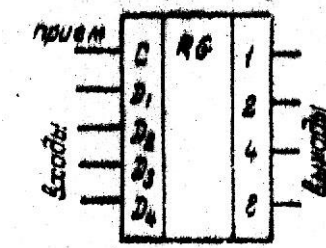


Рис. 27. Условные обозначение накопительного регистра

Условное обозначение четырехразрядного накопительного регистра, построенного на синхронных D – триггерах, показано на рис. 27. Выходы регистра обычно указываются в соответствии с весом соответствующего разряда $(1, 2, \dots, 2^{n-1})$.

3.2. Сдвигающие регистры на асинхронных RS-триггерах.

Операция сдвига кода – это перемещение содержимого всех разрядов регистра на один (или в общем случае на несколько) разрядов вправо или влево. В этом случае содержимое разрядов слова, вышедшее из разрядной сетки вправо (или влево) теряется, а в освободившихся разрядах регистра фиксируются нули. По направлению сдвига регистра принято разделять на правосторонние (сдвигающие код слова вправо, т.е. в сторону младших разрядов), левосторонние (сдвигающие код слова влево, т.е. в сторону старших разрядов) и реверсивные, осуществляющие сдвиг информации вправо или влево в зависимости от управляющих сигналов.

Принцип работы сдвигающего регистра. Сдвигающие регистры на асинхронных RS – триггерах принципиально могут быть подразделены на одноктактные и двухтактные. Принцип работы одноктактного сдвигающего регистра, осуществляющего сдвиг информации на один разряд вправо, поясняется схемой, приведённой на Рис. 28. Здесь прямые и инверсные входы (Q_i и \overline{Q}_i) предыдущего триггера (T_i) регистра через схемы совпадений ($D_1, D_2; D_3, D_4; \dots$) соответственно связаны с единичным и нулевым входом (S_i, R_i) триггера последующего разряда (T_{i+1}). На другие входы схем совпадений подаётся управляющий сигнал Y_3 , под действием которого и осуществляется сдвиг содержимого регистра на один разряд вправо, т.е.

$$Y_3 : RG := Rl(RG) \quad (4)$$

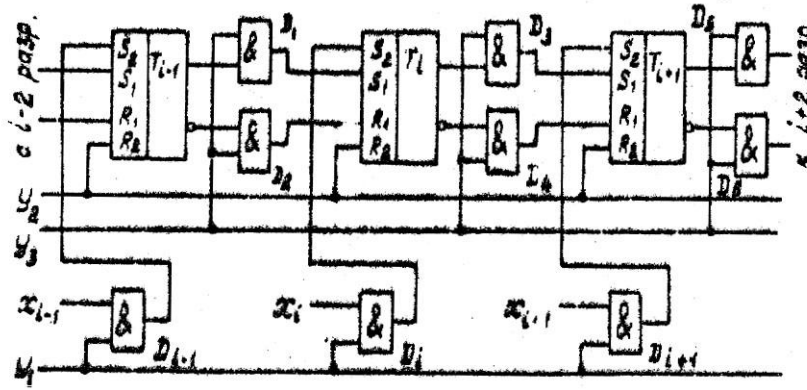


Рис. 28. Принцип построения одноканального сдвигающего регистра на асинхронных RS-триггерах

Предположим, что в триггер T_{i-1} была занесена единица, а в триггер T_i – нуль. Тогда при подаче управляющего сигнала V_3 в результате совпадения единичных уровней на входах ЛЭ D_1 и D_4 на выходах последних формируются сигналы, которые соответственно поступают на входы S_1 триггера T_i и R_1 триггера T_{i+1} . Под их действием в триггер T_i заносится единица, в триггер T_{i+1} – нуль. Таким образом, после каждого импульса, поступающего на шину V_3 , код слова регистра сдвигается на один разряд вправо.

Для реализации левостороннего сдвигающего регистра, выходы Q_i и \bar{Q}_i триггера T_i необходимо через схемы совпадений соединить со входами S_i и R_i триггера T_{i-1} предыдущего разряда регистра. При построении регистра, осуществляющего сдвиг информации на два (три и т. д.) разряда, выходы Q_i и \bar{Q}_i через схемы И подключаются к входам S_i и R_i триггера T_{i+2} (T_{i+3} и т. д.). Принципы, положенные в основы построения левосторонних регистров сдвига и регистров, осуществляющих сдвиг информации на несколько разрядов, в полной мере справедливы для других схем сдвигающих регистров.

Сигналы V_2 и V_1 осуществляют обнуление (гашение) регистра (2) и занесение информации (3) в параллельном коде.

Принципиальным недостатком одноканального сдвигающего регистра является критичность к длительности управляющего импульса. При большей длительности этого импульса информация может сдвинуться не на один, а на несколько разрядов. С другой стороны, при малой длительности импульса, некоторые триггеры могут не успеть переключиться. Исходя из анализа работы схемы, можно записать следующие условия, обеспечивающие нормальное функционирование регистра

$$t_{u \min} \geq t_{з.ср.} + t_{перекл.}, \quad t_{u \max} \leq 2 \cdot t_{з.ср.} + t_{перекл.},$$

где $t_{з.ср.}$ и $t_{перекл.}$ – среднее время задержки распространения сигнала [2] и время переключения триггера соответственно. Так как выполнение этих условий практически неосуществимо, однотактные регистры распространения не получили.

От указанного недостатка свободны двухтактные сдвигающие регистры.

Такой регистра (Рис. 29) состоит из основных ($T_1 - T_n$) и вспомогательных ($T'_1 - T'_n$) триггеров, причём подразделение триггеров на основные и вспомогательные носит условный характер. Выходы Q и \bar{Q} основных триггеров через первую группу схем совпадений ($D_1, D_2; D_3, D_4; \dots$) связаны с входами S и R вспомогательных триггеров одноимённых разрядов (т. е. T_i с T'_i); выходы Q' и \bar{Q}' вспомогательных триггеров через вторую группу схем совпадений ($D'_1, D'_2; D'_3, D'_4; \dots$) соединены установочными входами (S и R) триггеров последующих разрядов регистра (т. е. T'_i с T_{i+1}). Управляющий сигнал сдвига (Y_3) расщепляется на два импульса (два такта) Y'_3 и Y''_3 (Рис. 30). Шина Y'_3 подключена ко входам первой группы, а шина Y''_3 – второй группы схем совпадений.

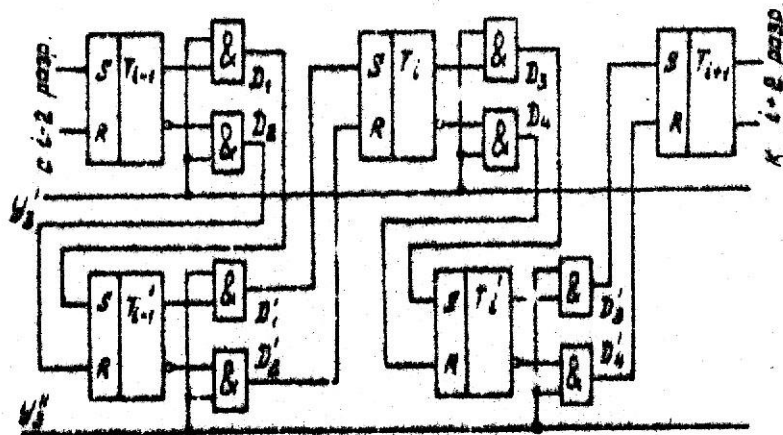


Рис. 29. Принцип построения двухтактного сдвигающего регистра на асинхронных RS-триггерах

Во время действия первого такта (Y'_3) (интервал $0-t_1, t_2-t_1, \dots$) содержимое основных триггеров через первую группу схем совпадения переписывается во вспомогательные триггеры. При подаче второго такта Y''_3 (интервал t_1-t_2, t_3-t_2, \dots) информация из вспомогательных триггеров через вторую группу схем совпадения заносится в основные триггеры со сдвигом на один разряд вправо. При этом никаких ограничений на длительность управляющих сигналов сверху не предъявляется. Это объясняется тем, что триггеры, из которых переписывается информация в триггеры другой группы, в течение этого интервала своего состояния не изменяют.

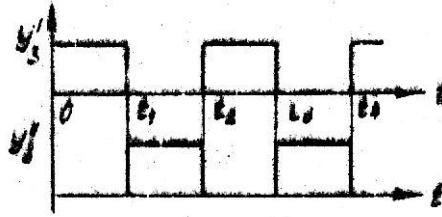


Рис. 30. Временная диаграмма следования управляющих импульсов в двухтактном регистре

Гашение регистра и приём информации в параллельном коде осуществляется также, как и в предыдущей схеме. При этом новую информацию достаточно заносить только в главные триггеры регистра.

При реализации сдвигающих регистров на универсальных логических элементах (ИЛИ–НЕ или И–НЕ) цепи межтриггерных связей принимают вид, показанный на Рис. 31. Если регистр (как триггеры, так и схемы совпадений) выполняется на ЛЭ ИЛИ–НЕ, то схемы связи между выходами и входами соответствующих триггеров регистра выполняются так, как это показано на Рис. 31.а. Здесь сдвиг осуществляется при подаче управляющего сигнала нулевого уровня (Y_3). Если, например, триггер T_i находится в нулевом состоянии, то $Q_i = 0$, и при поступлении сигнала $\bar{Y}_3 = 0$ на выходе ЛЭ D_1 вырабатывается единичный сигнал, который, поступая на вход R триггера T_{i+1} , переводит последний в нулевое состояние. Если же триггер T_i находится в единичном состоянии ($\bar{Q}_i = 0$), то при $\bar{Y}_3 = 0$ в результате совпадения нулевых сигналов на обоих входах ЛЭ D_2 , на его выходе устанавливается единичный сигнал. Этот сигнал, поступая на вход S триггера T_{i+1} , обеспечивает его установку в единичное состояние.

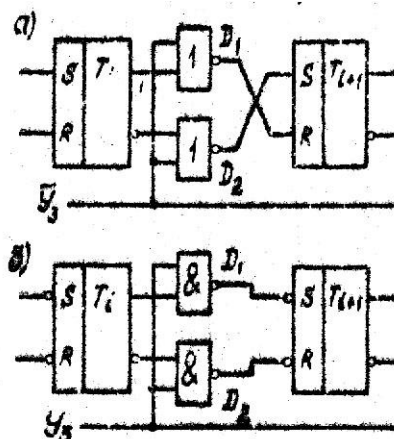


Рис. 31. Цепи межтриггерных связей регистров, построенных на универсальных логических элементах

При реализации регистра на элементах И–НЕ (Рис. 31.б) управляющий сигнал для переключения триггера T_{i+1} вырабатывается в зависимости от состояния триггера T_i . На

выходе одного из ЛЭ D_1 или D_2 в результате совпадения на их входах единичных сигналов Y_3 и Q_i или \bar{Q}_i . Если, например, $Q_i = 1$, то при $Y_3 = 1$ сигнал на выходе ЛЭ D_1 равен нулю ($\bar{S} = 0$), и в результате его воздействия триггер T_{i+1} устанавливается в единичное состояние. При $\bar{Q}_i = 1$, $Y_3 = 1$, $\bar{R} = 0$, и триггер T_{i+1} переключается в нулевое положение.

Аналогичным образом строятся двухтактные регистры на D -триггерах типа «защёлка» (Рис. 4.д), причём, благодаря наличию у них одного информационного входа, межтриггерные связи существенно упрощаются.

3.3. Сдвигающие регистры на универсальных триггерах.

На основе универсальных синхронных RS , JK и D -триггеров строятся простые и надёжные одноктактные сдвигающие регистры (Рис. 32).

Схема сдвигающего регистра на универсальных RS -триггерах представлена на Рис. 32.а. Здесь по сигналу \bar{Y}_2 осуществляется обнуление триггеров регистра (2). Занесение информации в параллельном коде (3) производится подачей сигнала Y_1 , который поступает на ЛЭ $D_1 - D_n$, на другие входы которых подаются информационные сигналы с шины X . Выходы этих ЛЭ связаны с соответствующими входами \bar{S}_d непосредственной установке триггеров регистра. Управляющий сигнал Y_3 , по которому осуществляется сдвиг информации на один разряда вправо (4), подаётся на синхронизирующие входы триггеров. Если, например, $Q_{i-1} = 1$, $\bar{Q}_{i-1} = 0$, $Q = 0$, $\bar{Q} = 1$, то при подаче сигнала Y_3 в триггер TT_i заносится единица, а в триггер TT_{i+1} – нуль.

Аналогичным образом реализуется сдвигающий регистр на универсальных JK -триггерах (Рис. 32.б). Принцип работы этого регистра не отличается от принципа работы предыдущей схемы. В сдвигающем регистре на универсальных D -триггерах (Рис. 32.в) существенно уменьшается количество соединительных шин.

Использование в качестве элементов DV -триггеров даёт возможность развязать шину управляющего сигнала Y_3 от шины синхроимпульсов. Схема сдвигающего регистра на универсальных DV -триггерах представлена на Рис. 32.г. Здесь при $V = 0$, поступление синхроимпульса к изменению состояния триггеров не приводит. Если же $V = 1$, то при подаче каждого синхроимпульса происходит сдвиг содержимого регистра на один разряд вправо.

Цепи обнуления и занесения информации для трёх последних схем строятся так же, как и в схеме на RS -триггерах (Рис. 32.а).

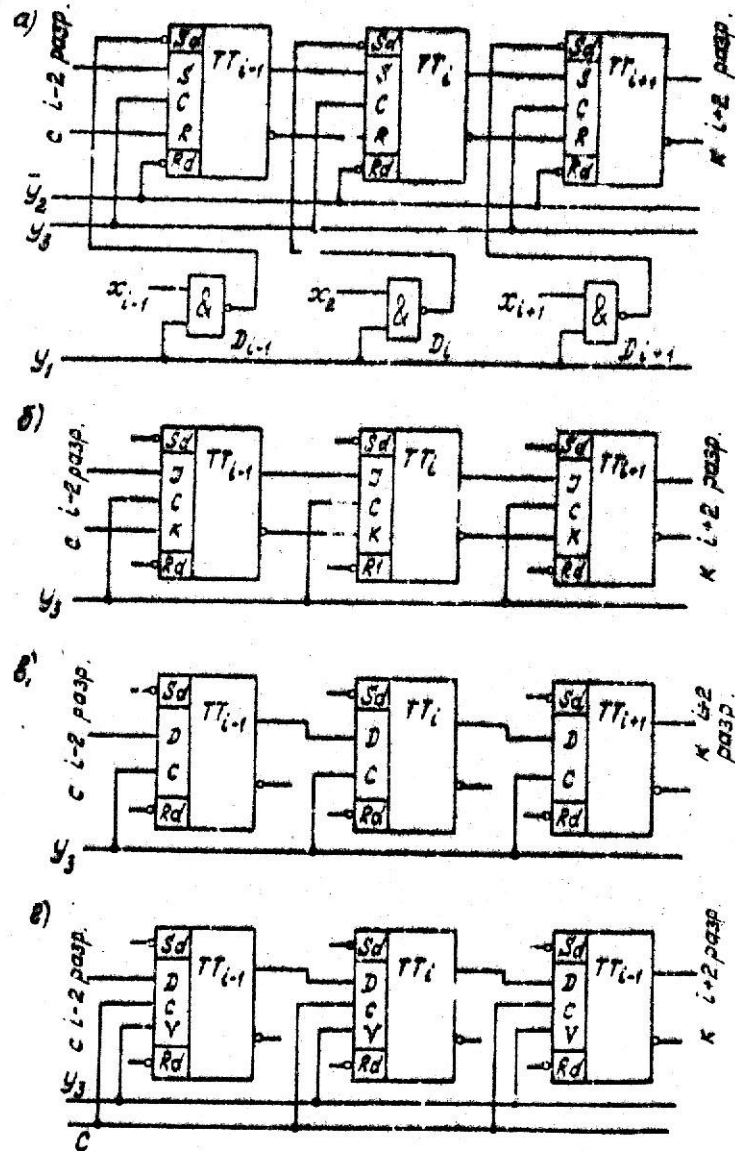


Рис. 32. Сдвигающие регистры на универсальных триггерах

На Рис. 33 приведены схемы сдвигающих регистров, в которых как сдвиг, так и занесение информации осуществляется по синхросигналу. В регистрах на основе универсальных RS -триггерах (Рис. 33.а, б) сигналы на информационные входы R и S -триггеров подаются в парафазном коде, что исключает необходимость в предварительном обнулении регистра. При занесении информации ($V_1 = 1$), если $x_i = 1$, сигнал на выходе ЛЭ D_1 (см. Рис. 33.а) имеет нулевое значение и следовательно, на вхожа триггера TT_i $S = 1$, $R = 0$. В этом случае при поступлении синхроимпульса ($C = 1$) триггер TT_i переключается в единичное состояние. Если же $x_i = 0$, то на выходе D_1 формируется уровень единицы, а на выходе D_3 - нуля, т.е. $S = 0$, $R = 1$. Подачи синхроимпульса приводит к установке триггера T в нулевое положение.

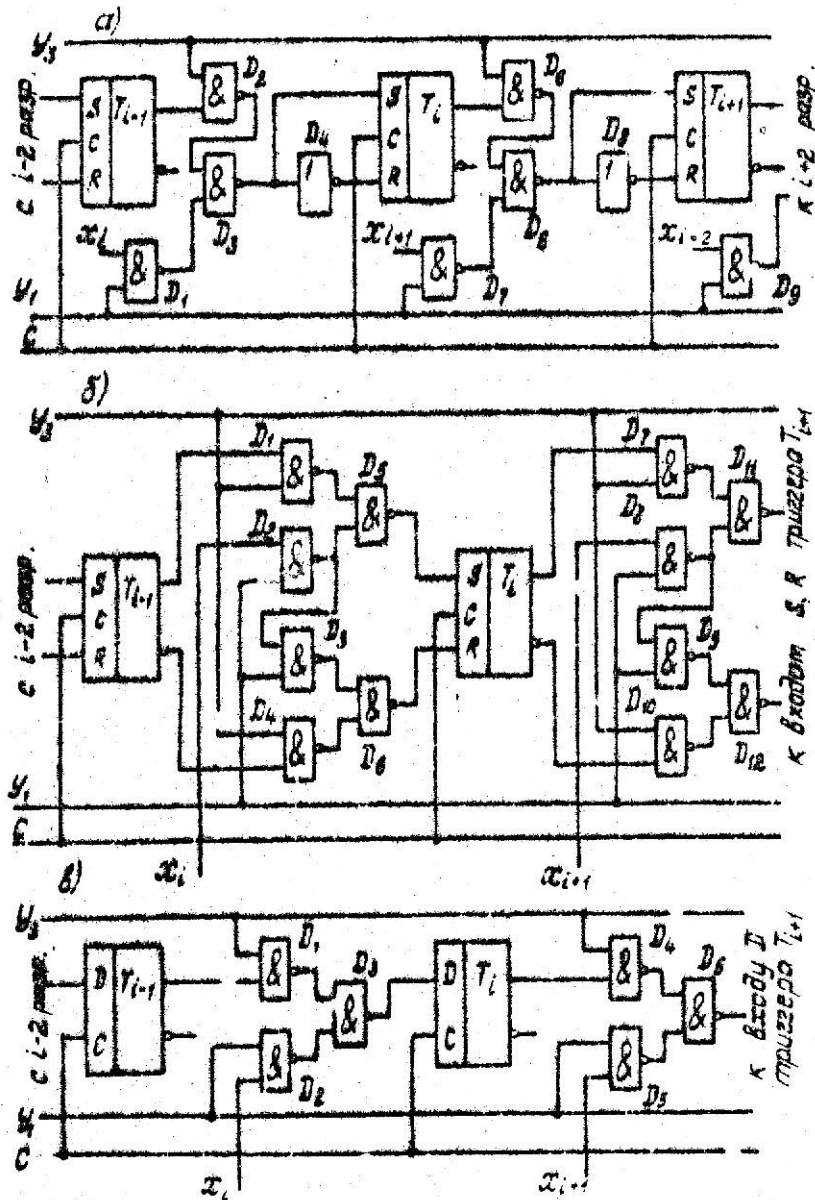


Рис. 33. Сдвигающие регистры на универсальных триггерах с приемом и сдвигом информации по синхросигналу

Сдвиг информации происходит при поступлении сигнала $V_3 = 1$ (4). В зависимости от состояния триггера TT_{i-1} (нулевого или единичного) на информационных входах последующего триггера TT_i формируется комбинация сигналов $S = 0$, $R = 1$ или наоборот $S = 1$, $R = 0$ соответственно. В результате поступления синхросигнала в триггер TT заносится содержимое триггера TT_{i-1} предшествующего разряда регистра. Разумеется, что, как и для других схем регистров, комбинация сигналов $V_1 = V_3 = 1$ является недопустимой.

Недостатком рассмотренной схемы является то, что при $V_1 = V_3 = 0$ под воздействием синхрои́мпульса все триггера регистра устанавливаются в нулевое положение. Действительно, при $V_1 = V_3 = 0$ на особых входах ЛЭ D_3, D_6 и т.д. будут действовать единич-

ные сигналы, что приводит к формированию комбинаций $S = 0$, $R_1 = 1$ на входах всех триггеров. Поэтому при $C = 1$ регистр обнуляется.

От этого недостатка свободна схема, приведённая на Рис. 33.б. Здесь для формирования информационных сигналов S и R используются сигналы, снимаемые как с единичных, так и нулевых выходов триггеров. Не представляет труда убедиться в том, что при сдвиге ($Y_3 = 1$) и при $Q_{i-1} = 1, \bar{Q}_{i-1} = 0$ на входах TT_i $S = 1$, $R = 0$, а в противоположном случае ($Q_{i-1} = 0, \bar{Q}_{i-1} = 1$) $S = 0$, $R = 1$. Поэтому при $C = 1$ в триггер TT_i заносится содержимое TT_{i-1} предшествующего разряда. Таким образом, можно показать, что занесение информации в параллельном коде ($Y_1 = 1$), если $x_i = 1, S = 1, R = 0$ (если $x_i = 0, S = 0, R = 1$), и, когда $C = 1$, триггер TT_i устанавливается в положение, определяемое значением входного сигнала x_i .

В отличие от предыдущей схемы комбинация $Y_1 = Y_3 = 0$ не приводит к обнулению регистра. При такой комбинации управляющих на выходах ЛЭ $D_1 - D_4$ ($D_8 - D_{10}$ и т.п.) вырабатываются единичные сигналы, что вызывает формирование нулевых сигналов на выходах ЛЭ D_5 и D_6 (D_{11}, D_{12} и т.п.), т.е. на выходах всех триггеров $S = R = 0$. В этом случае поступление синхроимпульса к изменению состояния триггеров не приводит.

Схемы на JK -триггерах реализуется таким же образом, что и схемы, приведённые на Рис. 33.а, б. Аналогичная по принципу действия схема сдвигающего регистра на универсальных D -триггерах показана на Рис. 33.в. При сдвиге информации ($Y_3 = 1$) сигнал на выходе D триггера TT_i имеет то же значение, что и сигнал на выходе Q триггера TT_{i-1} . Когда происходит процесс занесения информации ($Y_1 = 1$) сигнал на входе D соответствует значению сигнала x_i . Как и в схеме на Рис. 33.а при $Y_1 = Y_3 = 0$ поступление синхроимпульса приводит к обнулению регистра. Для установления этого в качестве элементов регистра можно использовать DV -триггеры, на входы V которых следует подавать сигнал запрета, вырабатываемые в соответствии с соотношением $V = Y_1 \vee Y_3$. В этом случае при $Y_1 = Y_3 = 0$ и $V = 0$, поступление синхроимпульса не приводит к изменению состояний триггеров. Условное обозначение четырёхразрядного сдвигающего регистра, реализованного на основе D -триггеров показано на Рис. 34. Здесь V_2 - функциональный вход младшего разряда регистра (иногда этот вход называют входом приёма последовательного кода), на вход V_1 подаётся управляющий сигнал либо сдвига ($V_1 = 0$) либо приёма ($V_1 = 1$) информации в параллельном коде. Непосредственно сдвиг осуществляется пода-

чей управляющего сигнала на вход C_1 . Запись информации в параллельном коде производится путём подачи информационного слова на входе $D_1 - D_4$ и управляющего сигнала на вход C_2 (причём). Выходы регистра обозначены в соответствии с весами разрядов регистра.

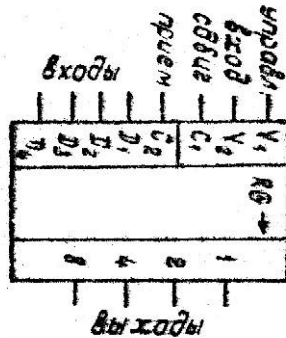


Рис. 34. Условное обозначение сдвигающего регистра

Реверсные сдвигающие регистры. Равновесный режим работы регистров достигается за счёт использования логических устройств, обеспечивающих формирование информационных сигналов на входах триггера TT_i в соответствии со значениями выходных сигналов предшествующего триггера TT_{i-1} (при правостороннем сдвиге), либо последующего триггера TT_{i+1} (при левостороннем сдвиге) регистра. Так как на структура цепей обмена информации не зависит от типа универсальных триггеров (RS -, J_n - или D -типа), принцип построения реверсных триггеров сдвига рассматривается на примере схемы, реализованной на основе D -триггеров (Рис. 35). В этой схеме при $Y_3 = 1$ сигнал на вход D триггера TT_i поступает с выхода Q_{i-1} триггера TT_{i-1} через ЛЭ D_1 и D_3 , вследствие чего при поступлении синхронимпульса ($C = 1$) производится сдвиг слова вправо (4). Если $Y_4 = 1$, то на вход D триггера TT_i через ЛЭ D_2 и D_3 подаётся сигнал с выхода Q_{i+1} триггера TT_{i+1} .

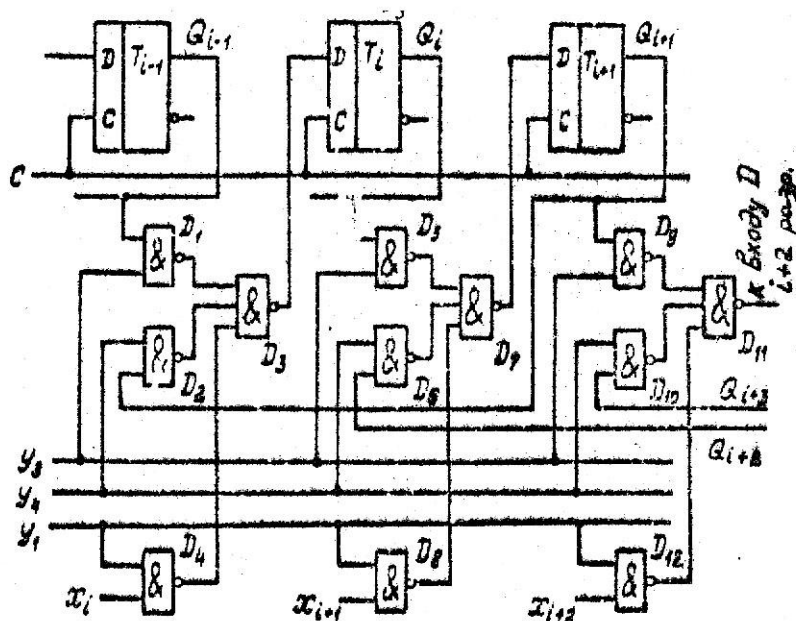


Рис. 35. Реверсивный регистр на основе D-триггеров

Благодаря этому при $Y_4 = 1$ и $c = 1$ осуществляется логическая операция сдвига слова влево, иначе говоря $Y_4 : RG := L1(RG)$. Занесение (приём) информации производится при $Y_1 = 1$ (3). Комбинация $Y_1 = Y_3 = Y_4 = 0$ приводит к обнулению регистра при $C = 1$.

3.4. Регистры для сдвига специальной информации

В цифровых устройствах часто встречается задачи, для выполнения которых необходимо производить сдвиг таких информационных слов, в которых одиночные единичные сигналы разделены одним или несколькими нулями (например, ...1001010001...). Информационные слова такого вида характерны для кольцевых счётчиков, дешифраторов кодовым интервалов времени и т.п. Так как для этих устройств справедливо условие $Q_i Q_{i+1} = 0$, то представляется возможным существенно упростить схемы регистров по сравнению с традиционными. Схемы регистров для сдвига специальной информации широко представлен в [6]; одна из них приведена на Рис. 36

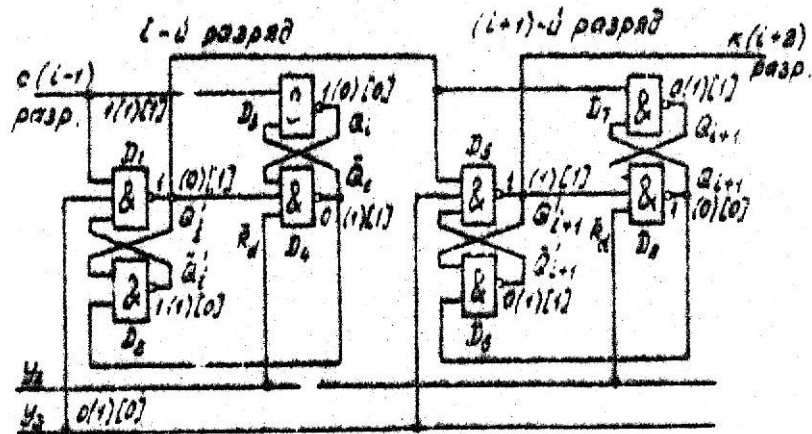


Рис. 36. Регистр для сдвига специальной цифровой информации

Каждый разряд этого регистра реализуется на 4 универсальных логических элементах ($D_1 - D_4; D_5 - D_8$ и т.д.) и содержит основной (Q_i, \bar{Q}_i) и коммутационной (Q_{i+1}, \bar{Q}_{i+1}) триггеры. Импульсы сдвига поступают на шину U_3 , сигналом U_2 производится обнуление регистра. Процесс сдвига поясняется с помощью символов 1 и 0, показанных на выходе ЛЭ без скобки (до прихода сигнала сдвига), в круглых (в течении действия этого сигнала) и квадратных (по окончании сигнала сдвига) скобках. При этом предполагается, что основные триггеры до прихода управляющего импульса находятся в единичном ($Q = 1, \bar{Q}_i = 0$) и нулевом ($Q_{i+1} = 0, \bar{Q}_{i+1} = 1$) состояниях. При поступлении сигнала (символьно круглых скобках) вследствие воздействия нулевого сигнала, вырабатываемых на выходе ЛЭ D_1 основной триггер T_{i+1} устанавливается в единичное положение. Одновременно этим же сигналом основной триггер T_i переводится в нулевое положение. Здесь предполагалось, что сигнал, поступающий на вход ЛЭ D_1 , своего значения не изменяет; справедливость этого следует из рассмотрения состояния ЛЭ D_5 . Так как триггер T_{i-1} по условию должен находиться (так же как и триггер T) в нулевом состоянии, уровень входного сигнала i -го разряда в течение воздействия управляющего импульса U_3 остаётся неизменным.

Более широко регистры для сдвига специальной информации рассмотрены в [6]

4. СЧЕТЧИКИ

Счётчиком называется типовой узел ЦВМ, предназначенный для подсчёта числа входных импульсов. Счётчики используются для образования последовательностей адресов команд, для подсчёта количества циклов выполнения операций и т.п. Счётчики могут также выполнять микрооперации приёма и передачи кодов.

Схемы счётчиков можно классифицировать по следующим признакам.

По основанию системы счисления они подразделяются на двоичные и счётчики с произвольным основанием или модулем счёта N . В двоичных счётчиках модуль счёта равен 2^n , где n – количество разрядов счётчика, вследствие чего они также называются счётчиком по модулю 2 ($\text{mod } 2$). В счётчиках с произвольным основанием модель счёта, иногда называемый коэффициентом пересчёта ($K_{сч}$), представляет собой число, не кратное степени двух. К этой же группе схем относятся и широко распространённые десятичные (двоично-десятичные) счётчики с $M = 10$.

По целевому назначению счётчики принято подразделять на суммирующие, вычитающие и реверсивные. Суммирующие счётчики предназначены для выполнения счёта в прямом направлении, т.е. для сложения. С приходом очередного счётного импульса содержимое счётчика увеличивается на единицу. В вычитающих счётчиках при поступлении очередного импульса содержимое уменьшается на единицу. Реверсивными называются такие счётчики, которые предназначены для выполнения операций счёта как в режиме сложения, так и в режиме вычитания.

Особую группу составляют счётчики, функционирующие по принципу циклического сдвигающего регистра (так называемые сдвигающие счётчики).

По способу организации операции счёта различают синхронные и асинхронные счётчики. В синхронных счётчиках счётные импульсы одновременно воздействуют на синхровходы всех триггеров. В асинхронных счётчиках каждый последующий триггер управляется сигналами, формируемыми в схеме предыдущего триггера, а входные сигналы поступают на счётный вход первого триггера.

В зависимости от способа построения межразрядных связей различают счётчики с последовательным, сквозным, параллельным и комбинированным (групповым) переносом.

4.1. Асинхронные двоичные счётчики

Элементами асинхронных счётчиков являются T -триггеры, реализуемые на основе универсальных **Ошибка! Объект не может быть создан из кодов полей редактирования.**-, JK - и D -триггеров (рис.37). Для перевода **Ошибка! Объект не может быть создан из кодов полей ре-**

дактирования.-триггера в счетный режим (рис. 37,а) необходимо соединить между собой входы S и R с выходами \bar{Q} и Q соответственно (см. рис. 13, 15, 16, 18). Счетный триггер на основе JK -триггера (табл.7) реализуется при выполнении условия $J = K = 1$ (рис. 37,б). Для реализации T -триггера на основе D -триггера (см. рис. 17, 20) вход D необходимо соединить с выходом \bar{Q} (рис. 37,в). Условное обозначение T -триггера приведено на рис. 12,б.

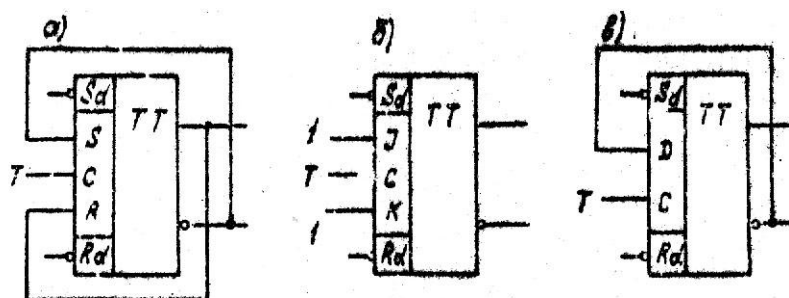


Рис. 37. Организация Т-триггеров из универсальных триггеров

В зависимости от вида межразрядных связей различают счетчики с внутренним переносом и счетчики с непосредственными связями. В счетчиках с внутренним переносом для управления старшими разрядами используются сигналы, вырабатываемые промежуточными ЛЭ триггеров. Эти сигналы могут быть сняты либо с точек, обозначенных символами \bar{P}^+ или \bar{P}^- на рис. 13, 15, 18, либо с выходов Q' или \bar{Q}' триггера, схема которого показана на рис. 18.

В счетчиках с непосредственными связями управление триггерами старших разрядов осуществляется сигналами, вырабатываемыми на информационных выходах триггеров младших разрядов.

Принцип построения двоичного счетчика с внутренним переносом иллюстрируется схемой, представленной на рис. 38,а. В этой схеме сигнал переноса, снимаемый с выхода \bar{P}^+ (см. рис. 13, 15, 18) i -го триггера, через инвертер D_i поступает на счетный вход триггера TT_{i+1} . Сигнал переноса на выходе \bar{P}^+ вырабатывается при переключении триггера из единичного состояния в нулевое, а его длительность, если не учитывать собственные задержки ЛЭ, определяется длительностью счетного импульса V_3 . Аналитически микрооперация счета записывается в виде

$$V_3 : CT := CT + 1 \quad (5)$$

т.е. эта формула показывает, что при поступлении управляющего сигнала V_3 содержимое счетчика (CT) увеличивается на единицу. Во всех далее рассматриваемых схемах символ V_3 будет использоваться для обозначения счетного импульса прямого

счета (на сложение). Максимальное число, которое может быть зафиксировано n -разрядным счетчиком

$$N_{\max} = 2^n - 1 \quad (6)$$

На рис. 38,а также показаны цепи обнуления (Y_2) и предварительного занесения информации (Y_1) в счетчик. В данной схеме (как и в схеме рис. 38,б) сигналы обнуления и начальной установки достаточно подавать только на ЛЭ главного триггера (D_3, D_4 в схеме рис. 13, 15 и D_5, D_6 рис. 18). В дальнейшем эти цепи, как не имеющие принципиального значения, приводиться не будут.

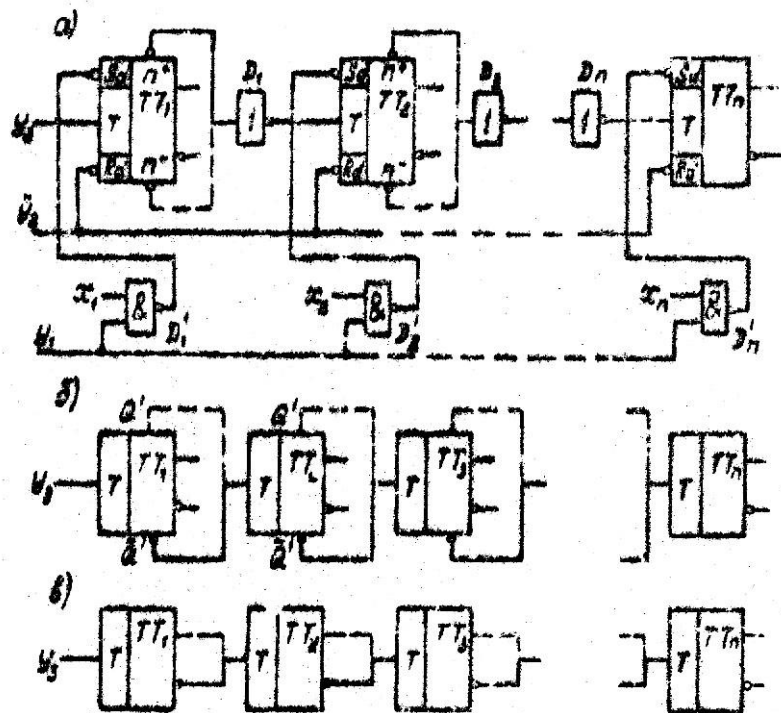


Рис. 38. Асинхронные двоичные счетчики с последовательным переносом

Для реализации вычитающего счетчика сигналы переноса на входы инверторов должны подаваться с выходов \bar{P} , как это показано на рис. 38,а пунктиром. В этом случае при поступлении очередного счетного импульса значение ранее записанного по сигналу Y_1 числа уменьшается на единицу.

Необходимости применения инверторов объясняется тем, что уровень сигнала переноса (\bar{P}^+ или \bar{P}^-) обратен уровню, требуемому для управления счетным триггером. При использовании MS -триггеров с инвертором (рис. 13) инверторы можно исключить, если сигнал переноса подавать на входы ЛЭ D_5 и D_6 , а на входы ЛЭ D_1 и D_2 - через инвертор D_9 .

Еще один схемный вариант счетчика с внутренним переносом приведен на рис. 38,б. Здесь в качестве счетных триггеров используются трехтриггерные ячейки (см. рис. 18), причем сигналы переноса снимаются либо с выхода \bar{Q}' (при реализации суммирующего счетчика), либо с Q' (при работе на вычитание). Временные диаграммы, отражающие работу счетчиков в режиме сложения, приведены на рис. 39. В отличие от предыдущей схемы управление осуществляется нулевыми сигналами V_3 , причем переключение главного триггера происходит по заднему фронту сигнала (моменты t_2, t_4, t_6 и т.д., см. рис. 39), т.е. новое значение сигнала на выходе схемы устанавливается с задержкой, равной длительности счетного импульса. Существенным достоинством рассматриваемого счетчика по сравнению с предыдущим является отсутствие инверторов. При реализации вычитающего счетчика сигналы переноса должны сниматься с выходов Q' (пунктир на рис. 38,б).

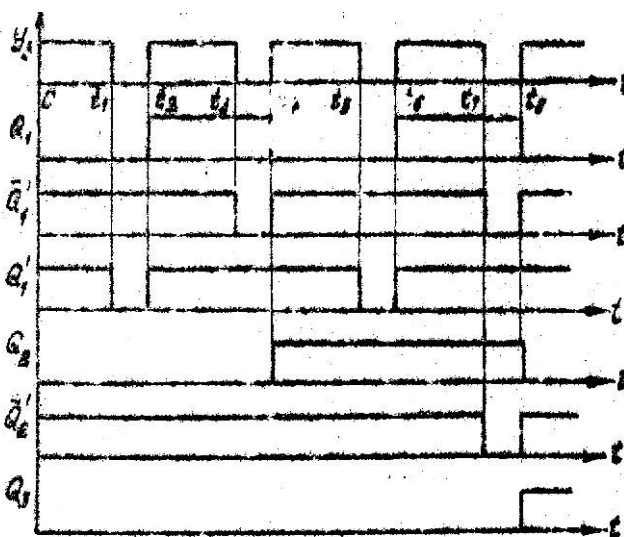


Рис. 39. Временные диаграммы работы счетчика с внутренним переносом (Рис. 38.б)

Необходимо отметить, что в данной схеме отсутствие счетного импульса V_3 соответствует уровню логической единицы, вследствие чего при $V_3=1$ на выходе одного из ЛЭ D_2 или D_3 устанавливается уровень логического нуля. Поэтому сигналы предварительной установки триггеров в нулевое и единичное состояния должны поступать не только на ЛЭ главного триггера, но также и блокировать ЛЭ D_2 и D_3 коммутационных триггеров (см. пункт на рис. 18). В противном случае на обоих входах главного триггера могут действовать нулевые сигналы, приводящие к неопределенному состоянию триггера.

Счетчики с непосредственными связями. Рассмотренные выше схемы требуют для своей реализации наличия дополнительных выводов (\bar{P}^+, \bar{P}^-, Q' или \bar{Q}'). Введение до-

полнительных контактных площадок значительно увеличивает размер кристаллов интегральных схем и снижает степень их интеграции. Поэтому на практике большее распространение получили счетчики, в которых сигналы переноса снимаются с информационных выходов триггеров Q или \bar{Q} (так называемые счетчики с непосредственными связями). Функциональная схема такого счетчика представлена на рис. 38,в. При этом предполагается, что она выполняется на универсальных триггерах, реализованных на ЛЭ И-НЕ (рис. 13, 15, 18) или И-ИЛИ-НЕ (рис. 16).

Несмотря на то, что внешний вид схемы не зависит от типа используемых триггеров, принцип работы счетчика, построенного на MS -триггерах (рис. 13, 15, 16) существенно отличается от принципа работы схемы, реализуемой на основе триггерных ячеек (рис. 18). Если счетчик реализуется на MS -триггерах, и при этом сигналы переноса снимаются с информационных выходов вспомогательных триггеров, то при организации суммирующего счетчика счетные входы триггеров T должны быть связаны с единичными выходами Q триггеров предшествующих разрядов (пунктир на рис. 38,в). Вычитающий счетчик получается при соединении выходов \bar{Q} со входами T , как это показано сплошными линиями.

Справедливость сказанного поясняется временными диаграммами, приведенными на рис. 40,а. Предположим что до момента поступления первого счетного импульса (t_1) все триггеры счетчика были обнулены ($Q_1 = Q_2 = \dots = Q_n = 0$). Воздействие первого импульса (интервал $t_1 - t_2$) приводит к переключению триггера первого разряда TT_1 в единичное состояние. При этом сигнал $Q_1 = 1$ в соответствии с принципом работы MS -триггера устанавливается после окончания входного импульса (момент t_2 , см. символы в квадратных скобках на рис. 13, 15, 16). После поступления второго импульса этот триггер возвращается в исходное состояние в момент t_4 .

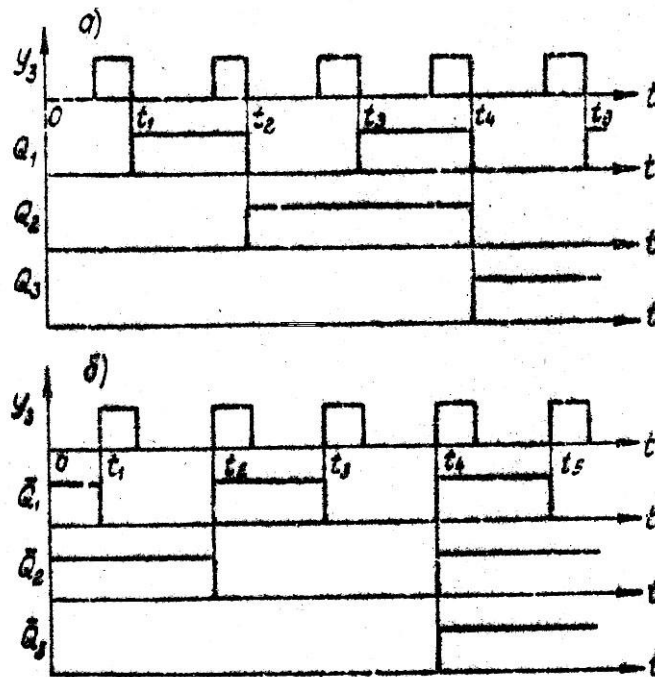


Рис. 40. Временные диаграммы работы счетчиков с непосредственными связями

Из временной диаграммы видно, что импульс, снимаемый с выхода Q_1 триггера TT_1 , выполняет функцию счетного сигнала для триггера TT_2 . В момент t_2 главный триггер TT_2 устанавливается в единичное состояние (символы в круглых скобках), а затем в момент t_4 эта единица переписывается во вспомогательный триггер ($Q_2=1$). Остальные триггеры счетчика ($TT_3 - TT_n$) функционируют аналогичным образом. Не представляет труда убедиться в том, что для организации режима вычитания сигналы на счетные входы триггеров должны сниматься с инверсных выходов.

Аналогичным образом работают и счетчики, реализуемые на УК- триггерах с аналоговыми элементами памяти (рис. 21, 22). Для устранения неопределенности при предварительной установке сигналы S_d и R_d должны подаваться как на главные, так и на вспомогательные триггеры (пунктир на рис. 13 и 15).

В случае реализации счетчика на трехтриггерных ячейках при организации режима сложения сигналы переноса должны сниматься с инверсных выходов триггеров (сплошные линии на рис. 38, в). Пусть до поступления первого счетного импульса все триггеры счетчика обнулены (т.е. $\overline{Q_1} = \overline{Q_2} = \dots = \overline{Q_n} = 1$, см. рис. 40,б). В момент подачи импульса (t_1) триггер TT_1 устанавливается в единичное состояние (см. символы в круглых скобках на рис. 18), уровень сигнала на выходе $\overline{Q_1}$ становится равным нулю. При этом состояние триггера TT_2 не изменится.

Когда на вход y_3 поступает второй счетный импульс (момент t_3), первый триггер возвращается в исходное состояние, сигнал на выходе $\overline{Q_1}$ принимает единичное значение. Этот сигнал, поступая на счетный вход триггера TT_2 , переводит его в единичное состояние ($\overline{Q_2}=0$). Триггеры остальных разрядов функционируют аналогичным образом. Достоинством второго счетчика является то, что сигналы на выходах триггеров принимают новое значение по переднему фронту счетного импульса. Установочные сигналы (S_d и R_d) должны подаваться не только на ЛЭ D_5 и D_6 главного триггера, но обеспечивать блокировку ЛЭ D_2 и D_3 (см. пунктир на рис. 18).

Интересно заметить, что режим, подобный режиму работы счетчика на трехтриггерных ячейках (рис. 40, б), можно получить и при реализации счетчика на MS-триггерах. Для этого необходимо связать выходы \overline{Q} главных триггеров с входами Т, а также изменить цели предварительной установки таким образом, чтобы главный и вспомогательный триггеры устанавливались в противоположные состояния (например, при обнулении главный триггер необходимо устанавливать в нулевое, а вспомогательный - в единичное состояния).

Способы ускорения распространения переноса. Приведенный на рис.48, в счетчик построен по классической схеме с последовательным переносом. Недостатком подобных счетчиков является большее время распространения переноса при одновременном переключении нескольких триггеров, причем наибольшее время переноса соответствует тому случаю, когда все триггеры переключаются из единичного состояния в нулевое. Уменьшение времени распространения при использовании схем сквозного или параллельного переноса.

В счетчике со сквозным переносом (рис. 41,а) управляющий сигнал y_3 подается одновременно на счетный вход первого триггера и ЛЭ D_1 , на другой вход которого поступает сигнал с выхода Q_1 . Этот ЛЭ совместно с инвертором D_1^1 осуществляет операцию совпадения, и если $Q_1=1$, то сигнал на входе TT_2 устанавливается до переключения триггера TT_1 . В свою очередь выход ЛЭ D_1^1 связан со входом ЛЭ D_2 , другой вход которого подключен к выходу Q_2 триггера второго разряда и т.д. Эффективность данного метода ускорения распространения переноса зависят от того, насколько суммарная длительность задержки на двух ЛЭ ($D_1, D_1^1; D_2, D_2^1$ и т.д.) меньше времени переключения триггера. Раньше в целях сквозного переноса использовались диодные схемы совпадения с малым временем задержки, подобные схемы использовались довольно часто. Для со-

временных интегральных схем, где для реализации операции совпадения применяются два последовательно включенных ЛЭ, задержка на которых соизмерима с временем переключения триггера, эффективность этого метода весьма незначительна. Некоторые авторы даже называют подобные схемы счетчиками с последовательным переносом.

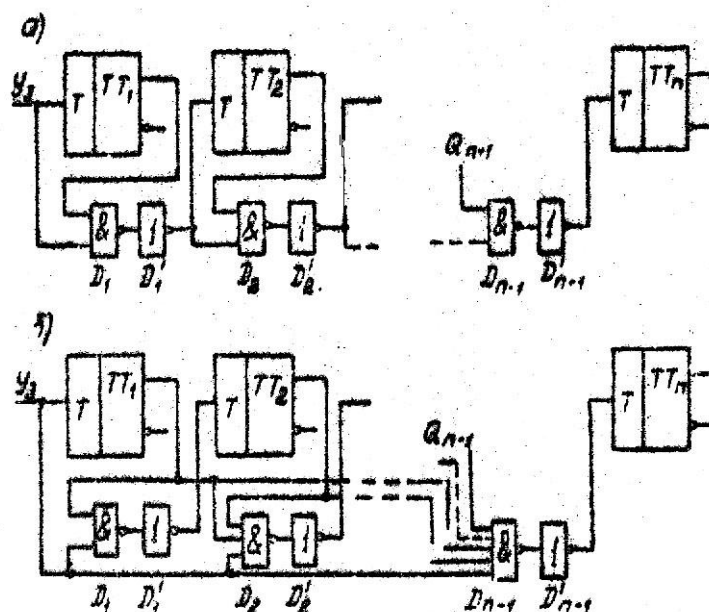


Рис. 41. Асинхронные счетчики со сквозным (а) и параллельным (б) переносом

Следует отметить, что схема, приведенная на рис. 41,а, является классической схемой счетчика со сквозным переносом.

Существенно больший эффект достигается в счетчике с параллельным переносом, схема которого приведена на рис.41,б. Здесь управляющий сигнал подается на все группы схем совпадений ($D_1, D_1^1; D_2, D_2^1$ и т.д.), а другие их входы связаны с выходами Q предшествующих триггеров. Поэтому сигналы на счетных входах всех триггеров вырабатываются с задержкой, не превышающей (относительно y_3) суммарной задержки двух ЛЭ. Если, например $Q_1 = Q_2 = 1$, то при поступлении $y_3 = 1$ формируются сигналы на выходах инверторов D_1^1 и D_2^1 . Благодаря этому триггеры $ТТ_2$ и $ТТ_3$ одновременно с триггером $ТТ_1$ переключаются в противоположные состояния (в данном случае $Q_1 = Q_2 = 0$). Счетчики с параллельным переносом являются наиболее быстродействующими.

Из схемы счетчика с параллельным переносом видно, что число входов логического элемента совпадения увеличивается с возрастанием порядкового номера триггера. А так как число входов и нагрузкоспособность триггера ограничена, то и разрядность счетчика невелика. Поэтому при большом числе разрядов счетчик разбивают на группы и внутри каждой группы строят цепи параллельного переноса. Перенос между группами

реализуется либо методом сквозного, либо последовательного переноса. комбинированным .

В рассмотренных схемах асинхронных счетчиков со сквозным и параллельным переносом из-за разброса длительностей переходных процессов в триггерах возможно возникновение опасных состояний (гонок), когда сигнал переноса, распространяясь по параллельным цепям (через триггеры и схемы совпадений), может вызывать появление ложных сигналов на выходах триггеров. Поэтому наиболее полно достоинства сквозного и параллельного переносов проявляются в счетчиках.

Условные обозначения четырехразрядных двоичных счетчиков показаны на рис.42.

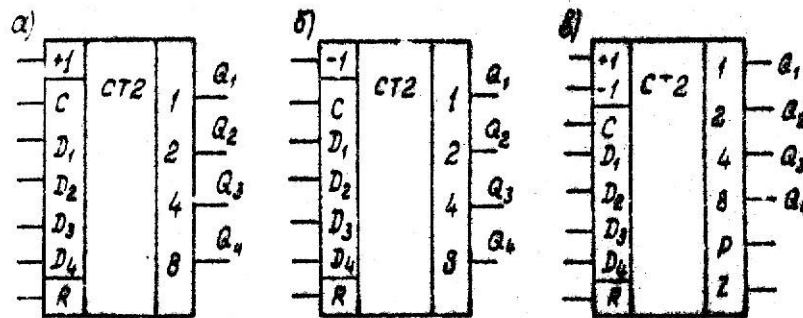


Рис. 42. Условные обозначения суммирующего (а), вычитающего (б) и реверсивного двоичных счетчиков

Здесь символами +1 и -1 обозначаются входы, на которые подаются счетные сигналы при работе счетчика соответственно в режиме сложения и вычитания; выходы $Q_1 - Q_4$ указываются в соответствии с весом соответствующего разряда; R - вход обнуления; начальная установка триггеров осуществляется подачей сигналов на входы $D_1 - D_4$ (или S) по синхроимпульсу, поступающему на вход C . С выходов P и Z (см. рис. 42, в) снимаются сигналы переноса и заема (Π^+ и Π^-). принципы построения реверсивных счетчиков будут изложены ниже.

4.2. Синхронные двоичные счетчики.

Преимущества параллельного переноса наиболее полно проявляются в синхронных счетчиках, в которых счетные импульсы (y_3) одновременно поступают на синхровходы (C) всех триггеров. Выходы триггеров счетчиков связаны не со счетными входами последующих триггеров, а через логические цепи с их информационными входами. Синхронные счетчики обычно реализуются на основе универсальных синхронных триггеров RS - или JK - типа. Значительно сложнее осуществить организацию синхронных счетчиков на основе D - триггеров.

Схема синхронного счетчика на RS -триггерах с параллельным переносом показана на рис. 43,а. Цепи межразрядной связи реализуются на ЛЭ $D_1 - D_4$; $D_5 - D_8$ и т.д. в соответствии со следующими зависимостями: $S_1 = \overline{Q_1}$; $R_1 = Q_1$; $S_2 = Q_1 \overline{Q_2}$; $R_2 = Q_1 Q_2$; $S_n = Q_1 Q_2 \dots \overline{Q_n}$; $R_n = Q_1 Q_2 \dots Q_n$;

Как видно из схемы, первый триггер реагирует на воздействие каждого входного импульса U_3 , второй триггер переключается одновременно с переключением $ТТ_1$ только при наличии на входах ЛЭ D_1 и D_2 сигнала $Q_1 = 1$ и т.п. Если, например, $Q_1 = Q_2 = 1$, $Q_3 = 0$, то $S_1 = S_2 = 0$, $R_1 = R_2 = 1$, $S_3 = 1$, $R_3 = 0$, и при поступлении $J_3 = 1$ эти триггеры одновременно переключаются в противоположные состояния ($Q_1 = Q_2 = 0$, $Q_3 = 1$).

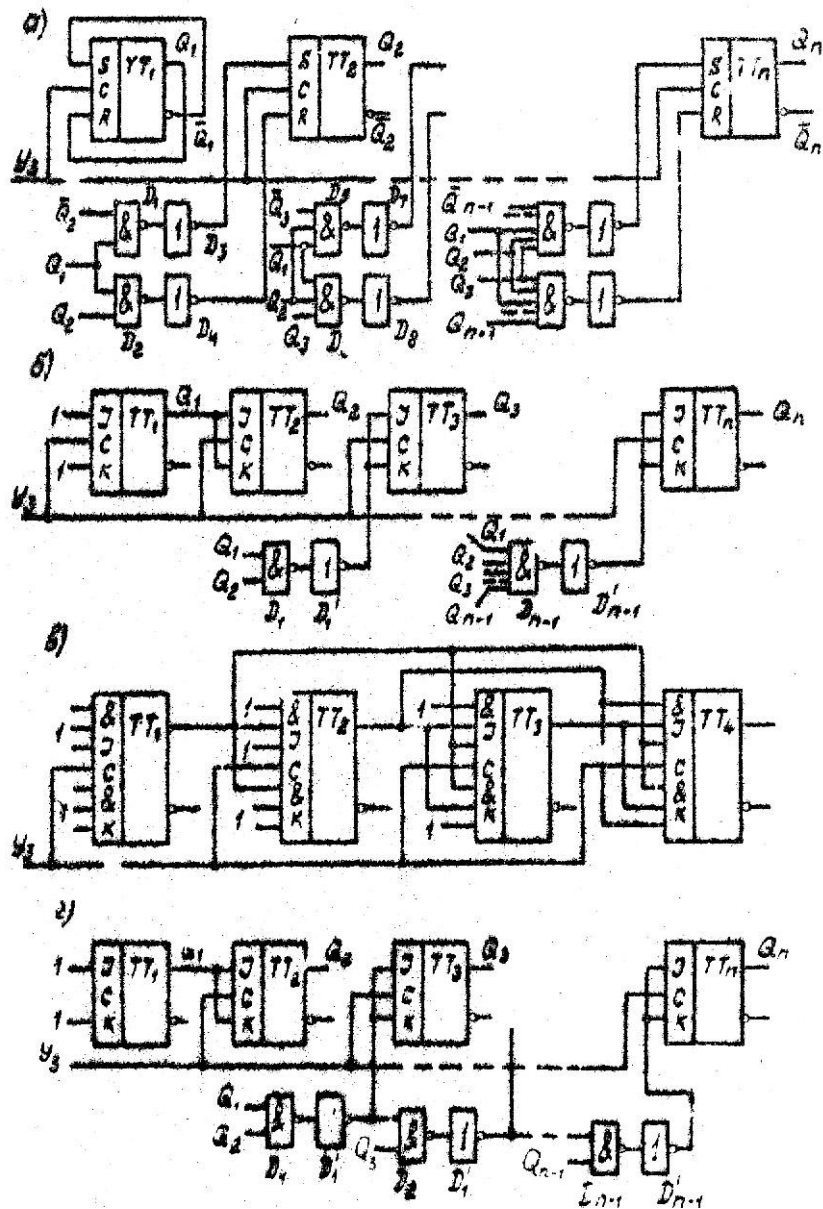


Рис. 43. Двоичные синхронные счетчики

Более удобны для построения синхронных счетчиков JK-триггеры. Учитывая, что для перевода JK-триггера в режим счетного запуска необходимо выполнить условие $J = K = 1$ (см. табл.7), цепи межразрядной связи счетчика должны обеспечивать выполнение следующих условий: $J_1 = K_1 = Q_1$; $J_2 = K_2 = Q_1Q_2$;..... $J_n = K_n = Q_1Q_2...Q_n$. Схема синхронного счетчика на триггерах с параллельным переносом приведена на рис. 43.б. Указанные логические условия реализуются на ЛЭ $D_1 - D_{n-1}$ и $D'_1 - D'_{n-1}$. Если предположить, что триггеры ТТ₁ и ТТ₂ находятся в единичных состояниях ($Q_1 = Q_2 = 1$), то сигналы на входах второго и третьего триггеров $J_2 = K_2 = J_3 = K_3 = 1$. В этом случае проступание счетного импульса ($J_3 = 1$) приводит к одновременному переключению всех триггеров в противоположное состояние.

Еще более удобны для построения синхронных счетчиков с параллельным переносом JK-триггеры с несколькими объединенными по И информационными входами J и K. Использование таких триггеров позволяет при ограниченной разрядности счетчика исключить из схемы элементы, осуществляющие операции совпадения. Схема четырехразрядного синхронного счетчика на трехходовых JK-триггерах представлена на рис 43,в. На неиспользуемые входы J и K должны быть поданы единичные уровни сигналов. Принцип ее работы аналогичен принципу работы предыдущей схемы.

Как видно из приведенных схем повышение разрядности счетчика требует увеличения числа входов схем совпадения (или числа входов J и K). Поэтому в тех случаях, когда быстродействие не имеет решающего значения, находит применение синхронные счетчики с последовательным переносом (рис. 43.г.). Однако более перспективные представления пути организации и многоразрядных счетчиков на основе метода группового переноса.

4.3. Счетчики с произвольным модулем доступа

Для многих устройств ЦВМ необходимы счетчики с модулем счета $M \pmod{M}$, отличным от степени двух. В этих счетчиках не полностью используется число возможных состояний, определенное числом каскадов счетчика. Иначе говоря, эти устройства представляют собой n-каскадные с модулем счета (коэффициентом пересчета) от $M = 2^{n-1} + 1$ до $M = 2^n - 1$ при $n > 2$. Например, при $n=4$ можно реализовать счетчики с модулем счета от 9 до 15.

Принцип построения таких схем заключается в исключении "лишних" устойчивых состояний у счетчика с $M = 2^n$, т.е. в организации схем, запрещающие некоторые со-

стояния счетчика. Число запрещенных состояний определяется соотношением $N_{запр} = 2^n - M$.

В зависимости от того, какие состояния счетчика выбираются в качестве рабочих, все счетчики с модулем счета $M \neq 2^n$ подразделяются на счетчики с естественным и произвольным порядком счета. В дальнейшем будут рассмотрены только счетчики с естественным порядком счета, как нашедшие наибольшее распространение. С принципами построения счетчиков с произвольным порядком счета (с принудительным насчетом, с начальной установкой кода, равного $N_{запр}$, с реверсивным соединением разрядов) можно ознакомиться в [4]. Из этой группы будут рассмотрены только безвентильные счетчики.

Счетчики с естественным порядком счета. В схему обычного двоичного счетчика вводятся цепи обратной связи, обеспечивающие переход счетчика в нулевое состояние из состояния $M - 1$. Например, счетчик с модулем 13 с приходом каждого счетного импульса последовательно регистрирует состояния от 0 до 12, после чего цикл счета повторяется.

На рис. 44, показана схема синхронного счетчика с модулем счета, равного трем ($M=3$). Схема, в основу которой положен изложенный принцип, реализуется на универсальных JK-триггерах.

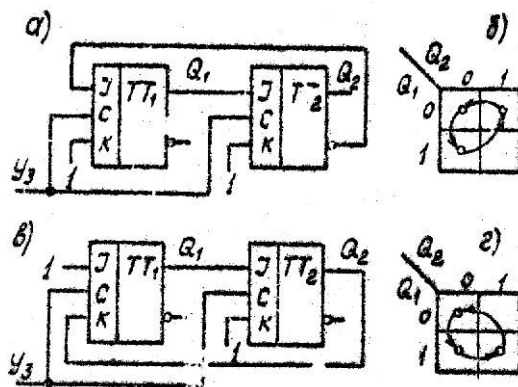


Рис. 44. Синхронные троичные счетчики

В исходном состоянии схемы ($Q_1 = Q_2 = 0$) сигналы на информационных входах триггеров $J_1 = 1, K_1 = 1, J_2 = 0, K_2 = 0$. Поэтому при поступлении первого счетного импульса первый триггер переключается в единичное ($Q_1 = 1$) состояние, а состояние второго триггера остается прежним. В результате сигналы на информационных входах принимают значения $J_1 = 1, K_1 = 1, J_2 = 1, K_2 = 1$, и подача второго импульса приводит к переключению обоих триггеров ($Q_1 = 0, Q_2 = 1$), после чего $J_1 = 0, K_1 = 1, J_2 = 0, K_2 = 1$. Поступление третьего импульса приводит к переключению триггера ТТ₂ в нулевое состояние ($Q_2 = 0$), не изме-

няя при этом состоянии триггера $ТТ_1$, т.е. осуществляется переход счетчика из состояния 10 в состояние 00 ($2 \rightarrow 0$). Не менее наглядно происходящие в схеме процессы отражаются в карте переходов счетчика (рис. 44б).

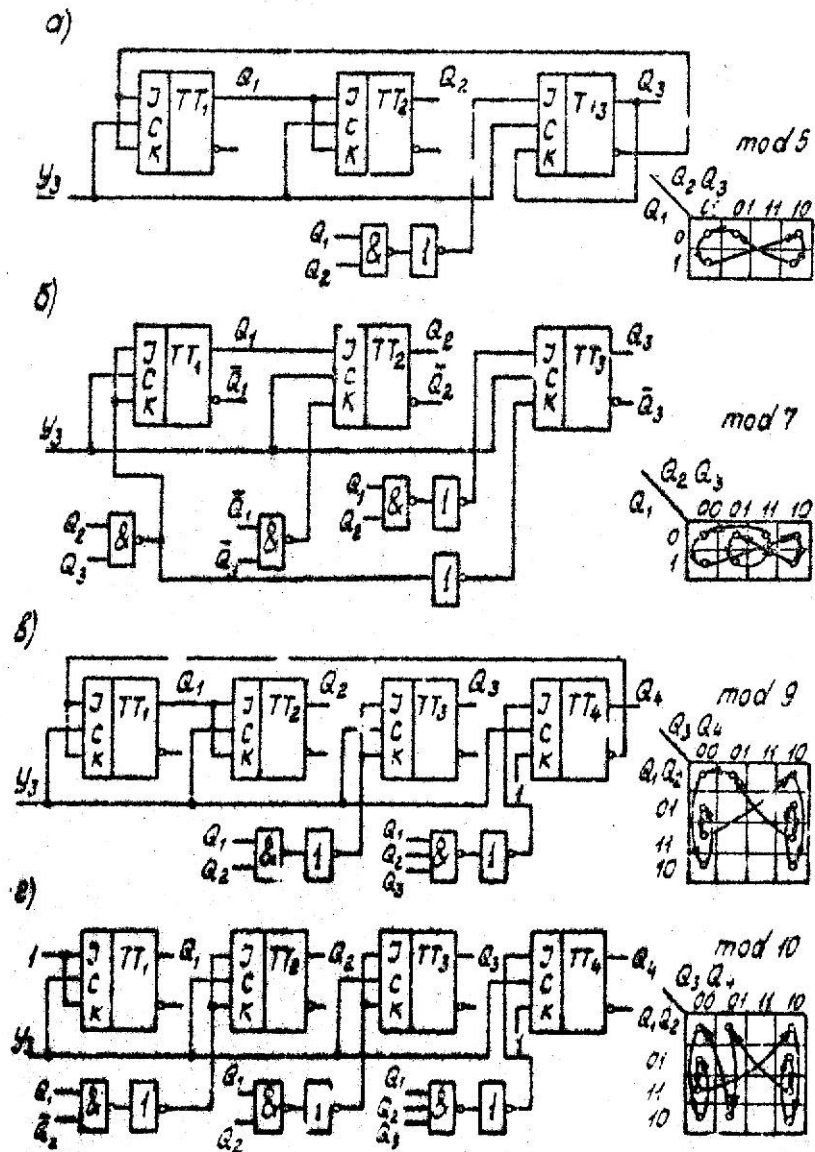


Рис. 45. Синхронные счетчики с модулями счета $M(a)$, $M(б)$, $M(в)$, $M(г)$

Изложенный метод введения обратных связей, обеспечивающий переключение счетчика из состояния $M - 1$ в нуль, является далеко не единственным. На рис. 44,в продемонстрирована схема троичного счетчика, переключение триггеров которого происходит в следующее последовательности: 00 \rightarrow 01 \rightarrow 11 \rightarrow 00 (первыми символами обозначаются состояния триггера $ТТ_2$). Карта переходов этого счетчика приведена на рис. 44,г.

На рис. 45 в качестве примеров представлены схемы счетчиков с модулями счета M_5 , M_7 , M_9 и M_{10} . Рядом с каждой схемой приведена карта переходов соответствующего счетчика.

Иногда желательно иметь счетчики, коэффициент пересчета которых можно изменять путем подачи внешних сигналов. Одна из возможных схем счетчиков (с максимальным числом состояний равным восьми) показана на рис. 46. Если на управляющих входах имеется комбинация сигналов $X_1 = X_2 = 1$, то счетчик работает в режиме вычитания с модулем М6, причем его состояния меняются в последовательности 0,7,6,5,4,3,2,1,0,7 и т.д. При комбинации $X_1 = 1, X_2 = 0$ счетчик осуществляет счет модулю М6, а его состояния меняются так: 0,5,4,3,2,1,0,5 и т.д. Если $X_1 = 0, X_2 = 1$, то $M=4$, а последовательность состояний 0,3,2,1,0. Последняя комбинация $X_1 = X_2 = 0$ дает модуль счета М2, причем поочередно меняются состояния 0 и 1.

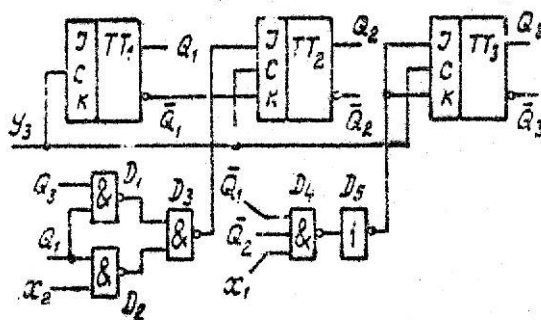


Рис. 46. Счетчик с управляемым модулем счета

Рассмотренные счетчики с произвольным модулем счета были реализованы на основе JK – триггеров, работающих в синхронном режиме. Принципиально счетчики с произвольным модулем могут строиться на основе асинхронных триггеров (рис. 37).

Безвентильные счетчики. Особую группу схем с произвольным модулем счета представляют так называемые безвентильные счетчики [3,4]. В основе построения таких счетчиков лежит принцип организации счета по модулю $2^n + 1$, т.е. на счетчиках, позволяющих увеличивать модуль счета на единицу.

Принцип увеличения модуля счета на единицу можно рассмотреть на примере троичного счетчика (рис. 44,а). Здесь после подачи двух импульсов $J_1 = J_2 = 0, K_1 = K_2 = 1$, в результате чего поступление третьего импульса приводит к обнулению обоих триггеров. Таким образом, преобразование одноразрядного двоичного счетчика (триггер ТТ₁) в троичный осуществляется путем введения дополнительного “единичного” триггера ТТ.

Аналогичный прием используется для увеличения на единицу модуля счета (коэффициента пересчета счетчика СТ_N с исходным модулем N (рис. 47,а)). Для этой цели необходимо вход J триггера младшего разряда счетчика СТ_N соединить с выходом \bar{Q} “единичного” триггера и выход старшего разряда счетчика СТ_N, со входом J дополни-

тельного триггера. Остальные связи осуществляются также, как и в троичном счетчике (рис. 44,а).

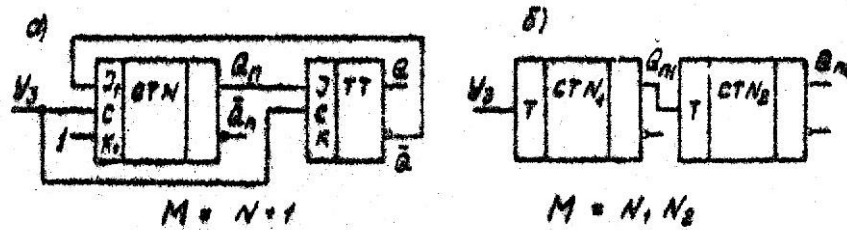


Рис. 47. Схемы, поясняющие принцип построения безвентильных счетчиков

После подачи $N-1$ входных импульсов на вход J триггера $ТТ$ будет подан единственный сигнал с выхода CTN . С приходом N -го импульса счетчик CTN обнуляется, а триггер $ТТ$ устанавливается в единичное состояние. Следовательно, сигналы на входах J принимают нулевые значения. Поступление $(N+1)$ -го импульса возвращает “единичный” триггер в нулевое состояние, не изменяя состояния счетчика CTN (он был обнулен заранее).

Прием, позволяющий увеличить модуль счета на единицу, позволяет реализовать весьма экономичные счетчики без использования дополнительных логических схем. На рис. 47, демонстрируется принцип построения счетчика с произвольным модулем $M = N_1 N_2$.

На рис. 48 приведено несколько схем безвентильных счетчиков. Десятичный счетчик (рис. 48,а) организован на двух последовательно включенных счетчиков с модулем счета M_2 на триггере $ТТ$ и M_5 ($5 = 4+1$) на триггерах $ТТ_2 - ТТ_4$. Функцию “единичного” триггера выполняет триггер $ТТ_4$. Счетчик с M_{11} (рис. 48,б) образован путем подключения у предшествующей схеме еще одного единичного триггера ($ТТ_5$). Счетчик с M_{12} (рис. 48,в) разбит на две группы: первая – на триггерах $ТТ_1$ и $ТТ_2$ (“единичный” триггер $ТТ_2$) осуществляет деление на три, вторая – на триггерах $ТТ_3$ и $ТТ_4$ – деление на четыре. Счетчик по модулю 13 реализуется путем подключения к счетчику с M_{12} дополнительного “единичного” триггера (рис. 48,г). С другими схемами безвентильных счетчиков можно познакомиться в [4].

Десятичные счетчики. Вследствие широкого распространения и возможности использования в логических подсистемах, эти счетчики обычно рассматриваются как специальные. Они получаются на основе обычных двоичных счетчиков с 16 состояниями, шесть из которых должны быть исключены. В десятичных счетчиках чаще всего используется натуральный двоичный код 8421, хотя иногда строятся счетчики в коде 4221, 2421, в коде с избытком 3 и т.д. [3].

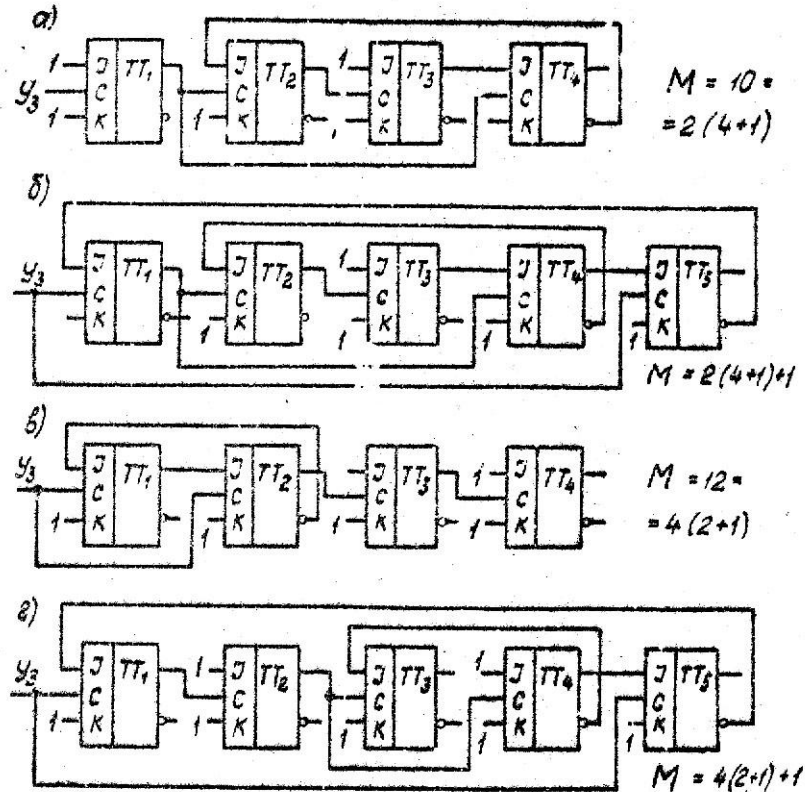


Рис. 48. Безвентильные счетчики с модулями М10(а), М11(б), М12(в), М13(г)

Основная схема суммирующего десятичного счетчика была приведена на рис. 45,г вместе с соответствующей картой переходов.

При наличии JK-триггеров с большим числом входов требуемые логические соотношения реализуются непосредственно на входах триггеров (рис.49,б). На том же рисунке приведена схема десятичного синхронного счетчика с последовательным переносом (рис.49,а).

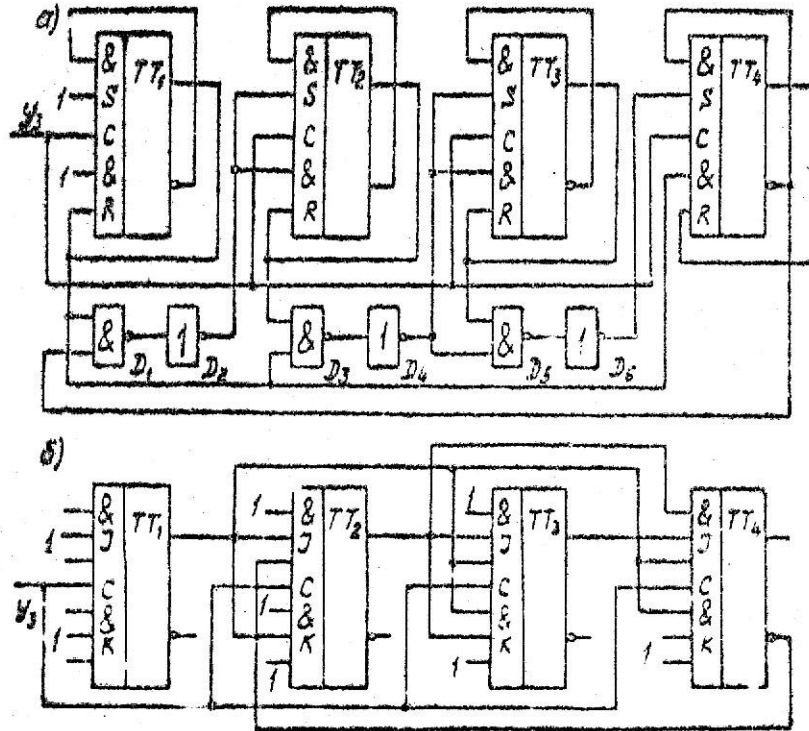


Рис. 49. Синхронные десятичные счетчики с последовательным (а) и параллельным (б) переносом

При нежестких требованиях к быстродействию десятичные счетчики могут выполняться асинхронными. Такие счетчики, реализованные на основе JK и D – триггеров, показаны на рис. 50 а, б соответственно. Логические цепи обеих схем выполнены таким образом, что счетчики до девяти осуществляют счет в натуральном двоичном коде, а с приходом десятого импульса все триггеры оказываются в нулевом состоянии.

Схема безвентильного десятичного счетчика была приведена на рис. 48, а.

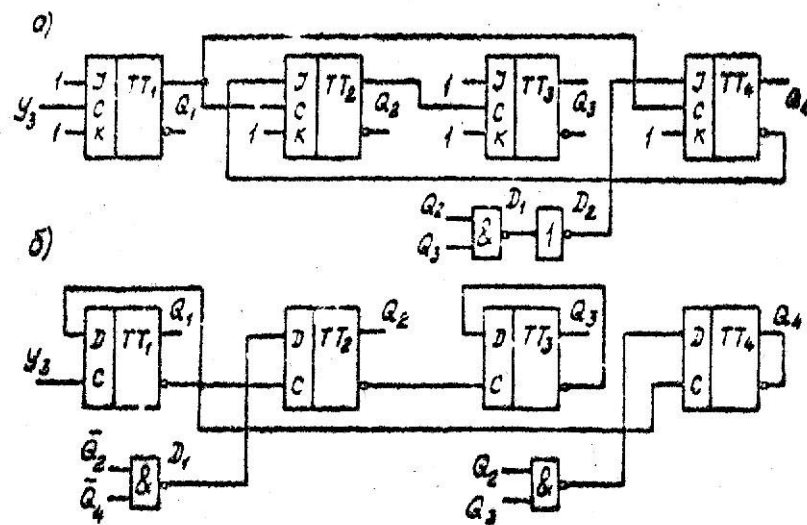


Рис. 50. Асинхронные десятичные счетчики

Условное изображение десятичного счетчика такое же, как к двоичного, только в главном поле (рис.42) указываются символы СТ10 вместо СТ2.

4.4. Реверсивные счетчики

Реализация реверсивного режима работы счетчиков заключается в том, что в зависимости от сигналов управления очетные импульсы либо свдадываются с содержимым счетчика, либо из него вычитаются.

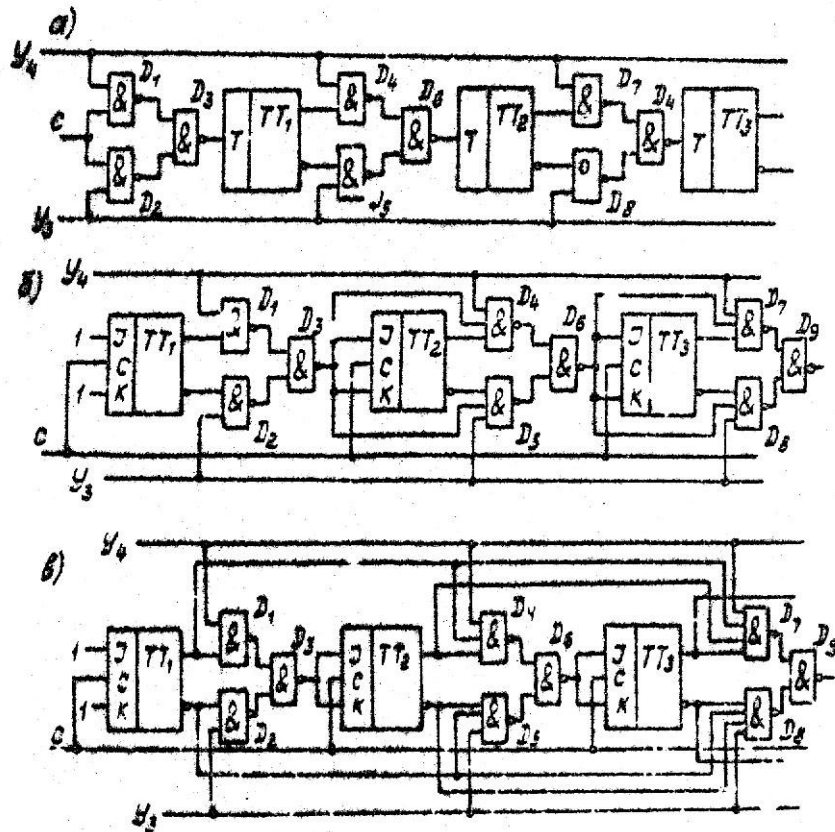


Рис. 51. Реверсивные счетчики

Схема асинхронного реверсивного счетчика с последовательным переносом представлена на рис.51, а. Здесь при $Y_3 = 1$ и $Y_4 = 0$ входы Т-триггеров подключаются к инверсным выходам триггеров предшествующих разрядов, т.е. осуществляется режим суммирования синхроимпульсов: $y_3: СТ = СТ + 1$. В противном случае, когда $Y_4 = 1$ и $Y_3 = 0$ счетчик работает в режиме вычитания: $Y_4: СТ = СТ - 1$. При $y_3 = y_4 = 0$ содержимое счетчика не изменяется. Очевидно, что в реверсивном счетчике цепь последовательного переноса увеличивается на два ЛЭ в каждом разряде, поэтому максимальная частота следования счетных импульсов снижается.

На рис.51,б приведена схема синхронного реверсивного счетчика с последовательным переносом. Логические элементы D_1, D_2, D_3 в первом разряде и аналогичные им в других разрядах образуют схему реверса. Здесь при $Y_3=1$ входы J_i и K_i подключаются к

выходам Q_{i-1} (режим сложения), а при $У_4=1$ - к выходам Q_{i-1} (режим вычитания) триггеров предшествующих разрядов. Принципиально так же работает реверсивный счетчик с параллельным переносом (рис.51,в).

Условное обозначение реверсивного счетчика с последовательным переносом и отдельными импульсными и входами для работы на суммирование (+1) и вычитание (-1) показано на рис.42, в. Символы P и Z обозначают выходы сигналов переноса и заема.

Возможен и другой метод реверсирования счётчика, который позволяет осуществлять суммирование или вычитание счетных импульсов без изменения выбранной структуры цепей межразрядного переноса. Этот метод основан на том, что в счетчике на совокупности взаимоинверсных выходов каждого разряда реализуются взаимодополняющие операции, т.е. если на единичных выходах счетные импульсы суммируются, то на нулевых – вычитаются. Такие счетчики, называемые счетчиками Херккерта, рассмотрены в [6].

4.5. Сдвигающие счетчики

Отличительная особенность всех сдвигающих счетчиков заключается в том, что переход счетчика за счет сдвига информации под действием счетных (сдвигающих) импульсов. Из большого разнообразия сдвигающих счетчиков [4,6] ниже будут рассмотрены две схемы: счетчик с унитарным кодированием и десятичный счетчик Джонсона.

Счетчик с унитарным кодированием. Унитарным кодированием называется такое кодирование, когда все состояния различаются положением единицы или нуля на выходах только одного из разрядов счетчика. Основное достоинство счетчиков с унитарным кодированием заключается в том, что они не требуют применения дешифраторов для различения их состояний.

Наиболее просто счетчик с унитарным кодированием получается на основе кольцевого сдвигающего регистра, в котором выход последнего разряда соединяется с информационным входом первого (рис.52, в), а тактовые синхроимпульсы $У_3$ являются счетными. Организованный таким образом счетчик иногда называется кольцевым. В счетчике с унитарным кодированием предусматривается цепь предварительной установки, подача сигнала на которую приводит к установке единицы (или нуля) в первом разряде, а во всех остальных – нулей (единиц).

Временная диаграмма работы счетчика с унитарным кодированием представлена на рис.52, б. Из её рассмотрения видно, что единица «перемещается» вдоль счетчика с приходом каждого счетного импульса, а модуль счета равен числу триггеров.

Счетчики с унитарным кодированием на основе сдвигающего регистра обрабатывают существенно меньший объем информации, чем в счетчике со взвешенным кодиро-

ванием. Однако простота и экономичность вследствие отсутствия дешифраторов определяет частое применение таких счетчиков в цифровых устройствах, тем более что они могут быть реализованы на простейших триггерных ячейках [6].

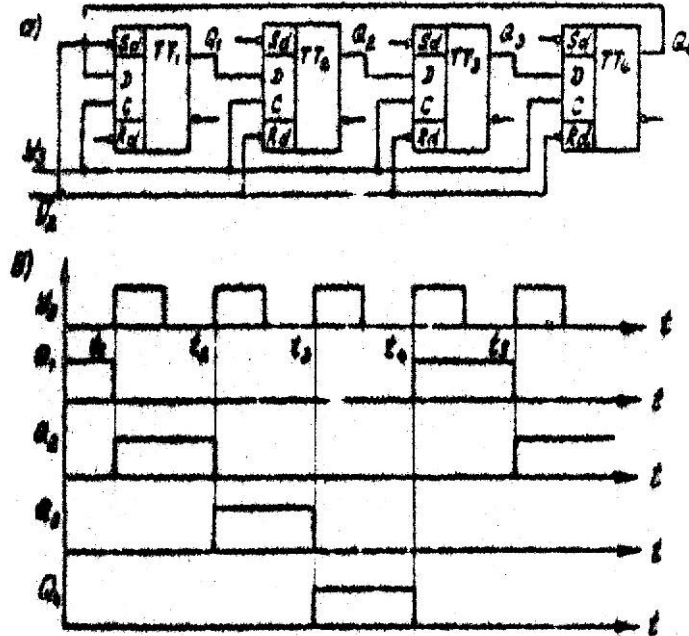


Рис. 52. Счетчик с унитарным кодированием (а) и его временная диаграмма (б)

Десятичный счетчик Джонсона. К числу сдвигающих счетчиков относится счетчик Джонсона, для кодирования состояний которого применяется так называемый код Либау-Крейга [6]. Пятиразрядный счетчик Джонсона (рис.53, в) фактически представляет собой декаду, обладающую быстродействием, соответствующим быстродействию счетчика со взвешенным кодированием при использовании цепей параллельного переноса.

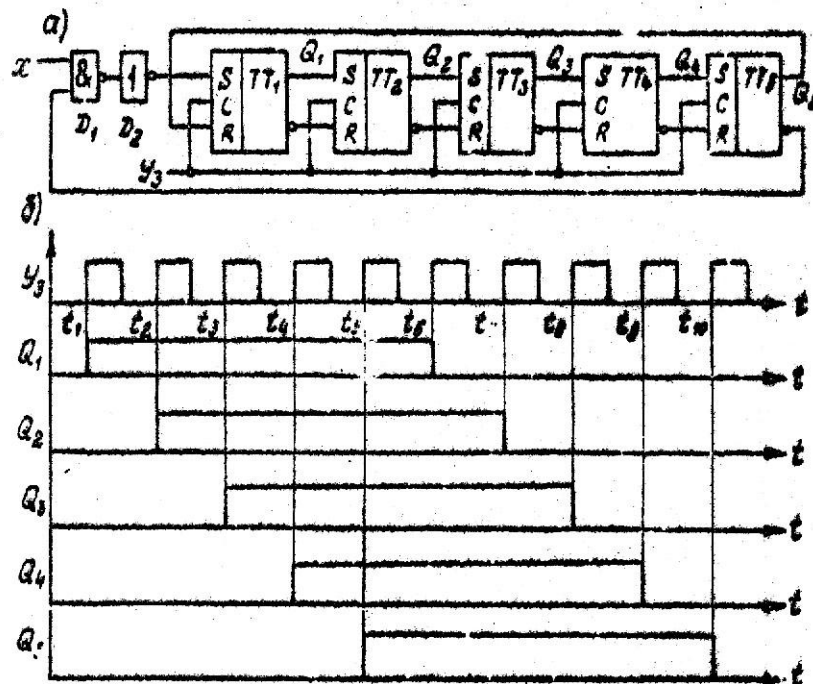


Рис. 53. Десятичный счетчик Джонсона (а) и его временная диаграмма (б)

В отличие от кольцевого счетчика (см. рис.52, в) выход Q_5 триггера последнего разряда связан с входом R триггера ТТ₁, а инверсный выход $\overline{Q_5}$ – с входом S первого триггера либо непосредственно, либо через дополнительную логическую группу D₁ и D₂. В последнем случае при X=0 обеспечивается обнуление всех триггеров счетчика после подачи серии синхроимпульсов, и счетчик будет оставаться в этом состоянии до тех пор, пока X не примет единичного значения.

Принцип работы счетчика Джонсона пояснится временной диаграммой, представленной на рис.53, б. Аналогичным образом строятся счетчики Джонсона на D- и JK-триггерах.

Одно из основных достоинств счетчика Джонсона заключается в простоте декодирующих цепей и симметричной нагрузке триггеров.

$$(0 = \overline{Q_1}\overline{Q_5}, 1 = Q_1\overline{Q_2}, 2 = Q_2\overline{Q_3}, 3 = Q_3\overline{Q_4}, 4 = Q_4\overline{Q_5}, 5 = Q_1\overline{Q_5}, 6 = \overline{Q_1}Q_2, 7 = \overline{Q_2}Q_3, \\ 8 = \overline{Q_3}Q_4, 9 = \overline{Q_4}Q_5)$$

Другие интересные схемыдвигающих счетчиков рассмотрены в [3,4,6].

ЗАКЛЮЧЕНИЕ

В данном пособии были изложены принципы работы важнейших триггерных схем, реализуемых в интегральном исполнении, а также основных узлов последовательного типа современных ЦВМ. Однако, в связи с ограниченностью объема пособия, ряд схем, широко используемых в цифровых устройствах, освещен в пособии либо явно недостаточно, либо вообще не был рассмотрен. Это объясняется тем, что они либо изложены в литературе достаточно подробно, либо в настоящее время не имеют первостепенного значения, особенно на этапе обучения в ВУЗе. С такими вопросами студенты могут ознакомиться в процессе самостоятельных занятий.

В частности комбинационные схемы хорошо изложены в [3,4,5,6]. Основы синтеза и различные пересчетные схемы весьма подробно освещены в [3]. Со специальными типами счетчиков и регистров можно познакомиться в [4,6]. Многие важные вопросы последовательно-параллельного преобразования информации изложены в [3]. Для изучения генераторов импульсных последовательностей целесообразно обратиться к [4,6]. Тонкости работы триггеров с аналоговыми элементами памяти с исключительной скрупулезностью отмечены в [7]. Справочные данные по современным микросхемам микроэлектронным узлам ЦВМ, а также некоторые рекомендации по их практическому применению, приведены, например, в [8].

СПИСОК ИЛЛЮСТРАЦИЙ

	Стр.
Рис. 1. Асинхронные триггеры на элементах И-НЕ (а), ИЛИ-НЕ (б) и их условные обозначения (в, г).....	9
Рис. 2. Асинхронные триггеры на элементах И-НЕ (а), ИЛИ-НЕ (б) и их условные обозначения (в, г).....	12
Рис. 3. Временные диаграммы работы синхронного RS-триггера, управляемого уровнем синхроимпульса	13
Рис. 4. Асинхронный (а) и управляемые уровнем синхроимпульса (г,д) D-триггеры и их условные обозначения (б,в).....	16
Рис. 5. Т- и TV-триггеры, управляемые уровнем синхроимпульса.....	18
Рис. 6. Асинхронный (а) и синхронный с управлением уровнем импульса (в) JK-триггеры и их условные обозначения (б, г).....	21
Рис. 7. Временные диаграммы работы синхронного JK-триггера, управляемого уровнем синхроимпульса	22
Рис. 8. Синхронный S-триггер	23
Рис. 9. Синхронный R-триггер.....	23
Рис. 10. Синхронный E-триггер	24
Рис. 11. Универсальный RS-триггер с инвертором	27
Рис. 12. Условные обозначения универсальных триггеров	29
Рис. 13. Т-триггер на основе универсального RS-триггера.....	29
Рис. 14. Принцип реализации JK-триггера на основе универсального RS-триггера	31
Рис. 15. Универсальный RS-триггер с запрещающими связями	32
Рис. 16. Универсальный RS-триггер с разнополярным управлением.....	33
Рис. 17. универсальный D-триггер.....	34
Рис. 18. Триггерная ячейка на основе трех триггеров.....	36
Рис. 19. Универсальный JK-триггер.....	37
Рис. 20. Универсальный D-триггер	38
Рис. 21. Универсальный JK-триггер с диодами с накоплением заряда	40
Рис. 22. Универсальный JK-триггер с барьерными запоминающими емкостями	42
Рис. 23. Разностный элемент управления	44
Рис. 24. Универсальный JK-триггер с разностными элементами управления	46
Рис. 25. Накопительные регистры на асинхронных RS-триггерах	49
Рис. 26. Накопительные регистры на универсальных триггерах.....	50
Рис. 27. Условные обозначение накопительного регистра.....	51
Рис. 28. Принцип построения одноктактного сдвигающего регистра на асинхронных RS-триггерах.....	52
Рис. 29. Принцип построения двухтактного сдвигающего регистра на асинхронных RS-триггерах.....	53
Рис. 30. Временная диаграмма следования управляющих импульсов в двухтактном регистре	54
Рис. 31. Цепи межтриггерных связей регистров, построенных на универсальных логических элементах.....	54
Рис. 32. Сдвигающие регистры на универсальных триггерах	56
Рис. 33. Сдвигающие регистры на универсальных триггерах с приемом и сдвигом информации по синхросигналу	57
Рис. 34. Условное обозначение сдвигающего регистра.....	59
Рис. 35. Реверсивный регистр на основе D-триггеров	60
Рис. 36. Регистр для сдвига специальной цифровой информации.....	61

Рис. 37. Организация Т-триггеров из универсальных триггеров	63
Рис. 38. Асинхронные двоичные счетчики с последовательным переносом	64
Рис. 39. Временные диаграммы работы счетчика с внутренним переносом (Рис. 38.б)....	65
Рис. 40. Временные диаграммы работы счетчиков с непосредственными связями	67
Рис. 41. Асинхронные счетчики со сквозным (а) и параллельным (б) переносом	69
Рис. 42. Условные обозначения суммирующего (а), вычитающего (б) и реверсивного двоичных счетчиков	70
Рис. 43. Двоичные синхронные счетчики	71
Рис. 44. Синхронные троичные счетчики	73
Рис. 45. Синхронные счетчики с модулями счета М(а), М(б), М(в), М(г).....	74
Рис. 46. Счетчик с управляемым модулем счета	75
Рис. 47. Схемы, поясняющие принцип построения беззвонковых счетчиков	76
Рис. 48. Беззвонковые счетчики с модулями М10(а), М11(б), М12(в), М13(г)	77
Рис. 49. Синхронные десятичные счетчики с последовательным (а) и параллельным (б) переносом.....	78
Рис. 50. Асинхронные десятичные счетчики.....	78
Рис. 51. Реверсивные счетчики	79
Рис. 52. Счетчик с унитарным кодированием (а) и его временная диаграмма (б).....	81
Рис. 53. Десятичный счетчик Джонсона (а) и его временная диаграмма (б).....	82

СПИСОК ТАБЛИЦ

Стр.

Табл. 1. Таблица истинности асинхронного RS-триггера	10
Табл. 2. Таблица истинности синхронного RS-триггера	14
Табл. 3. Таблица истинности D-триггера	16
Табл. 4. Таблица истинности синхронного DV-триггера	17
Табл. 5. Таблица истинности синхронного T-триггера	18
Табл. 6. Таблица истинности TV-триггера	19
Табл. 7. Таблица истинности JK-триггера.....	20
Табл. 8. Таблица истинности S-триггера.....	22
Табл. 9. Таблица истинности R-триггера	22
Табл. 10. Таблица истинности E-триггера.....	23

СПИСОК ЛИТЕРАТУРЫ

1. Агаханян Т.М., Плеханов С.Л. Интегральные триггеры устройств автоматики. – М.: Машиностроение, 1978.
2. Азов А.К. Интегральные логические элементы на биполярных транзисторах (учебное пособие). – Л.: ЛИТМО, 1979.
3. Будинский Я. Логические цепи в цифровой технике. М.: Связь, 1977.
4. Букреев И.Н., Мансуров Б.М., Горячев В.И. Микроэлектронные схемы цифровых устройств. – М.: Сов. радио, 1975.
5. Каган Б.М., Каневский М.М. Цифровые Вычислительные машины и системы. – М.: Энергия, 1973.
6. Проектирование микроэлектронных цифровых устройств. Авторы: О.А. Пятлин, П.И. Овсицер, И.М. Лазер, А.И. Кулешов, В.А. Шубарев, под редакцией С.А. Майорова. – М.: Сов. радио, 1977.
7. Скарлетт Д. Транзисторно-транзисторные логические интегральные схемы и их применение. – М.: Мир, 1974.
8. Справочник по интегральным микросхемам. Под общей редакцией Б.В. Тарабина – М.: Энергия, 1977.
9. Шагурин И.И. Транзисторно-транзисторные логические схемы. – М.: Сов. радио, 1974.

СОДЕРЖАНИЕ

	Стр.
ВВЕДЕНИЕ	3
1. РАЗНОВИДНОСТИ ИНТЕГРАЛЬНЫХ ТРИГГЕРОВ	4
1.1. Классификация интегральных триггеров	4
1.2. RS-триггеры	8
1.3. D- и DV-триггеры	15
1.4. T- и TV-триггеры	17
1.5. JK-триггеры	19
1.6. S-, R- и E-триггеры	22
2. УНИВЕРСАЛЬНЫЕ ТРИГГЕРЫ	25
2.1. Основные сведения об универсальных триггерах	25
2.2. Универсальные MS-триггеры	26
2.3. Универсальные триггерные ячейки на основе трех триггеров	35
2.4. Универсальные триггеры с аналоговыми элементами памяти	39
3. РЕГИСТРЫ	47
3.1. Накопительные регистры	47
3.2. Сдвигающие регистры на асинхронных RS-триггерах	51
3.3. Сдвигающие регистры на универсальных триггерах	55
3.4. Регистры для сдвига специальной информации	60
4. СЧЕТЧИКИ	62
4.1. Асинхронные двоичные счетчики	62
4.2. Синхронные двоичные счетчики	70
4.3. Счетчики с произвольным модулем доступа	72
4.4. Реверсивные счетчики	79
4.5. Сдвигающие счетчики	80
ЗАКЛЮЧЕНИЕ	83
СПИСОК ИЛЛЮСТРАЦИЙ	84
СПИСОК ТАБЛИЦ	86
СПИСОК ЛИТЕРАТУРЫ	87