

Вопросы для рубежного контроля по модулю №2 дисциплины «Цифровая схемотехника»

I. Базовые операционные элементы комбинационного типа.

1. Описать функцию мультиплексора. Привести условное обозначение, таблицу истинности и логическую схему одноразрядного мультиплексора «4-в-1», описать «внутреннее» функционирование схемы.
2. Описать функцию мультиплексора. Описать способ реализации произвольной логической функции при помощи мультиплексора. Привести схему, реализующую логическую функцию и описать ее работу:

$$Y = (\overline{x_1} \cdot \overline{x_2} \cdot x_3) + (x_1 \cdot \overline{x_2} \cdot x_3) + (\overline{x_1} \cdot x_2 \cdot \overline{x_3})$$

3. Описать функцию мультиплексора. Привести и описать функционирование схемы мультиплексора «4-в-1», построенной на мультиплексорах из «2-в-1».
4. Описать функцию демultipлексора. Привести условное обозначение, таблицу истинности и логическую схему одноразрядного демultipлексора «1-в-4», описать «внутреннее» функционирование схемы.
5. Описать функцию двоичного дешифратора. Привести условное обозначение, таблицу истинности и логическую схему двоичного дешифратора «2-в-4». Описать «внутреннее» функционирование схемы.
6. Описать функцию двоичного дешифратора. Привести схему подключения дешифратора в качестве селектора адреса устройств (памяти, ввода-вывода) на шине ЭВМ и описать функционирование этой схемы.
7. Описать функцию двоичного дешифратора. Описать способ реализации произвольной логической функции с использованием дешифратора. Привести схему, реализующую приведенную ниже логическую функцию и описать ее работу:

$$Y = (\overline{x_1} \cdot x_2 \cdot x_3 \cdot \overline{x_4}) + (x_1 \cdot \overline{x_2} \cdot x_3 \cdot x_4) + (x_1 \cdot x_2 \cdot x_3 \cdot \overline{x_4})$$

8. Описать функцию двоичного дешифратора (Д). Привести и описать функционирование схемы наращивания размерности дешифратора: из нескольких Д «2-в-4» построить Д «4-в-16».
9. Привести описание функции двоичного шифратора и двоичного приоритетного шифратора. Привести условное обозначение, таблицу истинности и логическую схему двоичного шифратора «8-в-3», описать «внутреннее» функционирование схемы.
10. Привести условное обозначение, таблицу истинности и логическую схему полного компаратора по величине («больше-меньше-равно») для 2-х разрядных двоичных чисел. Описать «внутреннее» функционирование схемы.
11. Привести схему полного компаратора по величине («больше-меньше-равно») для двух 2-х разрядных двоичных чисел, построенную на базе мультиплексора (-ов). Реализация входов наращивания разрядности компаратора НЕ требуется.

12. Привести схему вычисления бита чётности для 4-х разрядного двоичного слова, построенную на базе 2-х разрядных (2 входа) двоичных дешифраторов.
13. Приведите схемы компаратора равенства двух 4-х разрядных двоичных чисел и схемы свёртки 4-х разрядного двоичного числа пирамидального и последовательного типов. Опишите их функционирование. Сравните быстродействие этих двух типов схем свертки.
14. Описать функцию одноразрядных сумматора и полусумматора. Привести условное обозначение, таблицу истинности и схему одноразрядного полного сумматора. Описать «внутреннее» функционирование схемы.
15. Описать функцию одноразрядных сумматора и полусумматора. Привести схему с последовательным переносом и описать функционирование сумматора 4-х разрядных двоичных чисел.
16. Привести условное обозначение, таблицу истинности и схему комбинационного сдвигателя на 0..3 разряда. Описать «внутреннее» функционирование схемы.

II. Триггеры и регистры.

17. Привести классификацию триггеров с описанием особенностей каждого класса.
18. Покажите на временной диаграмме с пояснениями отличия функционирования триггера-зашелки и синхронного по фронту D-триггера. Триггеры с каким способом синхронизации находят наибольшее применение в цифровой электронной технике и почему?
19. Привести схему и описать функционирование асинхронного RS-триггера на базе элементов ИЛИ-НЕ. Поясните функционирование на временной диаграмме. Какая логика информационных сигналов (ПОЗИТИВНАЯ или НЕГАТИВНАЯ) характерна для этой схемы?
20. Привести схему и описать функционирование асинхронного RS-триггера на базе элементов И-НЕ. Поясните функционирование на временной диаграмме. Какая логика информационных сигналов (ПОЗИТИВНАЯ или НЕГАТИВНАЯ) характерна для этой схемы?
21. Привести схему и описать функционирование синхронных RS- и D-триггеров с управлением уровнем синхросигнала, построенного на базе элементов И-НЕ. Поясните функционирование на временной диаграмме.
22. Привести схему и описать функционирование T-триггера с управлением уровнем синхросигнала, построенного на базе элементов И-НЕ. Какие ограничения на длительность тактового импульса характерны для этой схемы? Как увеличить предельно допустимую длительность импульса?
23. Привести схему и описать функционирование синхронного JK-триггера с управлением уровнем синхросигнала, построенного на базе элементов И-НЕ. Какие ограничения на длительность синхроимпульса характерны для этой схемы? Как увеличить предельно допустимую длительность импульса синхронизации?
24. Привести схему и описать функционирование синхронного RS-триггера, построенного по схеме MS-триггера с инвертором. Покажите на временной диаграмме изменение состояний входных сигналов, выходов M-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.

25. Привести схему и описать функционирование синхронного Т-триггера, построенного по схеме трехтриггерной ячейки. Покажите на временной диаграмме изменение состояний входных сигналов, выходов триггеров 1-й ступени и выходов триггера 2-й ступени.
26. Привести схему и описать функционирование синхронного RS-триггера, построенного по схеме трехтриггерной ячейки. Покажите на временной диаграмме изменение состояний входных сигналов, выходов триггеров 1-й ступени и выходов триггера 2-й ступени.
27. Привести схему и описать функционирование синхронного Т-триггера, построенного по схеме MS-триггера с запрещающими связями. Покажите на временной диаграмме изменение состояний входных сигналов, выходов М-триггера и выходов S-триггера. В чем состоит преимущество схемы MS-триггера с запрещающими связями по сравнению со схемой MS-триггера с инвертором.
28. Привести схему и описать функционирование синхронного D-триггера на базе MS-триггера с инвертором. Для демонстрации функционирования MS-триггера покажите на временной диаграмме изменение состояний входных сигналов MS-триггера, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.
29. Привести схему и описать функционирование синхронного D-триггера на базе MS-триггера с запрещающими связями. Для демонстрации функционирования MS-триггера покажите на временной диаграмме изменение состояний входных сигналов MS-триггера, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором по сравнению со схемой с запрещающими связями.
30. Привести схему и описать функционирование синхронного JK-триггера на базе MS-триггера с инвертором. Для демонстрации функционирования MS-триггера покажите на временной диаграмме изменение состояний входных сигналов MS-триггера, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.
31. Приведите схему и опишите функционирование 4-х разрядного накопительного регистра на базе RS-триггеров с использованием парафазного управления триггерами. Продемонстрируйте это на временной диаграмме.
32. Приведите схему и опишите функционирование 4-х разрядного накопительного регистра-защелки с асинхронным сбросом, построенного на D-триггерах. Продемонстрируйте это на временной диаграмме.
33. Приведите схему, опишите функционирование и нарисуйте временную диаграмму сигналов для двоичного 3-х разрядного счетчика с последовательным переносом и непосредственными связями между разрядами, построенного на синхронных D-триггерах.
34. Приведите схему, опишите функционирование и нарисуйте временную диаграмму сигналов для двоичного 3-х разрядного счетчика со сквозным переносом между разрядами, построенного на синхронных Т-триггерах.
35. Приведите схему, опишите функционирование и нарисуйте временную диаграмму сигналов для двоичного 3-х разрядного счетчика с параллельным переносом между разрядами, построенного на синхронных JK-триггерах.
36. Приведите схему, опишите функционирование и нарисуйте временную диаграмму сигналов для двоичного 3-х разрядного счетчика с параллельным переносом между разрядами, с коэффициентом пересчета $K=7$, построенного на синхронных JK-триггерах.