

Содержание:

1. Цели и задачи
2. Схема вентиля AND
3. Два последовательно соединённых вентиля AND
4. Четыре параллельно соединённых вентелей AND
5. Реализация логической функции в базисе ИЛИ-НЕ
6. Вывод

1. Цели и задачи

Цели:

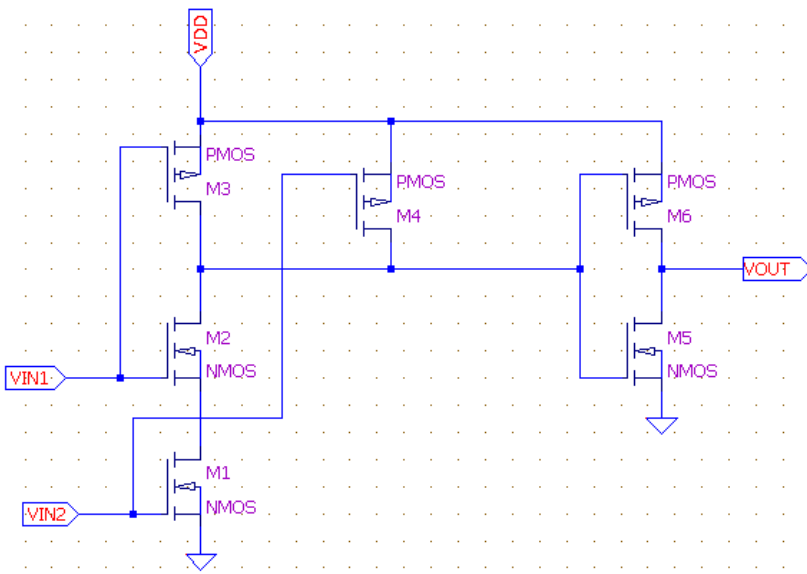
1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с основными параметрами цифровых вентелей.

Задачи:

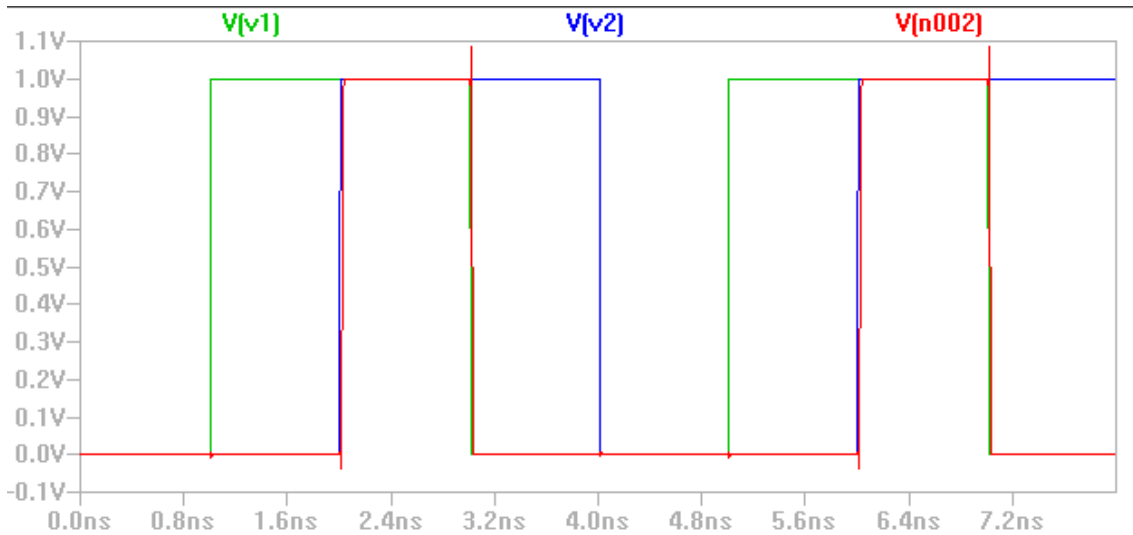
1. Построить вентиль AND и измерить задержку схемы.
2. Простроить схемы из двух последовательных вентелей и четырёх параллельно соединённых вентелей и измерить их характеристики.
3. Реализовать логическую функцию $Y = X_1 \wedge X_2 \wedge X_3$ в базисе ИЛИ-НЕ и замерить задержку распространения сигнала и максимальную частоту изменения входных сигналов.

2. Схема вентиля AND.

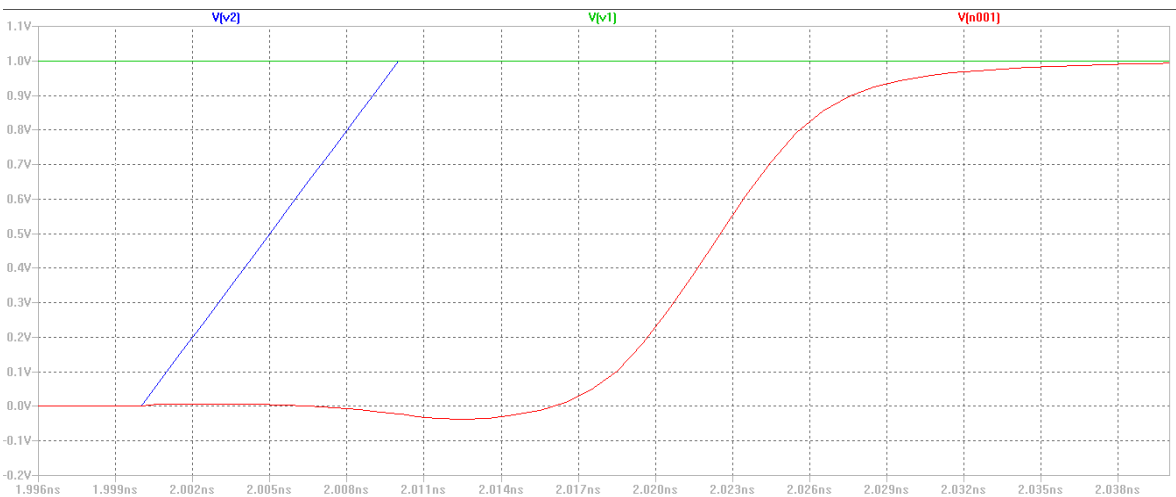
Вентиль AND на pMOS и nMOS транзисторах проектируется путём объединения вентилях NAND (M1, M2, M3, M4) и NOT. (M5, M6).



Моделирование работы вентиля без нагрузки:



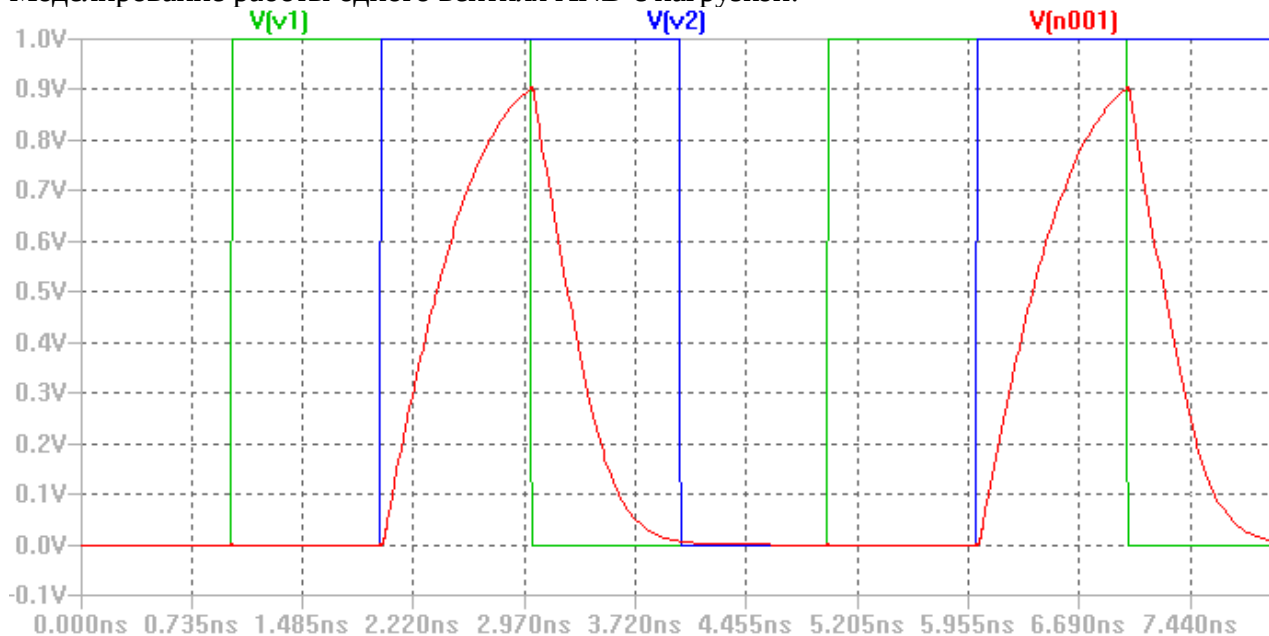
Определение задержки схемы без нагрузки:



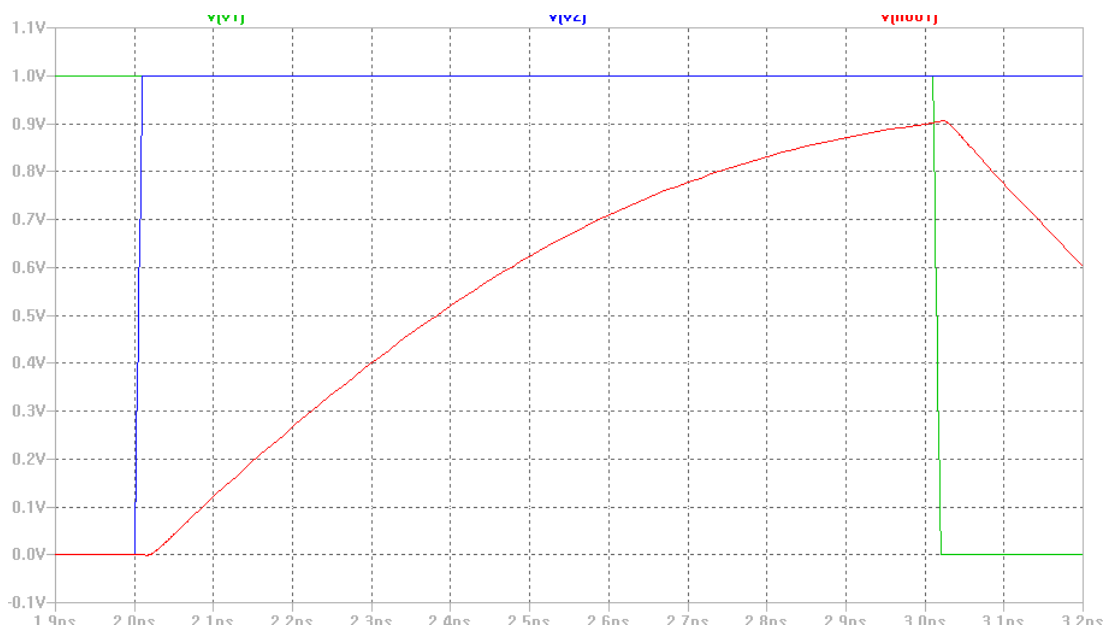
Из графика видно, что задержка составляет ~17ps.

Нагрузка: конденсатор 100f и резистор 100K.

Моделирование работы одного вентиля AND с нагрузкой:



Определение задержки сигнала через схему с нагрузкой:

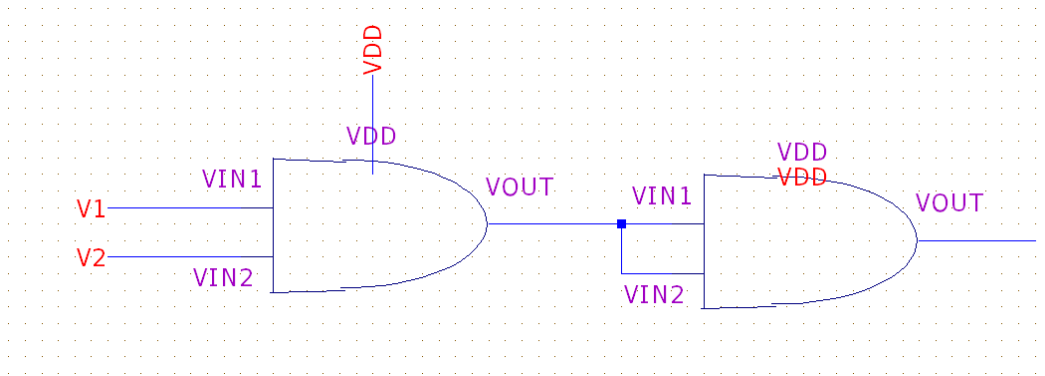


Из графика видно, что задержка составляет $\sim 0.5\text{ns}$.

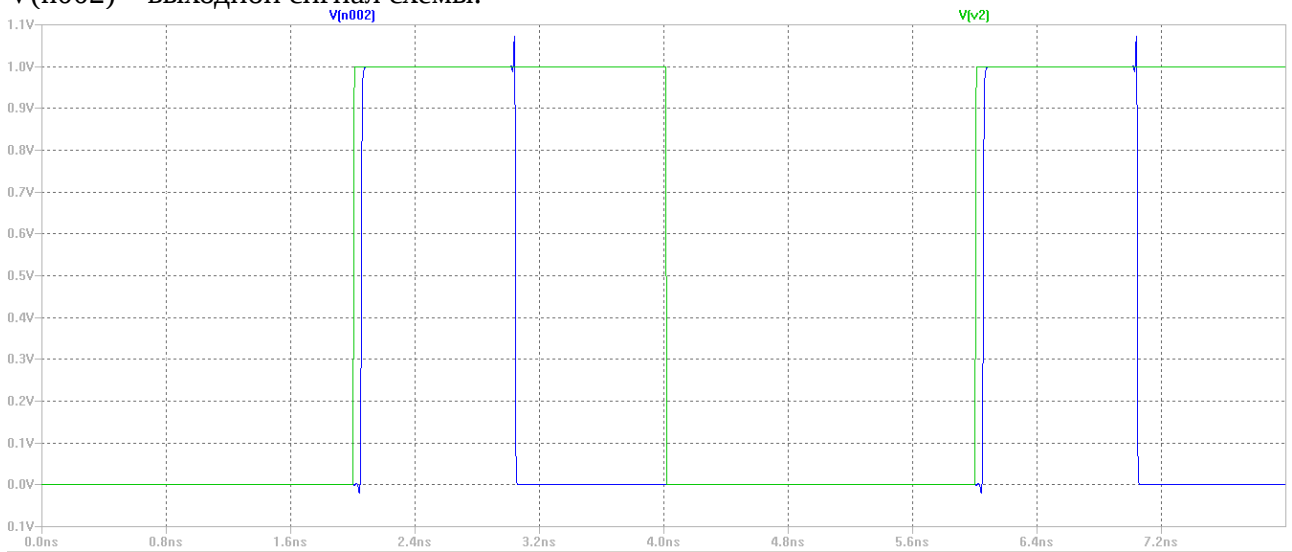
Временная диаграмма с очевидной ясностью свидетельствует о верной реализации вентиля: высокому напряжению только двух входов соответствует высокое напряжение на выходе вентиля с учётом положительного кодирования. При изменении состояния наблюдаются скачки напряжения, которые являются следствием переходных процессов.

Нагрузка предаёт сигналу близкий к пилообразному вид вследствие повышения сопротивления на выходе элемента ; задержка сигнала в таком случае выше задержки схемы без нагрузки в ~ 29 раз ($0.5\text{ns} / 17\text{ps}$).

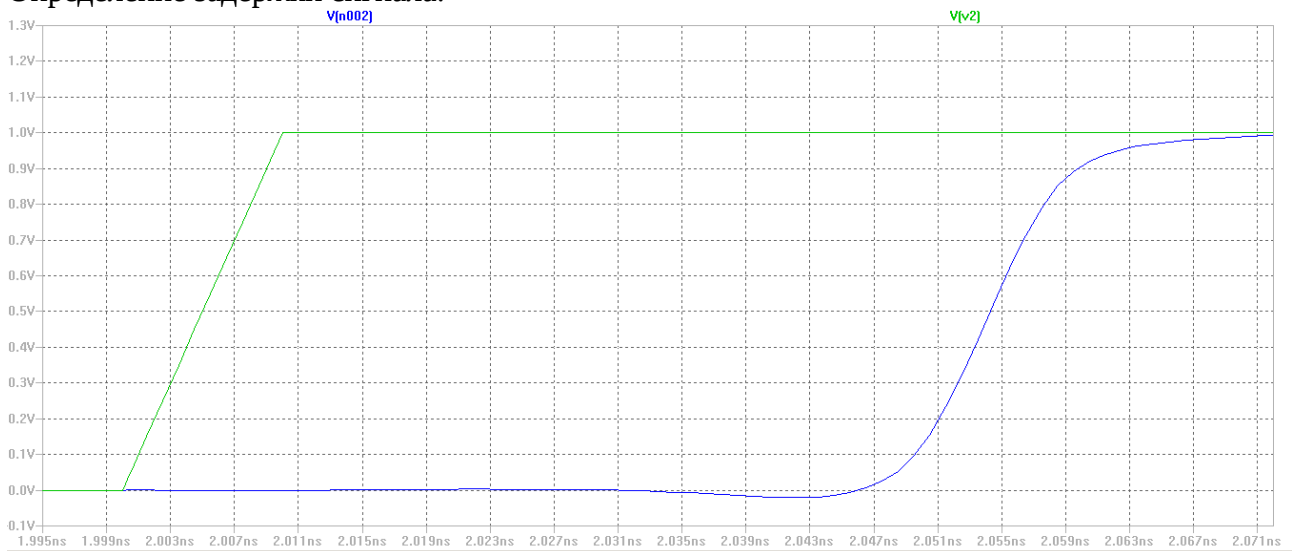
3. Два последовательно соединённых вентиля AND.



Моделирование работы схемы:
V(n002) – выходной сигнал схемы.



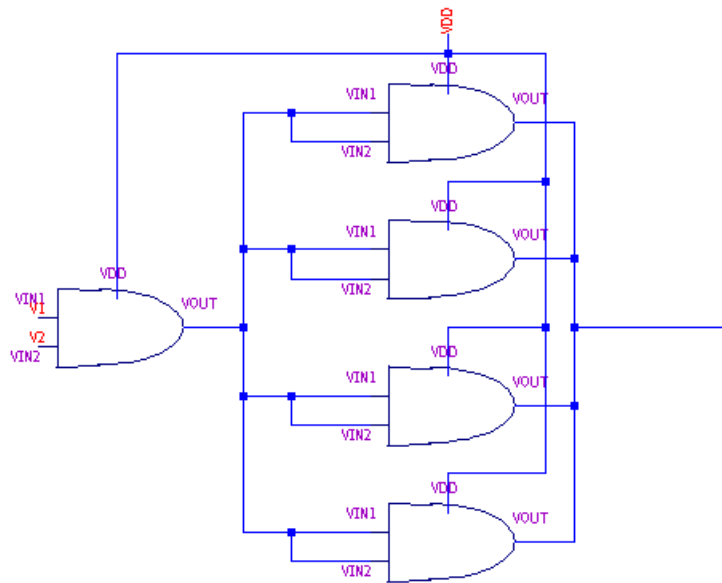
Определение задержки сигнала:



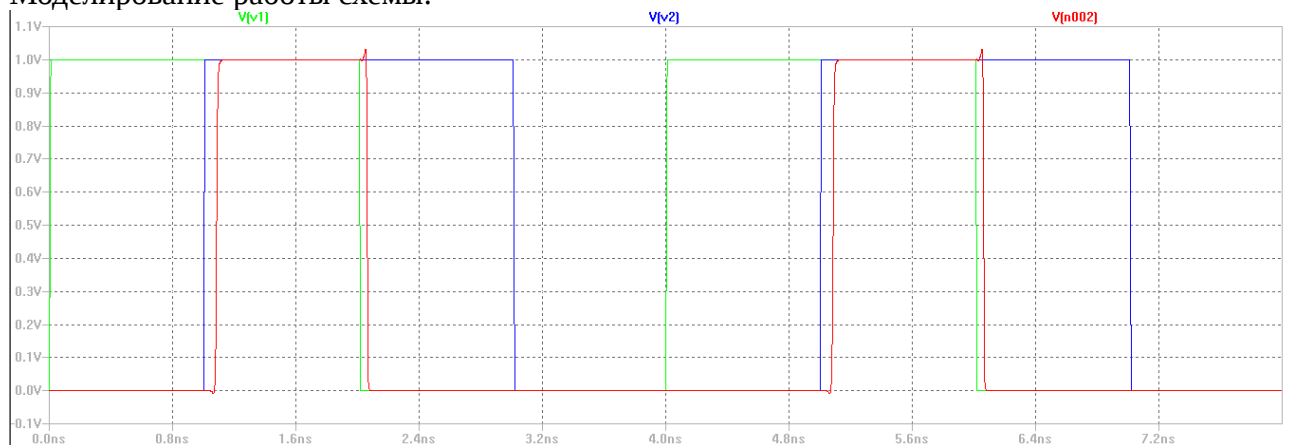
Из графика задержка сигнала составляет ~48ps

Задержка в сравнении с одним элементом больше примерно в три раза.

4. Четыре параллельно соединённых ветвей AND.



Моделирование работы схемы:



Определение задержки:

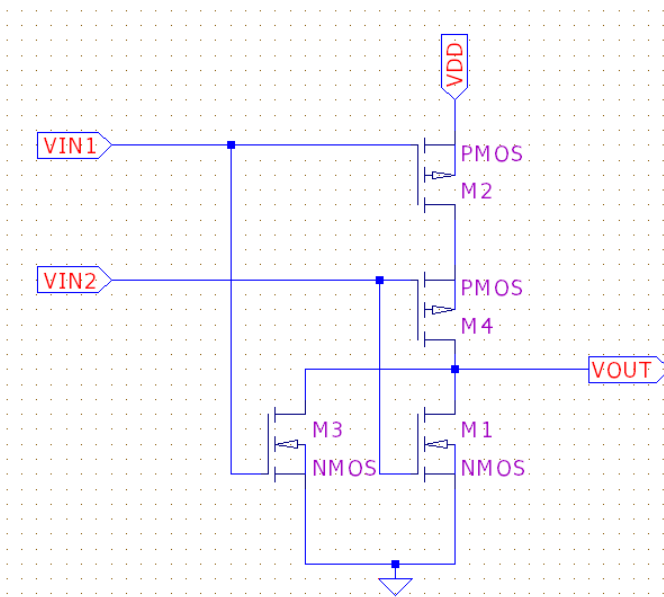


Задержка составляет примерно 70ns.

Из графика следует, что задержка ~20ps.

5. Реализация логической функции в базисе ИЛИ-НЕ (стрелка Пирса).

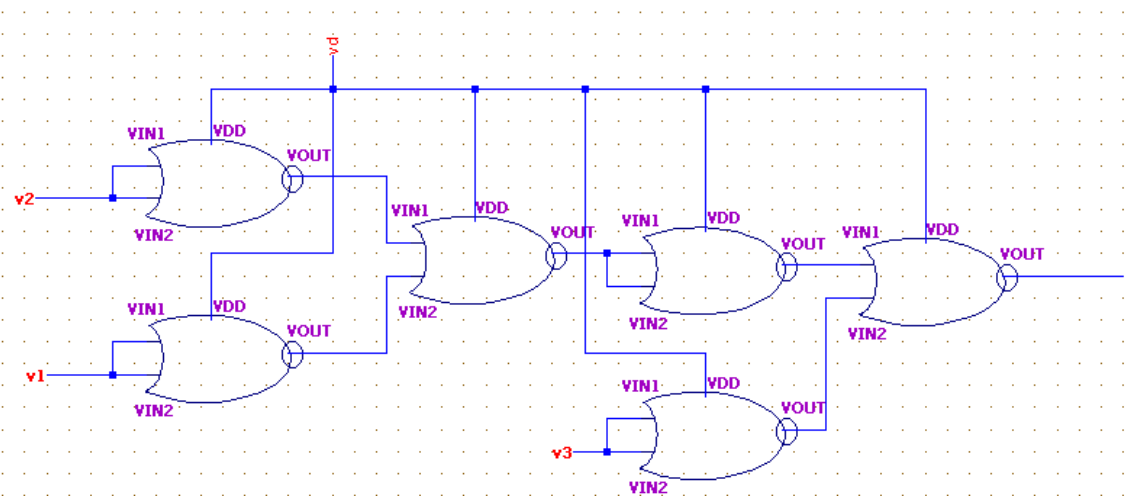
Вентиль ИЛИ-НЕ:



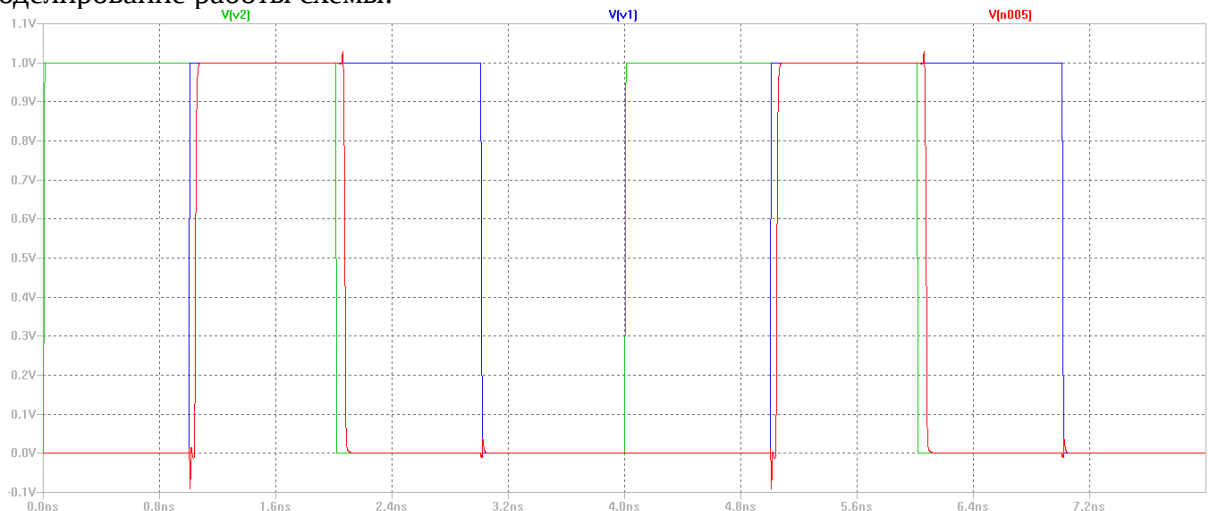
Логическая функция: $Y = X1 \wedge X2 \wedge X3$

В базисе ИЛИ-НЕ приводится в виду: $Y = \overline{\overline{X1} \downarrow \overline{X2} \downarrow \overline{X3}}$; где отрицание выражается через применение стрелки Пирса на сам аргумент: $\overline{X} = X \downarrow X$

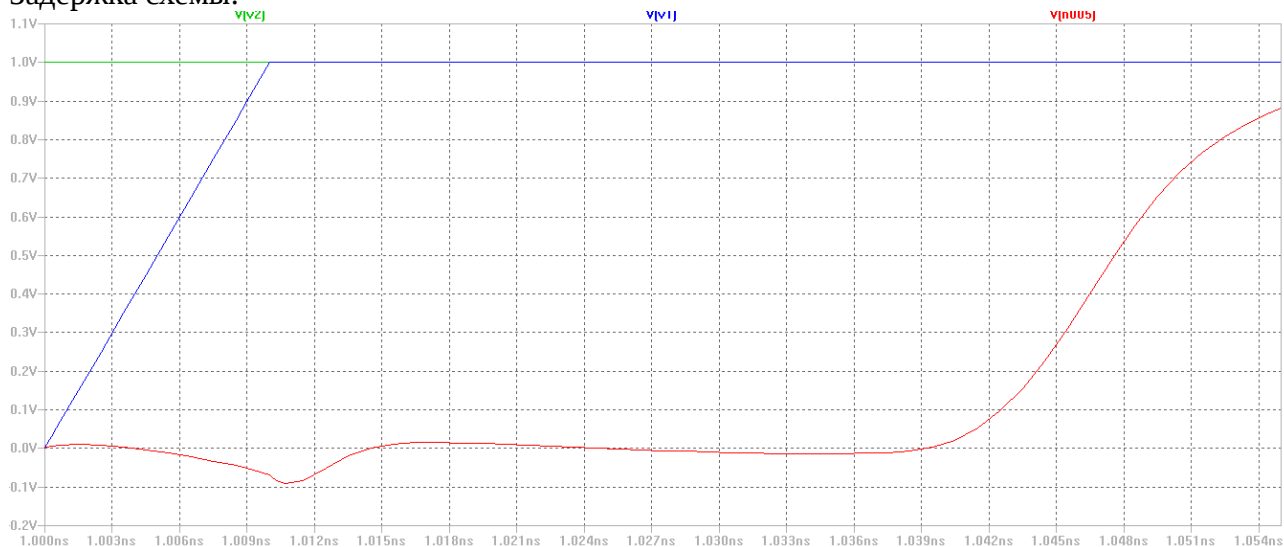
Таким образом, схема с двухходными вентилями имеет вид:



Моделирование работы схемы:



Задержка схемы:



Задержка схемы составляет ~ 43 ps.

Из вышеприведённых данных следует, что задержка схемы, состоящей из элементов NOR, меньше задержки схемы из элементов AND (NAND + NOT).

Путём исследования схемы на разных показателях частоты была выявлена максимальная частота работы составляет примерно 2ГГц.

6. Вывод

Данная лабораторная работа предоставила возможность ознакомиться с базовыми понятиями цифровой схемотехники и программным обеспечением для разработки и моделирования цифровых схем. Изучение теоретического материала позволило ознакомиться с понятием МОП-транзистора, понять принцип работы и отличия n-МОП и p-МОП транзисторов, осознать сущность построения логических элементов на их основе.

На собственном опыте удалось понять причину распространения базисов ИЛИ-НЕ/И-НЕ: на транзисторах КМОП их реализация много эффективнее и экономнее, исходя из полученных результатов работы.