

Университет Информационных Технологий Механики и Оптики  
Кафедра Вычислительной Техники

Лабораторная работа № 4

Вариант 3

**Группа:** 2125

**Выполнила:** Тихонова Екатерина

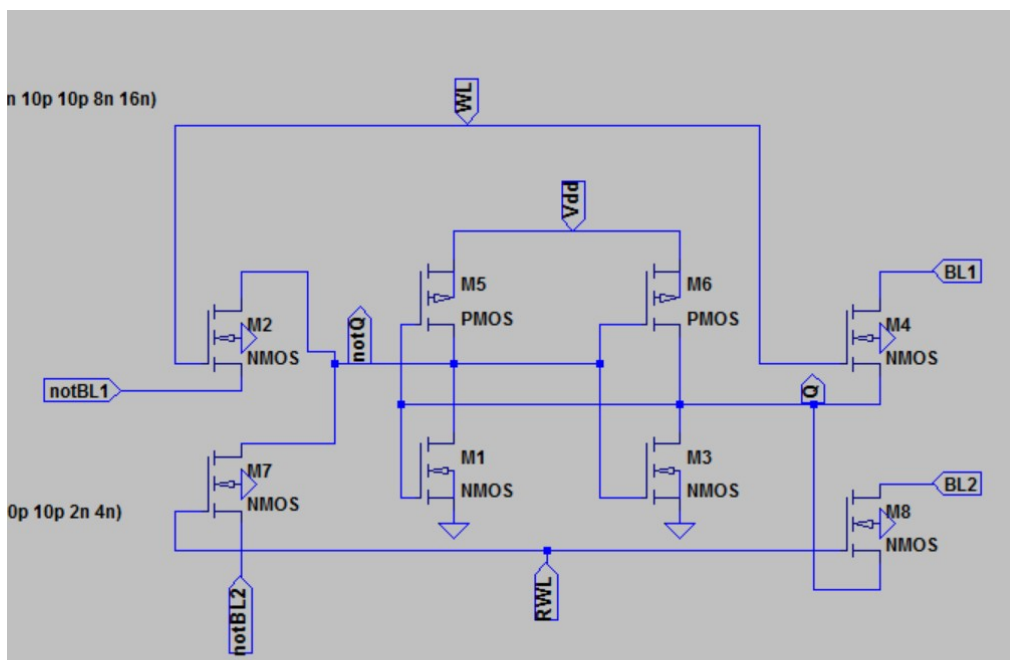
Цель работы:

- Получить знания об организации элементов и блоков полупроводниковой памяти различных типов

Ход работы:

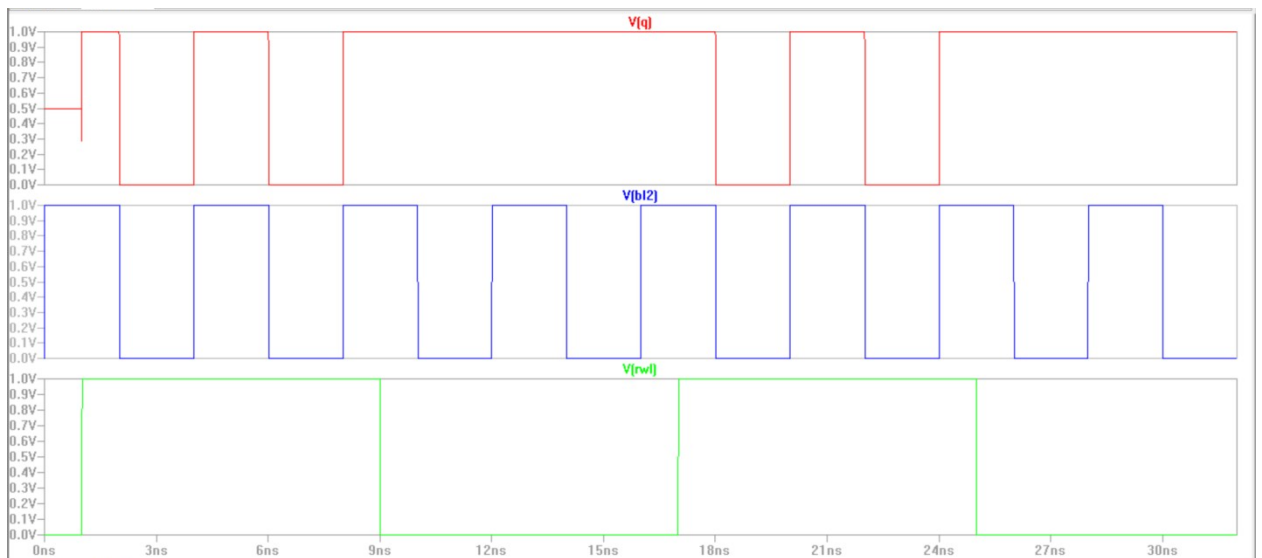
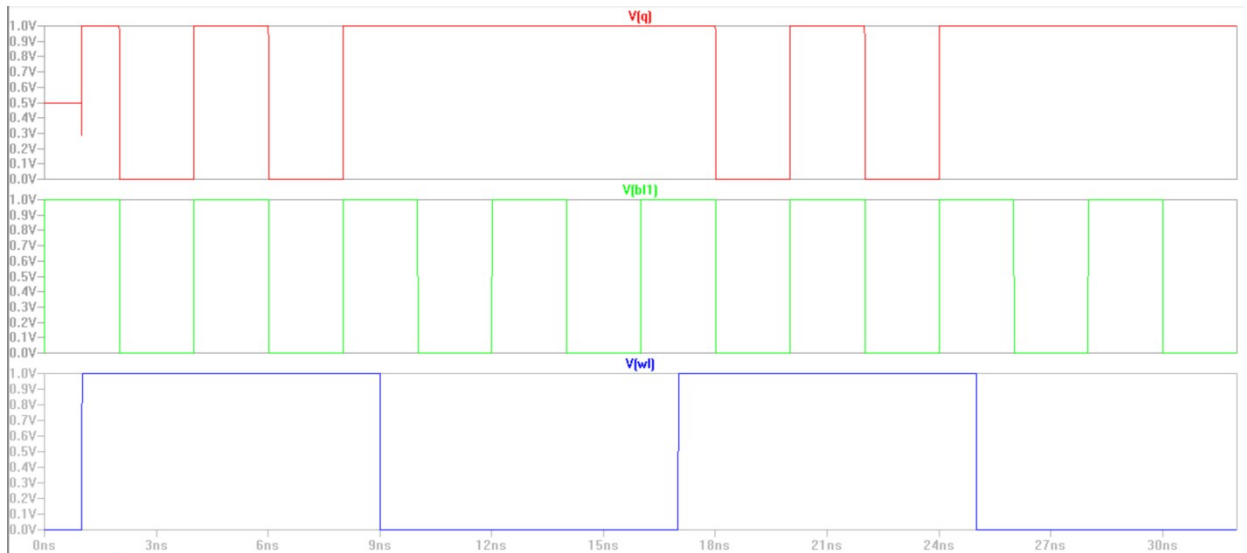
Задание 1.

Схема ячейки памяти 8Т



Задание 2.

Тестирование построенной ячейки



### Задание 3

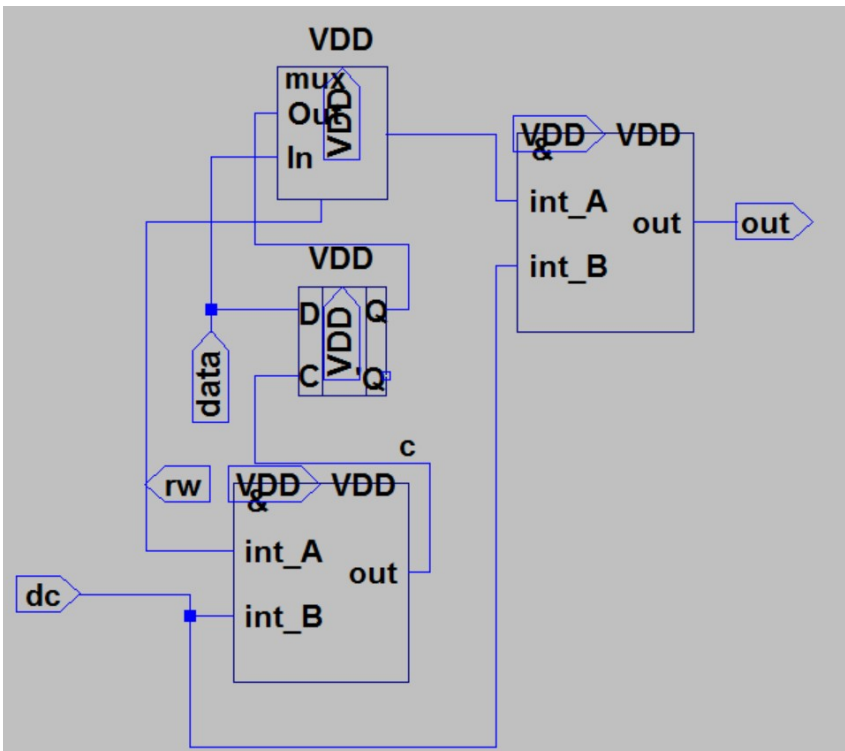
Снхронное статическое ОЗУ размером 8x4 и способом доступа к памяти 2D

Ячейка памяти, в качестве базового запоминающего элемента взят D-триггер

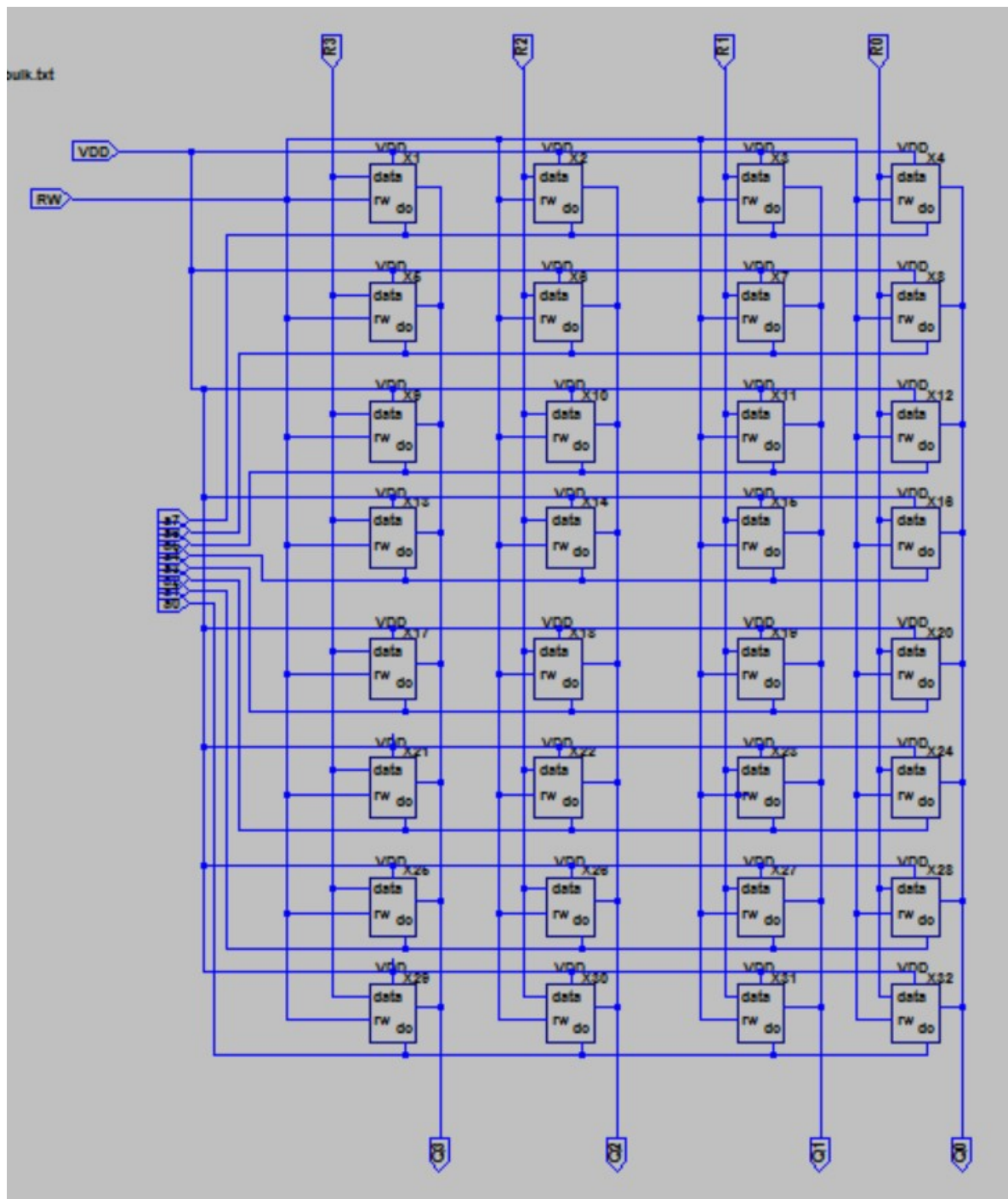
Data – входные данные на запись

Dc – значение после преобразования шифратором

Rw – бит чтения/записи

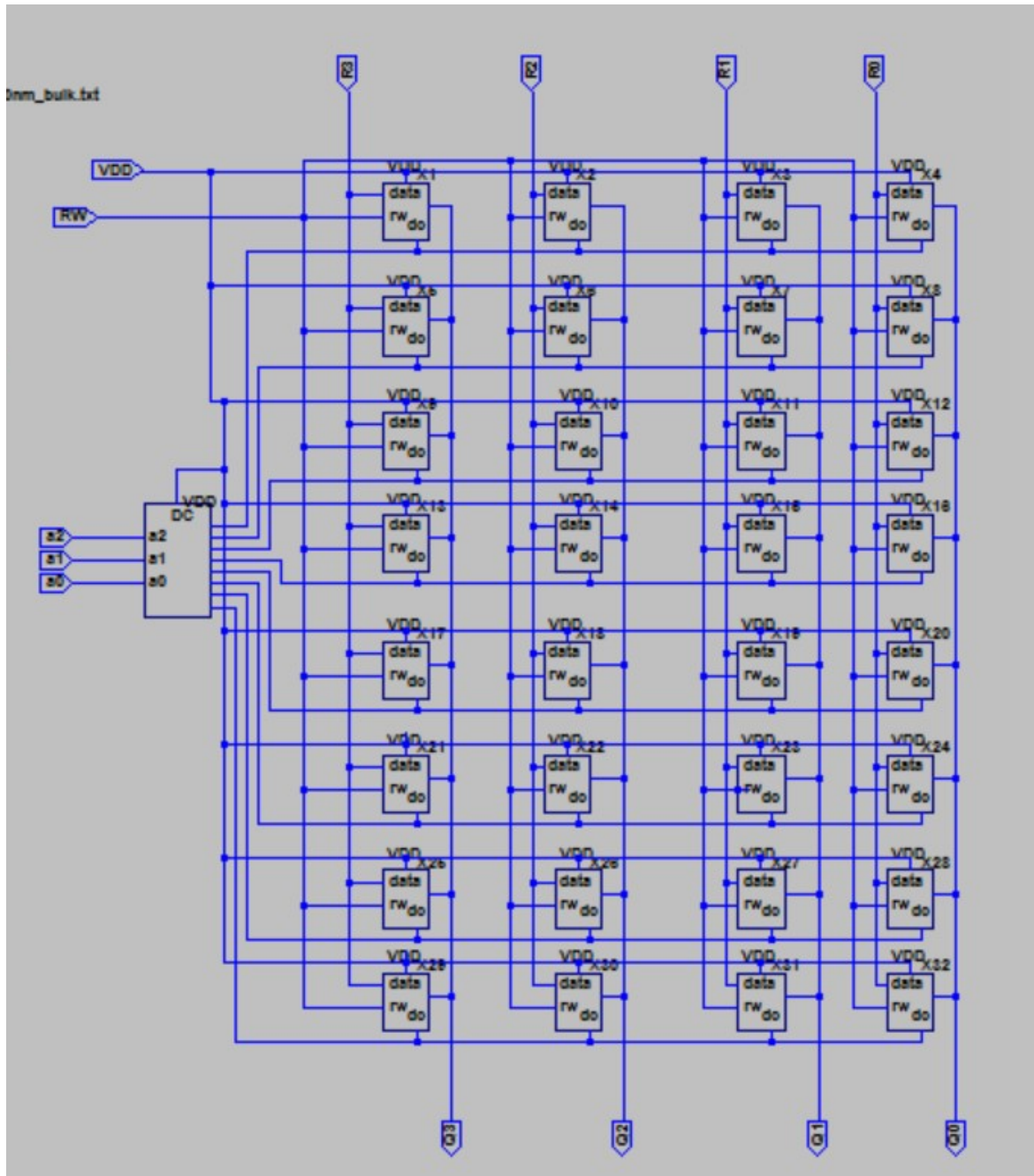


Массив ячеек



## Задание 4

### Схема тестирования памяти



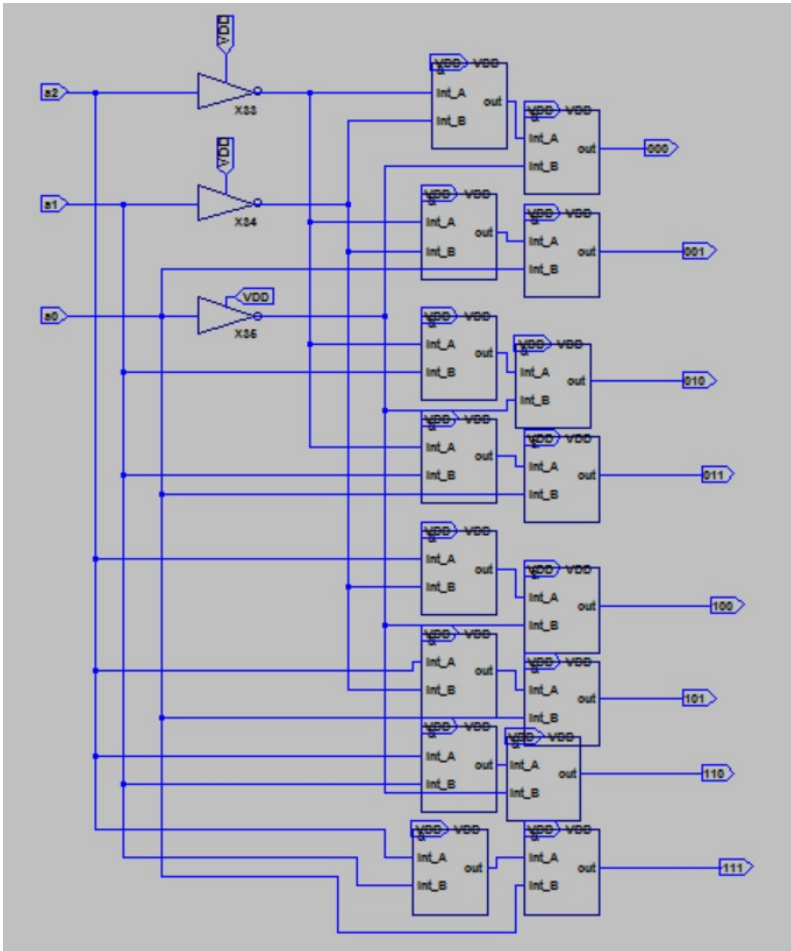
Элементы R3, R2, R1, R0 – информационные, записываемые в ячейку

Элементы a2, a1, a0 – адрес строки, в которую записываем (считываем) данные

RW – бит чтения/записи

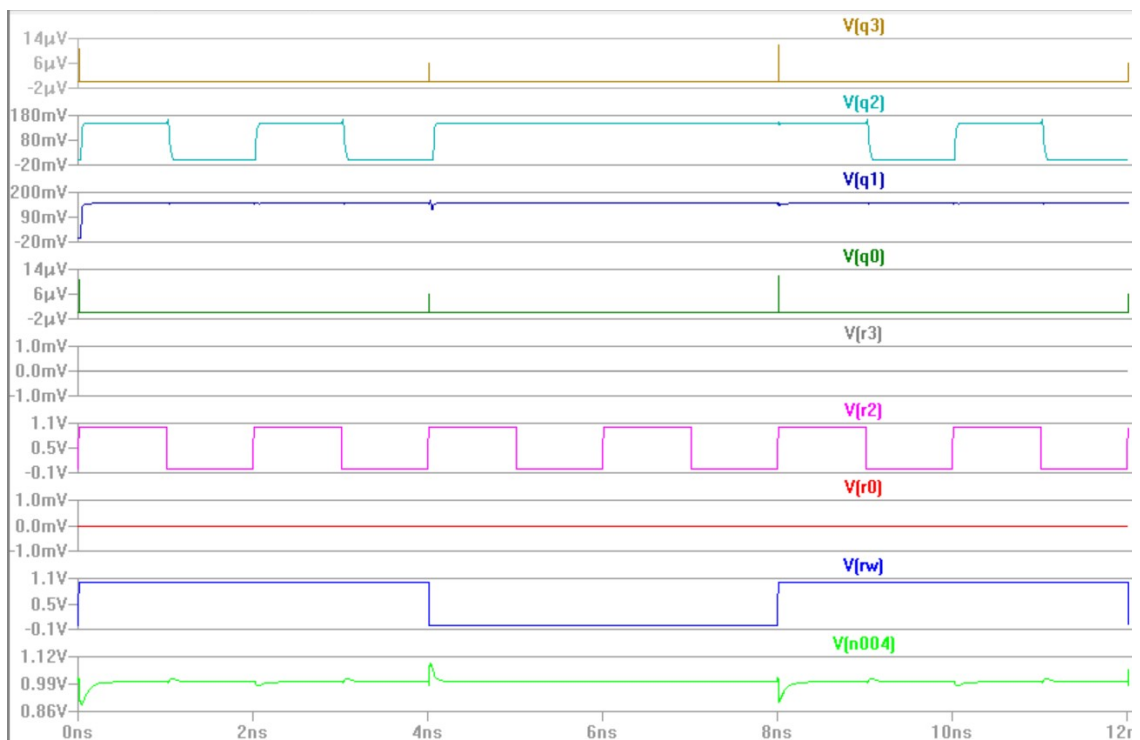
Q3, Q2, Q1, Q0 – выходные данные

В данной схеме использовался дешифратор 3 в 8:



### Задание 5

Симуляция проделанной схемы памяти



Выводы:

В ходе работы были изучены структура памяти SRAM и основы доступа к элементам различных типов памяти.

Была реализована схема синхронного статического ОЗУ размером 8x4 с адресным способом доступа.