

Университет ИТМО

Кафедра вычислительной техники

Отчёт по лабораторной работе №3
по дисциплине:
“Цифровая схемотехника”

Студентка:
Куклина М.Д.
Р3201

Преподаватель:
Пинкевич В.Ю.

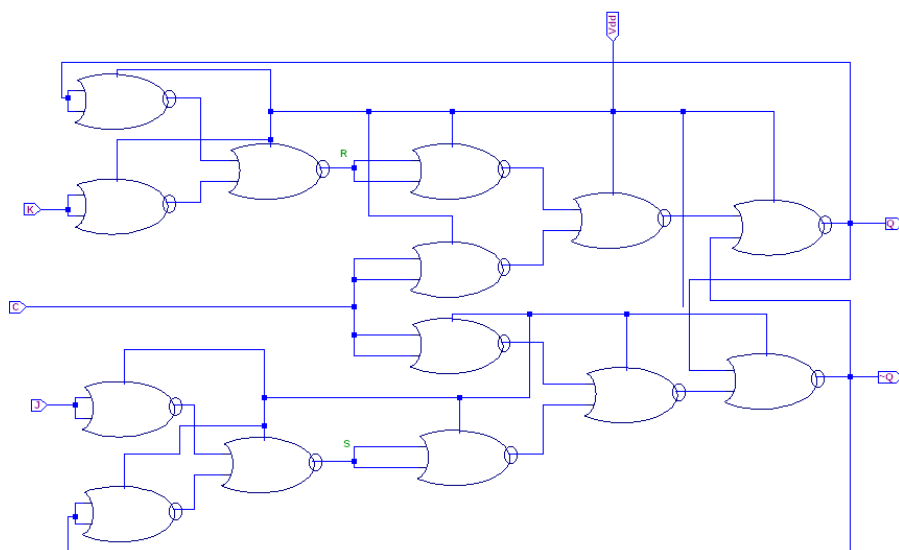
Санкт-Петербург
2016

1. Задание.

1. Построить схему синхронного JK-триггера на вентилях ИЛИ-НЕ.
2. Определить временные характеристики триггера.
3. Расчитать максимальную частоту, на которой способен работать триггер.
4. Разработать синхронный вычитающий четырёх разрядный десятичный счётчик.
5. Определить временные характеристики.

Вариант 8.

2. Схема синхронного JK-триггера на элементах ИЛИ-НЕ



Временные характеристики работы триггера:

1. Время предустановки: 8 ps.
2. Время установки: 8 ps.
3. Время переключения с высокого уровня к низкому: 0,14 ns.
4. Время переключения с низкого уровня к высокому: 0,19 ns.

График синхросигнала:

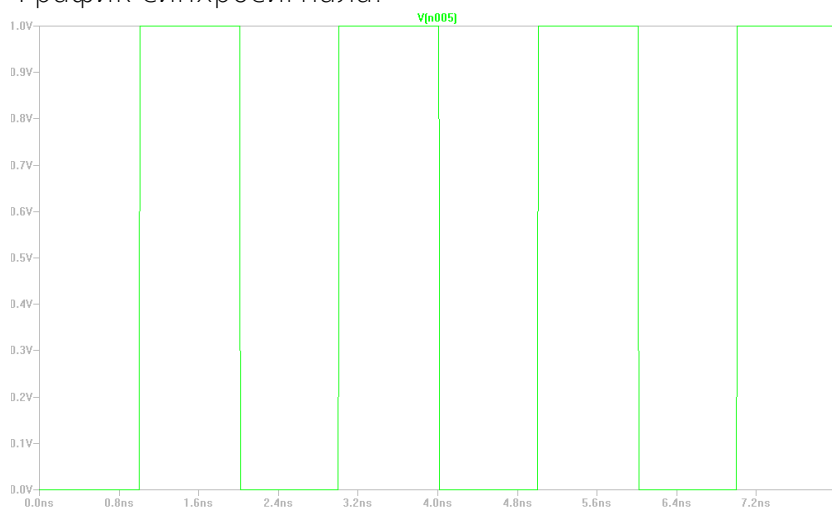


График входного и выходного сигналов:

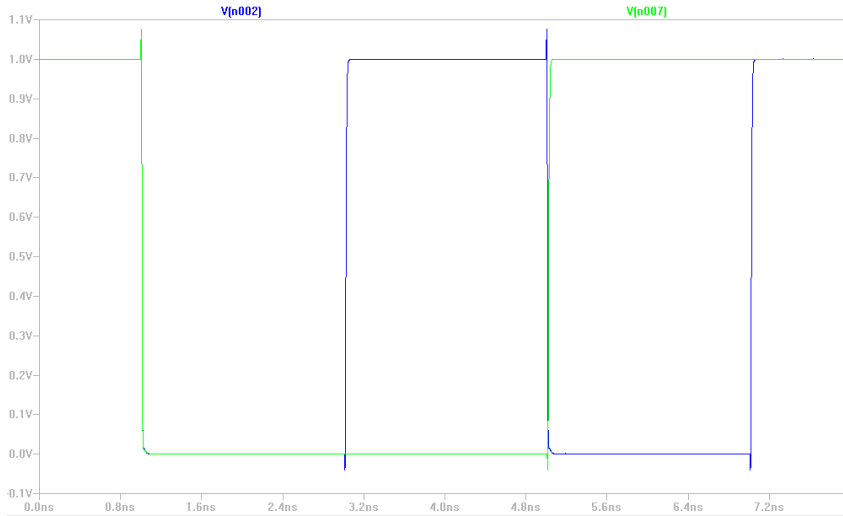
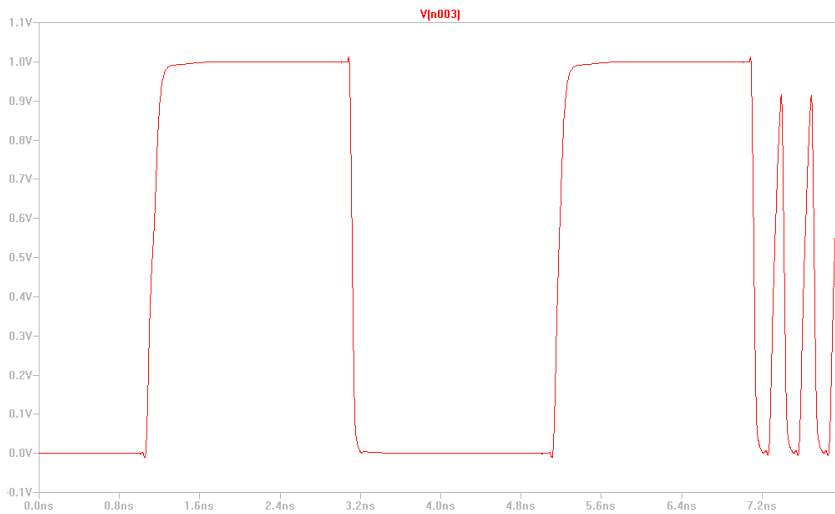


График вышедшего из строя триггера:



3. Схема вычитающего десятичного счётчика

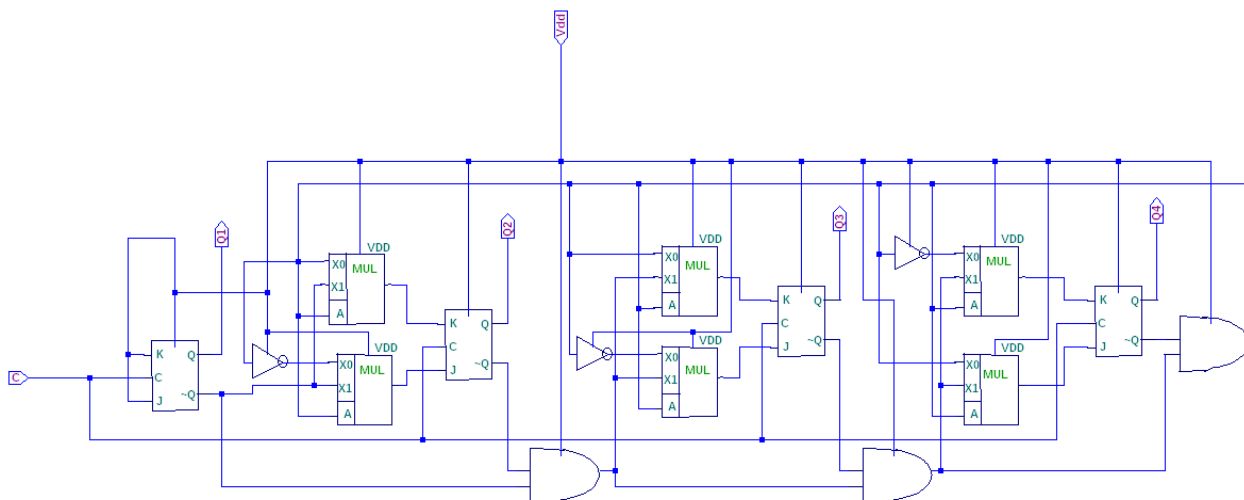


График сигнала и первого разряда счётчика:

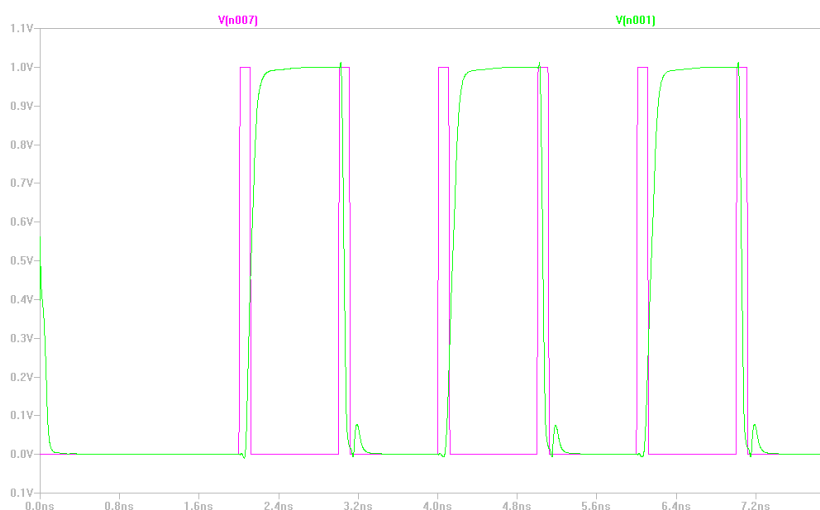
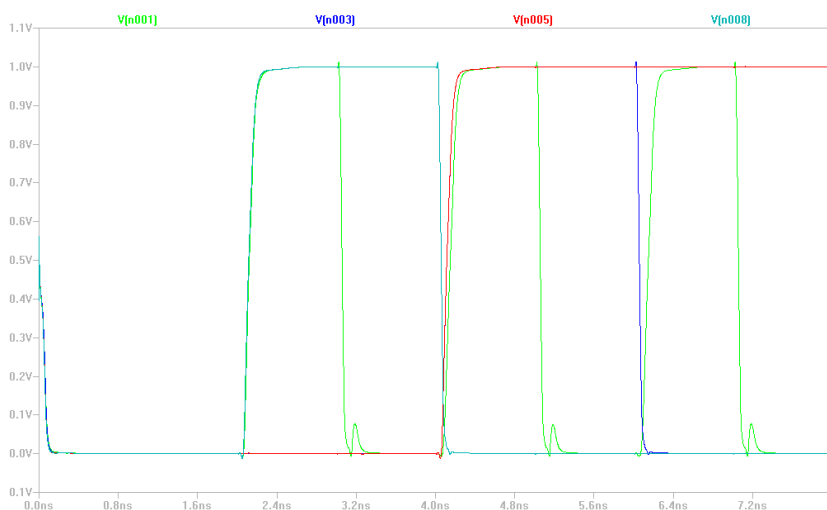


График разрядов счётчика с первого нулевого состояния:



4. Вывод

В ходе лабораторной работы было произведено исследование методов построения триггеров и последовательных схем на их основе.