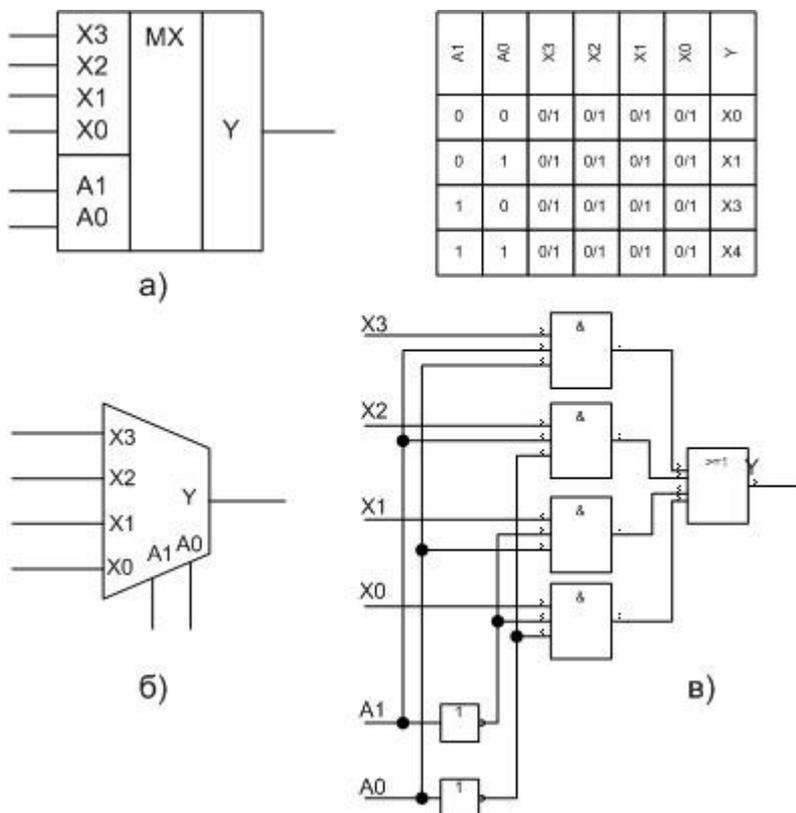


1. Описать функцию мультиплексора. Привести условное обозначение, таблицу истинности и логическую схему одноразрядного мультиплексора «4-в-1», описать «внутреннее» функционирование схемы.

**Мультиплексор (multiplexer)** – комбинационный БОЭ который осуществляет коммутацию одного из нескольких цифровых входов на один выход (говорят: «мультиплексор  $n$  в  $1$ »). Номер подключенного входа задается двоичным кодом на специальном  $k$ -разрядном адресном входе.



В зависимости от поданного сигнала на A1 и A0 на выход через логическое И будет передан один из входных сигналов.

2. Описать функцию мультиплексора. Описать способ реализации произвольной логической функции при помощи мультиплексора. Привести схему, реализующую логическую функцию и описать ее работу:

$$Y = (\overline{x1} \cdot x2 \cdot x3) + (x1 \cdot \overline{x2} \cdot x3) + (x1 \cdot x2 \cdot \overline{x3})$$

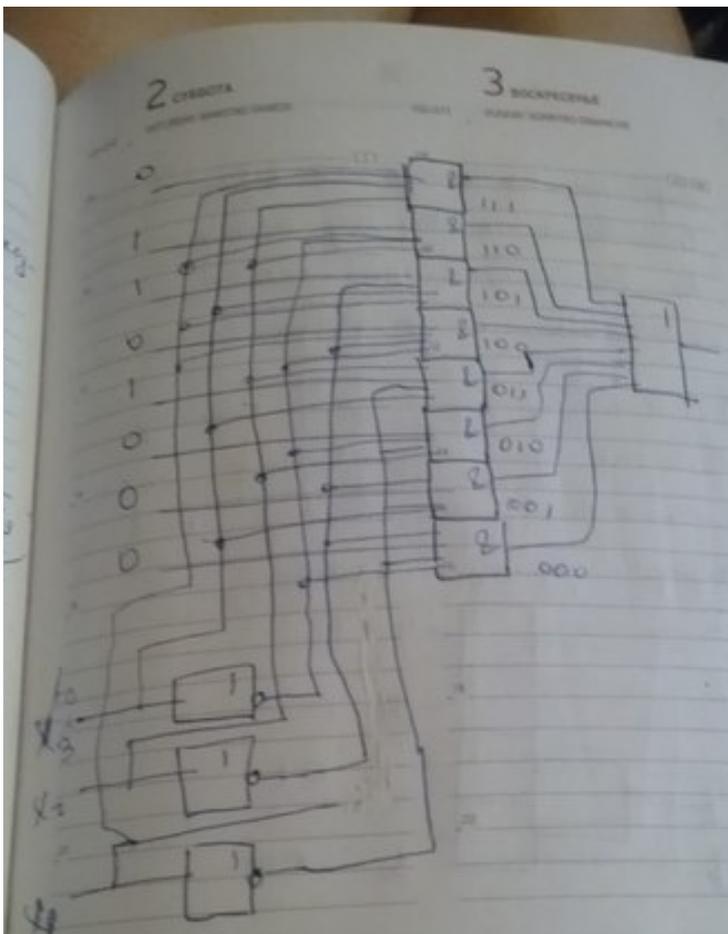
**Мультиплексор (multiplexer)** – комбинационный БОЭ который осуществляет коммутацию одного из нескольких цифровых входов на один выход (говорят: «мультиплексор  $n$  в  $1$ »). Номер подключенного входа задается двоичным кодом на специальном  $k$ -разрядном адресном входе.

Построим таблицу истинности данной функции:

X1	X2	X3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1

1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

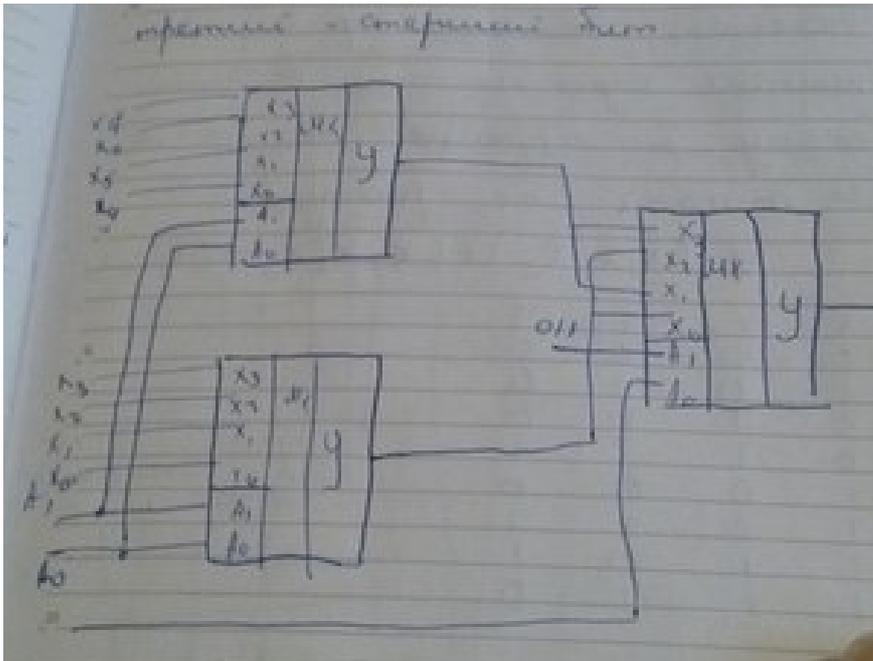
Построим мультиплексор 8-в-1 и на его входы подадим значение нашей таблицы истинности:



**3. Описать функцию мультиплексора. Привести и описать функционирование схемы мультиплексора «8-в-1», построенной на мультиплексорах из «4-в-1».**

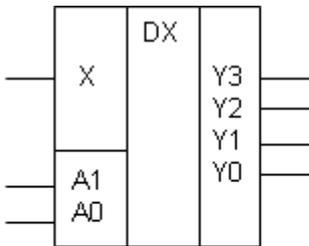
**Мультиплексор (multiplexer)** – комбинационный БОЭ который осуществляет коммутацию одного из нескольких цифровых входов на один выход (говорят: «мультиплексор  $n$  в 1»). Номер подключенного входа задается двоичным кодом на специальном  $k$ -разрядном адресном входе.

На входы первых 2 мультиплексоров подаются старшие и младшие 4 бита, на адресные входы этих мультиплексоров подаем младшие 2 бита адреса. Выходы мультиплексора, к которому были подключены старшие 4 бита, подключаются к 3 и 1 входу 3 мультиплексора, а выходы мультиплексора с младшими 4 битами - к 2 и 0. На вход адреса подаем старший бит адреса и произвольное значение (0/1).



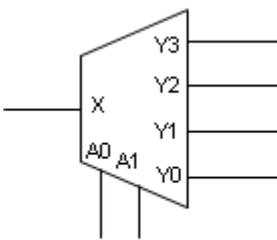
4. Описать функцию демультиплексора. Привести условное обозначение, таблицу истинности и логическую схему одноразрядного демультиплексора «1-в-4», описать «внутреннее» функционирование схемы.

**Демультиплексор (demultiplexer)** – комбинационный БОЭ по функции обратный мультиплексору: осуществляет коммутацию одного цифрового входа на один из нескольких цифровых выходов (говорят: «демультиплексор 1 в n»). Номер подключенного выхода задается двоичным кодом на специальном k-разрядном адресном входе.

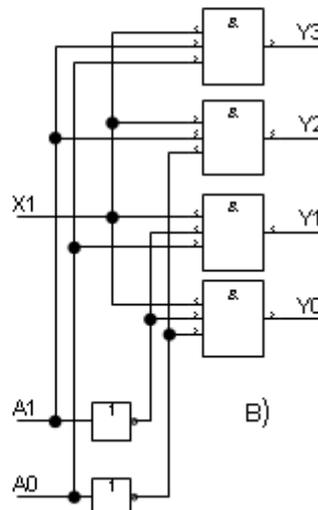


а)

A1	A0	X	Y3	Y2	Y1	Y0
0	0	0/1	0	0	0	X
0	1	0/1	0	0	X	0
1	0	0/1	0	X	0	0
1	1	0/1	X	0	0	0



б)

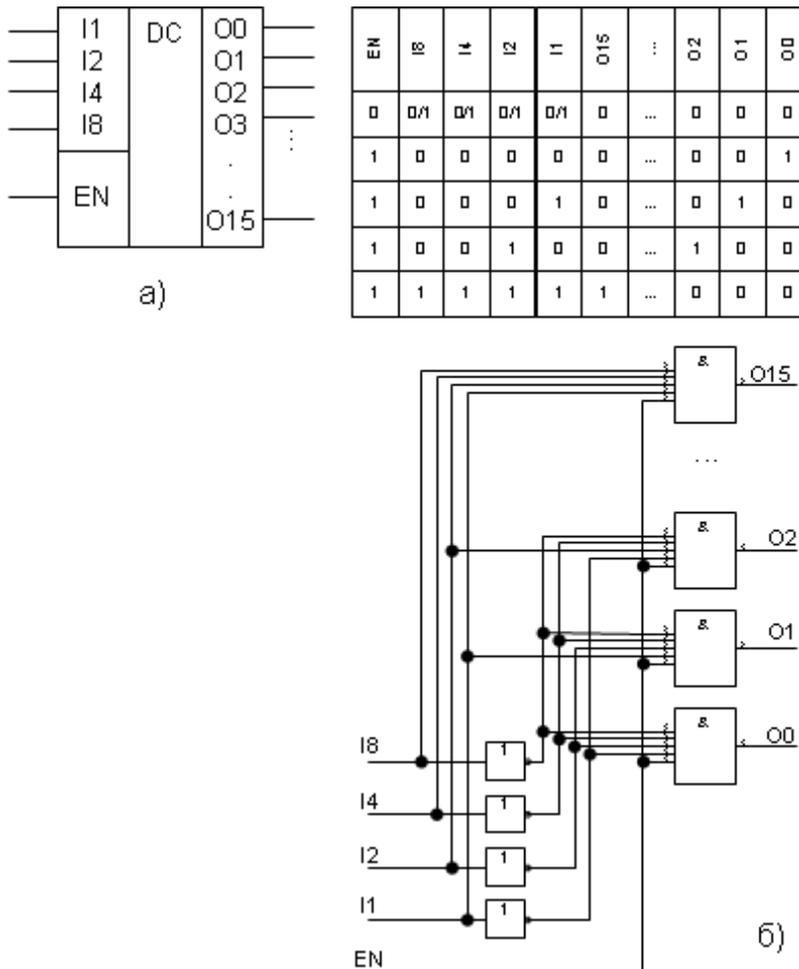


в)

Коммутирует вход с одним из выходов, в зависимости от кода на A1 и A0, для коммутации необходимо на элемент И подать две 1 и входной сигнал. Это достигается за счет инверторов и прямых соединений.

5. Описать функцию двоичного дешифратора. Привести условное обозначение, таблицу истинности и логическую схему двоичного дешифратора «2-в-4». Описать «внутреннее» функционирование схемы.

Двоичный дешифратор (полный) – преобразует К-разрядное двоичное число в 2К-разрядный унитарный код (код «1 из N»).



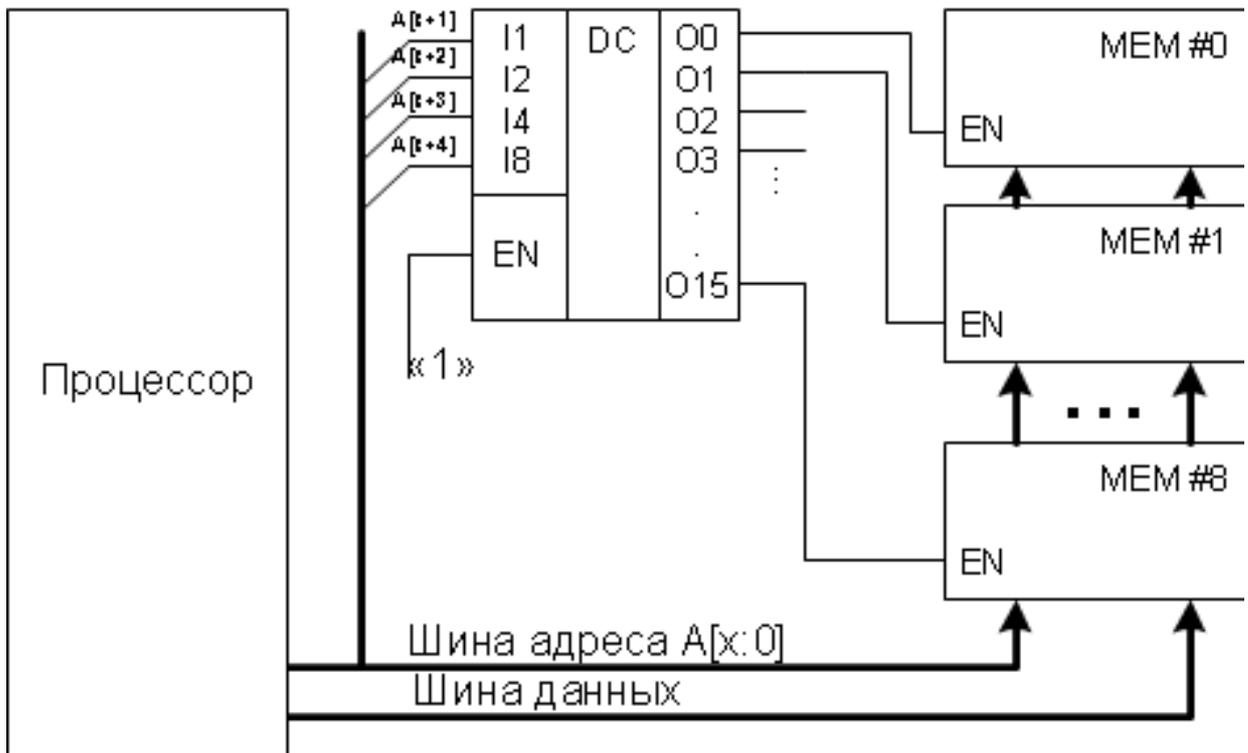
Это не 2 в 4, а 4 в 16. Для преобразования просто убираем 2 входа и 12 выходов))  
Вот таблица истинности:

EN	I1	I0	O3	O2	O1	O0
0	0/1	0/1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	1	0	0

6. Описать функцию двоичного дешифратора. Привести схему подключения дешифратора в качестве селектора адреса устройств на шине ЭВМ и описать функционирование этой схемы.

**Двоичный дешифратор (полный)** – преобразует К-разрядное двоичное число в 2К-разрядный унитарный код (код «1 из N»).

В качестве селектора одного из устройств (памяти, ввода-вывода), подключенных к общей процессорной шине, но имеющих разные адреса (селектор адреса) (верхний рисунок)



В зависимости от адреса на ША будет включена только одна память, так как на выходе дешифратора сформируется только одна 1 и она активирует 1 память.

**7. Описать функцию двоичного дешифратора. Описать способ реализации произвольной логической функции с использованием дешифратора. Привести схему, реализующую приведенную ниже логическую функцию и описать ее работу:**

$$Y = (\overline{x1} \cdot x2 \cdot x3 \cdot x4) + (x1 \cdot \overline{x2} \cdot x3 \cdot x4) + (x1 \cdot x2 \cdot \overline{x3} \cdot \overline{x4})$$

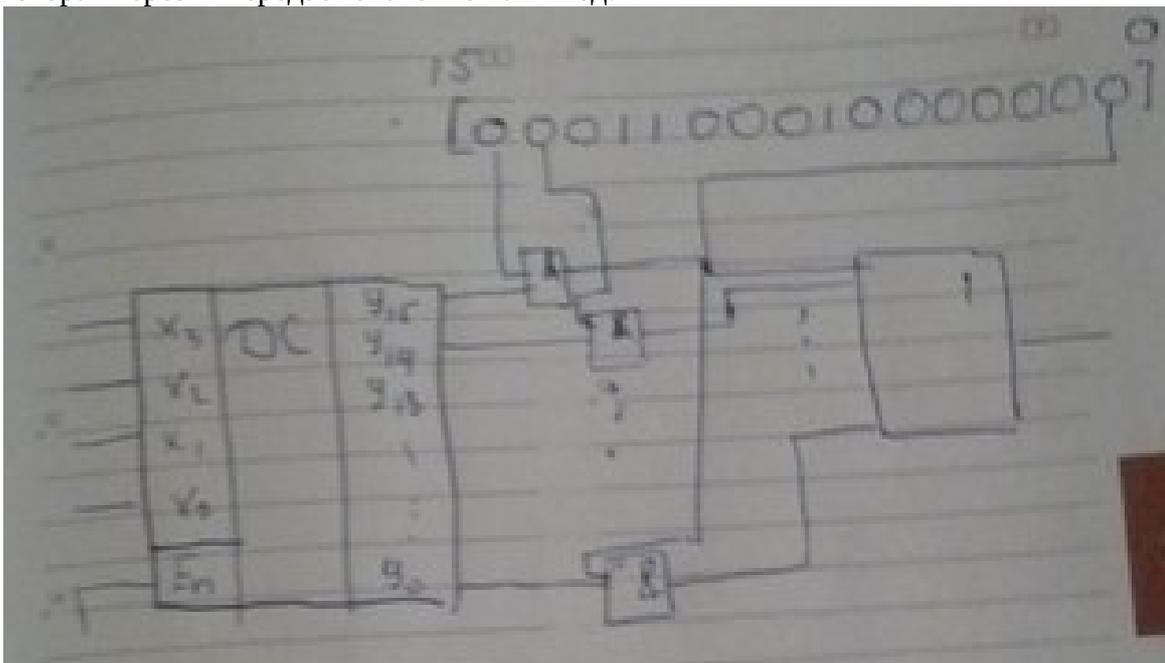
**Двоичный дешифратор (полный)** – преобразует К-разрядное двоичное число в 2К-разрядный унитарный код (код «1 из N»).

Составим таблицу истинности данной функции:

X1	X2	X3	X4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0

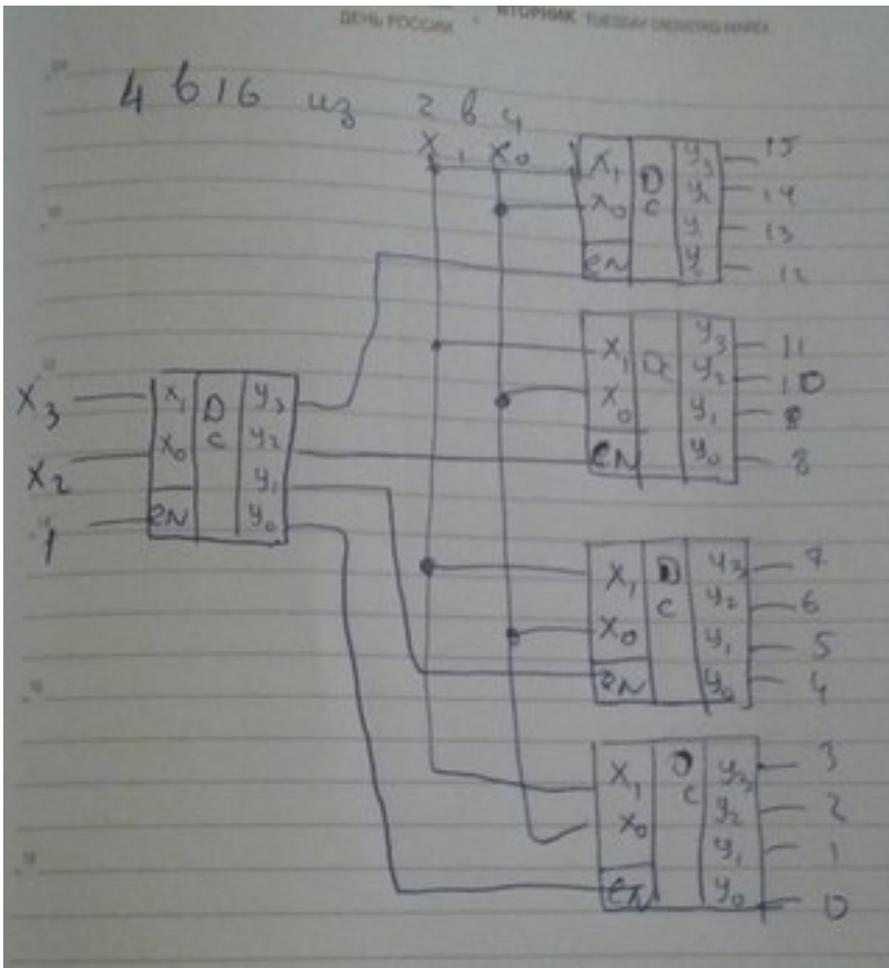
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

На вход дешифратора подаются 4 переменные и на одном из 16 выходов появляется 1 которая через И передает значение на выход:



**8. Описать функцию двоичного дешифратора. Привести и описать функционирование схемы наращивания размерности дешифратора из «2-в-4» до «4-в-16».**

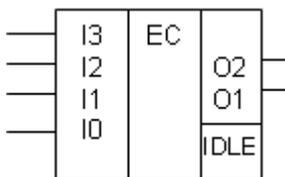
**Двоичный дешифратор (полный)** – преобразует K-разрядное двоичное число в 2K-разрядный унитарный код (код «1 из N»).



9. Привести описание функции двоичного приоритетного шифратора. Привести условное обозначение, таблицу истинности и логическую схему двоичного приоритетного шифратора «4-в-2», описать «внутреннее» функционирование схемы. В чем отличие приоритетного шифратора по сравнению с «обычным» двоичным шифратором.

**Двоичный шифратор** – преобразует 2K-разрядный унитарный код (код «1 из N») в K-разрядное двоичное число.

### Что такое приоритетный шифратор



В цифровой электронике шифратор это устройство, преобразующее M-разрядный позиционный код в M-разрядный двоичный код, при этом обычно  $M = 2^N$ . Приоритетный шифратор передает на выход номер самого старшего активного входного разряда, при этом состояние более младших входных разрядов игнорируется. Выход V показывает, что на вход подан хотя бы один сигнал.

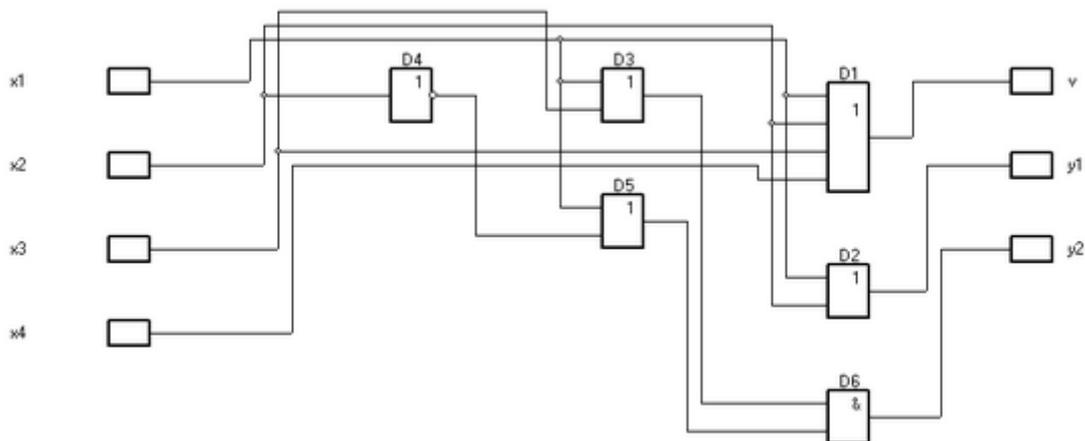
Приоритетные шифраторы часто используются при обработке прерываний.

## Задание таблицы истинности

#TABLE: x1,x2,x3,x4 => y1,y2,v

0000 => 000  
0001 => 001  
0010 => 011  
0011 => 011  
0100 => 101  
0101 => 101  
0110 => 101  
0111 => 101  
1000 => 111  
1001 => 111  
1010 => 111  
1011 => 111  
1100 => 111  
1101 => 111  
1110 => 111  
1111 => 111

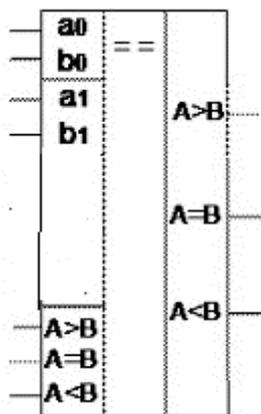
:



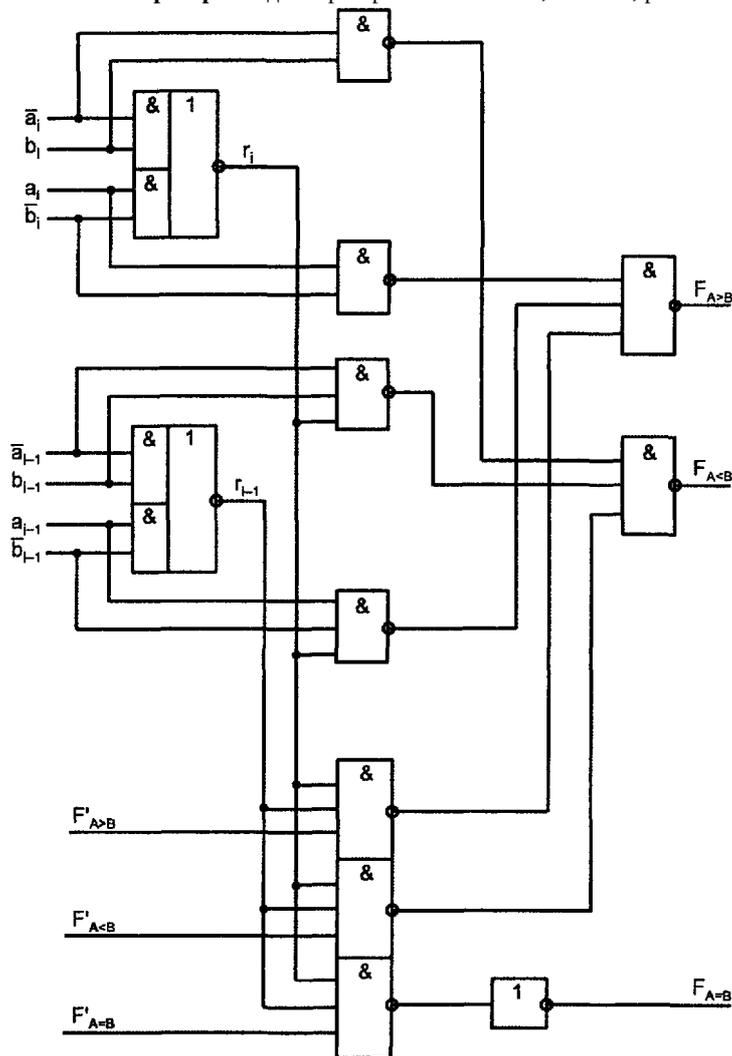
Created by Gorgeous Schematic  
© <http://gorgeous-kamaugh.com>

10. Привести условное обозначение, таблицу истинности и логическую схему полного компаратора (по величине) для 2-х разрядных двоичных чисел. Описать «внутреннее» функционирование схемы.

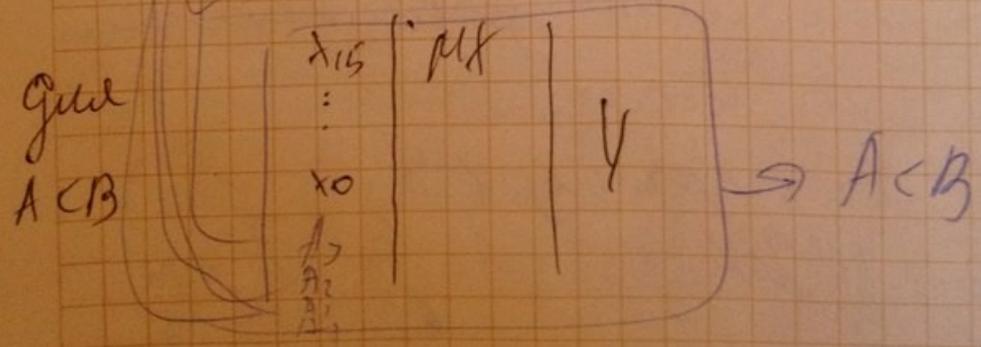
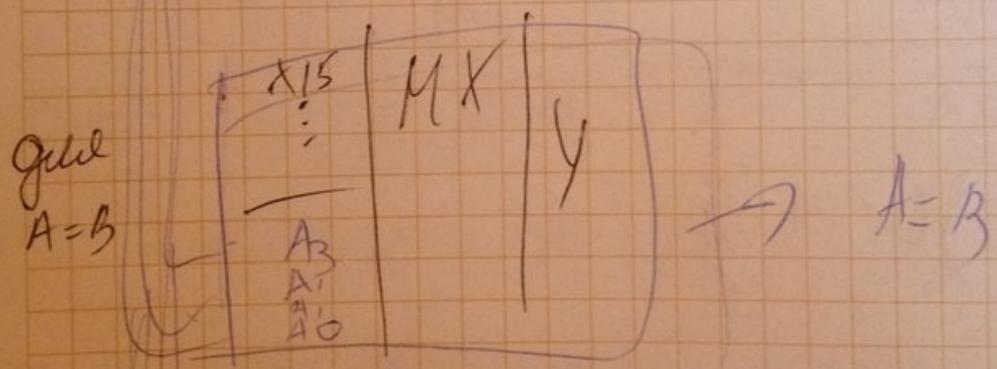
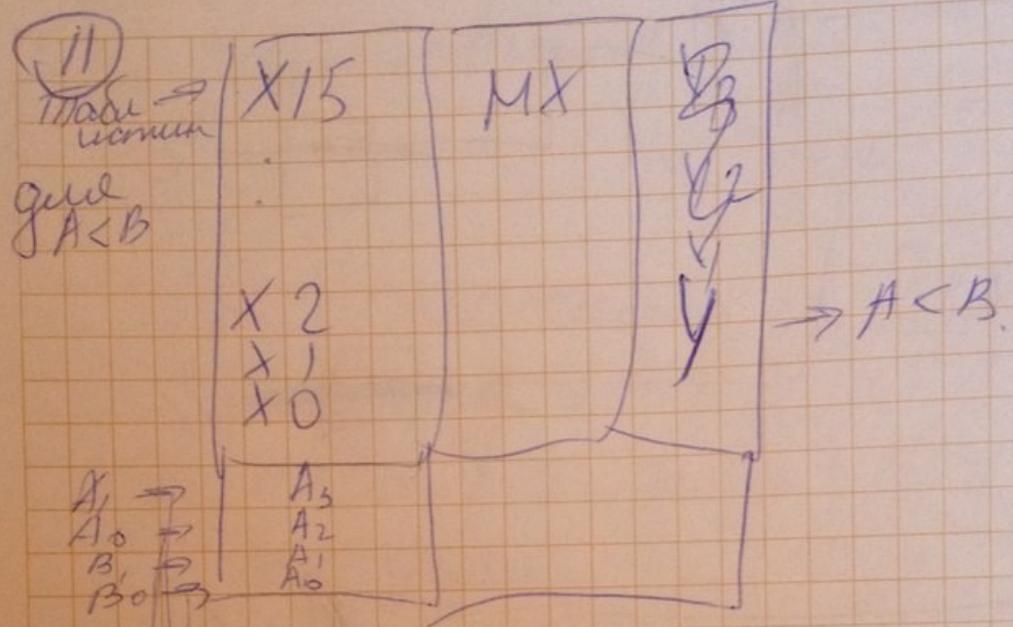
**Компаратор** – БОЭ, определяющий соотношение между двумя числами, поданных на входы компаратора. Числа на вход подаются в виде двоичных кодов, результаты определяются значениями одноразрядных цифровых сигналов = признаков.



Полный компаратор – выдает три признака: больше, меньше, равно.



11. Привести схему полного компаратора (по величине) двух двухразрядных двоичных чисел, построенную на базе мультиплексора (-ов). Реализация входов наращивания разрядности компаратора НЕ требуется.



12. Привести схему вычисления бита чётности для 4-х разрядного двоичного слова, построенную на базе 2-х разрядных (2 входа) двоичных дешифраторов.



13. Приведите схемы компаратора равенства двух 4-х разрядных двоичных чисел и схемы свёртки 4-х разрядного двоичного числа пирамидального и последовательного типов. Опишите их функционирование.

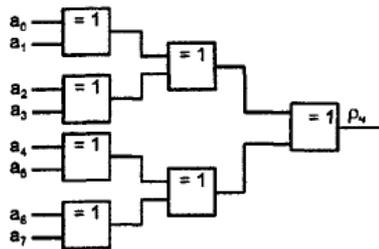
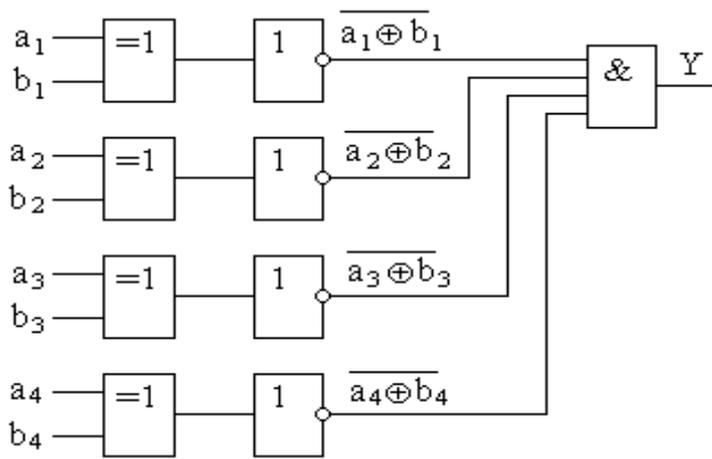


Схема свертки пирамидального типа

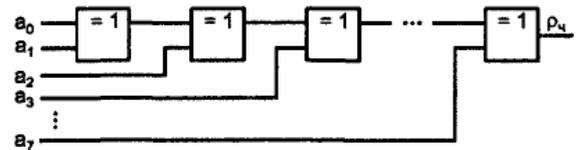


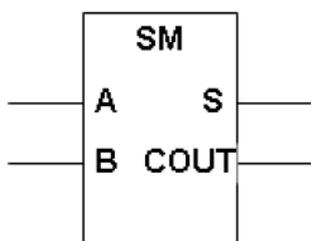
Схема свертки последовательного типа

14. Описать функцию одноразрядных сумматора и полусумматора. Привести условное обозначение, таблицу истинности и схему одноразрядного полного сумматора. Описать «внутреннее» функционирование схемы.

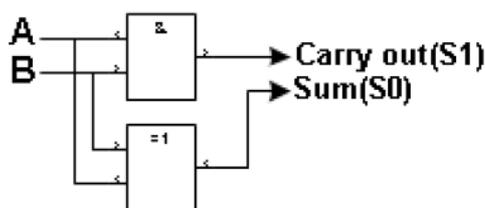
## Сумматоры

**Сумматор (adder)** – БОЭ комбинационного типа, выполняющий арифметическое сложение (или вычитание в дополнительном коде) двух чисел.

**Полусумматор (half-adder)** – одноразрядный сумматор с двумя одноразрядными входами операндов и двухразрядным выходом суммы (старший разряд COUT (Carry Out) используется как перенос в старший разряд многоразрядного сумматора).



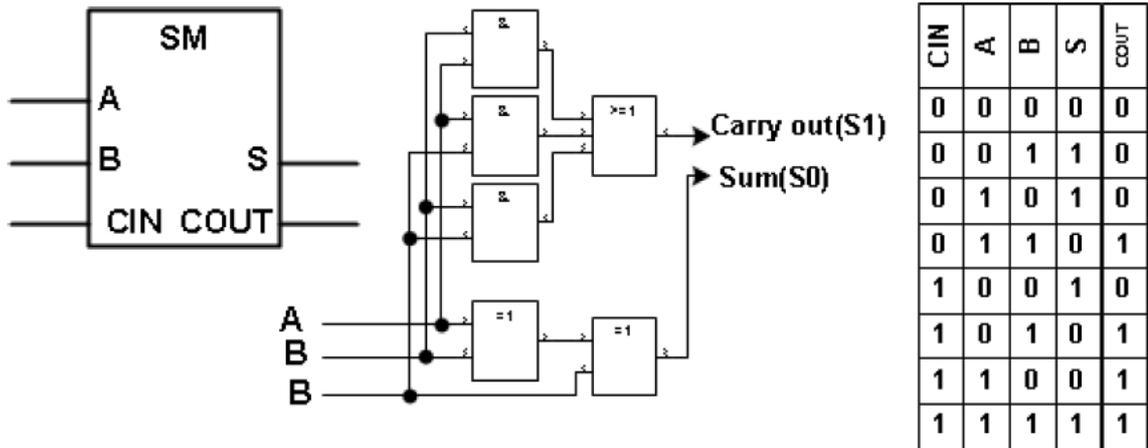
Полусумматор



A	B	S	COUT
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

# Полный сумматор

**Полный одноразрядный сумматор** – имеет входы операндов A, B и дополнительный вход CIN (Carry Input) переноса из младшего разряда в многоразрядном сумматоре.

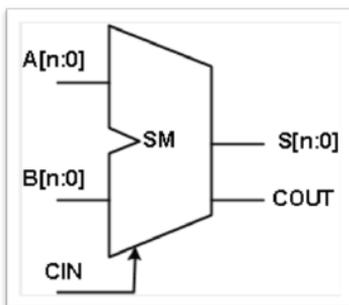


15. Описать функцию одноразрядных сумматора и полусумматора. Привести схему с последовательным переносом и описать функционирование сумматора 4-х разрядных двоичных чисел.

Простейший способ построения  $n$ -разрядного сумматора — это последовательное включение  $n$  одноразрядных сумматоров, складывающих одноименные разряды слагаемых,

Задача построения сумматора с последовательным переносом (ripple carry adder) сводится к построению схемы одноразрядного сумматора. Основное требование к одноразрядному сумматору — минимизация задержки распространения.

## Многоразрядные сумматоры



Условное обозначение на функционально-логических схемах

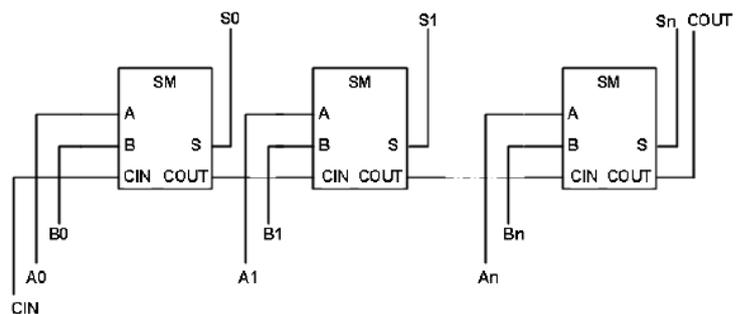
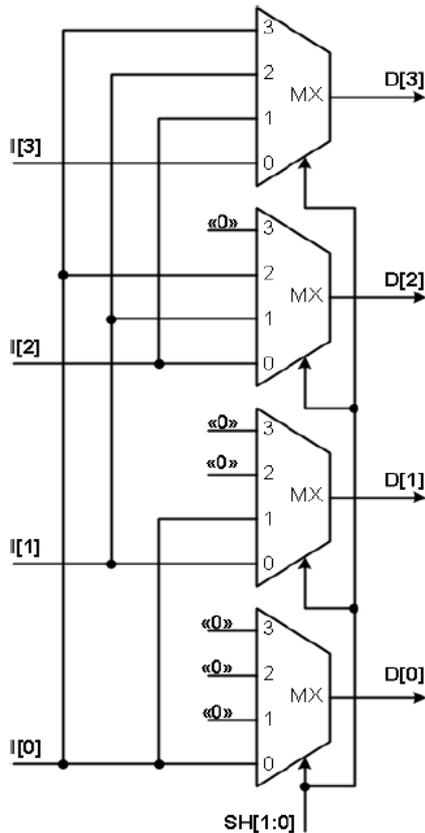


Схема с последовательным переносом: простая схема, но большая задержка распространения переноса через все разряды:  $t_{p\_cr} = 2 * t_{p\_le} * n$

16. Привести условное обозначение, таблицу истинности и схему комбинационного сдвигателя на 0..3 разряда. Описать «внутреннее» функционирование схемы.



### Комбинационные схемы сдвига

(shifter) – БОЭ, построенные на базе мультиплексоров (или аналогичной логики), выполняющие сдвиг многоразрядного входного кода на заданное число разрядов. На рисунке – пример схемы сдвига влево на 0..3 разряда.

### Применение:

- 1) «Выравнивание» адресов, взаимное преобразование байтовых-словных адресов.
- 2) Объединение и «вырезание» битовых векторов
- 3) В составе схем ускоренного умножения и деления

72

Только sh не [1;0], а [3;0]

На управляющие входы мультиплексоров всех разрядов подается один и тот же код. В результате в зависимости от значения управляющего кода в i-ый разряд D1 будет записываться содержимое различных разрядов D0. При управляющем коде  $y_1y_0=01$  данные будут передаваться в D1 без сдвига. При  $y_1y_0=00$  – сдвиг влево, при  $y_1y_0=10$  и  $11$  – сдвиг вправо на 1 или 2 разряда.

17. Привести классификацию триггеров с описанием особенностей каждого класса.

Продемонстрируйте на временной диаграмме отличия триггера-защелки и синхронного по фронту D-триггера. Триггеры с каким способом синхронизации находят наибольшее применение в современной вычислительной технике. Объясните почему.

В цифровой схемотехнике используются бистабильные триггеры – с двумя устойчивыми состояниями, которые кодируют 0 и 1.

По логике работы (правила переключения триггера под воздействием входных управляющих сигналов):

- RS-триггер – с отдельными входами установки (запись 1, вход S) и сброса (запись 0, сигнал R)
- D-триггер – задержки информационного сигнала
- T-триггер – тактируемый или счетный триггер
- JK-триггер – универсальный триггер, который может быть сконфигурирован как RS- или T-триггер
- комбинированный – например, RST-триггер: тактируемый со входами установки и сброса
- со сложной логикой – с группами входов, связанных логическими зависимостями. Например, JK-триггер с тремя входами J и тремя K, связанными конъюнкцией:  $(J1 \wedge J2 \wedge J3)$  и  $(K1 \wedge K2 \wedge K3)$

По способу синхронизации:

- Асинхронные (нетактируемые) – переключение одновременно с появлением соответствующей комбинации на управляющих (информационных) входах
- Синхронные (тактируемые) – переключение при наличии соответствующей управляющей комбинации, но только по сигналу (фронту или уровню) на специальном тактовом (синхронизации) входе С
  - Синхронные управляемые уровнем – при одном уровне тактового сигнала триггер воспринимает состояние управляющих входов, а при другом – не воспринимает. Например – «триггер-защелка»
  - Синхронные управляемые фронтом – переходы их состояния в состояние происходят по фронту тактового сигнала. Например синхронный D-триггер.

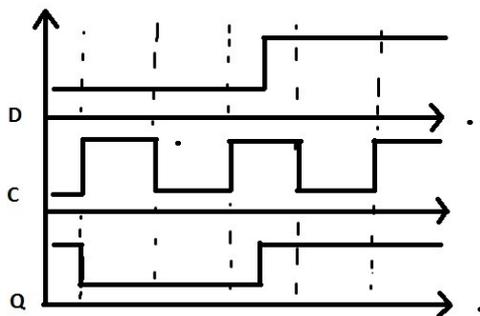
По внутренней структуре:

- Одноступенчатые – одна запоминающая схема. Так строятся асинхронные и синхронные управляемые уровнем триггеры.
- Двухступенчатые (многоступенчатые) – состоят из двух ли более одноступенчатых триггеров. Ступени переключаются по очереди. По многоступенчатой схеме строятся синхронные управляемые фронтом триггеры - наиболее применяемый сегодня тип триггеров.

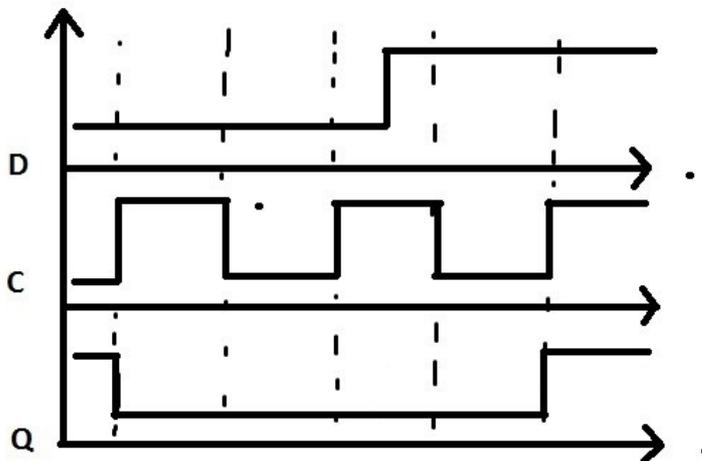
По схемотехнике:

- Триггеры на базе дискретных элементов
- Триггеры на базе цифровых элементов

Триггер защелка (по уровню)



Синхронный по фронту D-триггер

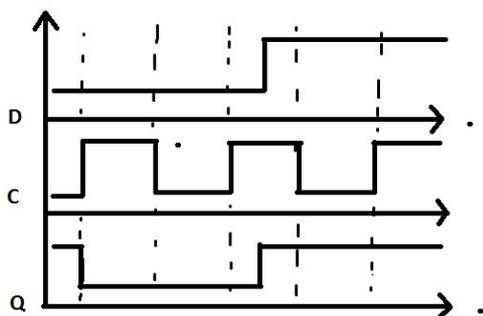
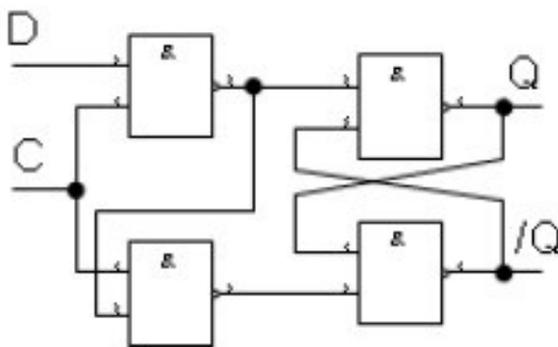


Воспринимает входной сигнал в момент переключения синхронизирующего сигнала.

Синхронные управляемые фронтом триггеры находят наибольшее применение в современной вычислительной технике, потому что триггеры, управляемые уровнем не используются из-за фактически невыполнимых требований к длительности импульсов синхронизации и к параметрам задержек для внутренних логических элементов. Что бы устранить жесткие требования к параметрам импульсов синхронизации можно использовать многотактные схемы, где запись данных и формирование сигналов обратной связи будут выполняться в несколько этапов, связанных с отдельными импульсами синхронизации, но это замедлит работу схемы и потребует более сложного генератора синхроимпульсов. Поэтому в основном используют одноктактные триггерные схемы, в которых переключение состояния триггера происходит только в момент изменения уровня синхроимпульса.

**18. Привести схему и описать функционирование триггера-защелки (LATCH). Покажите на временной диаграмме. К какому классу триггеров по признаку логики функционирования относится триггер-защелка?**

Синхронный D-триггер с управление по уровню называется – триггер-защелка – повторяет вход D при активном уровне на C и удерживает на выходе последнее значение с входа D при переключении C в неактивное состояние.

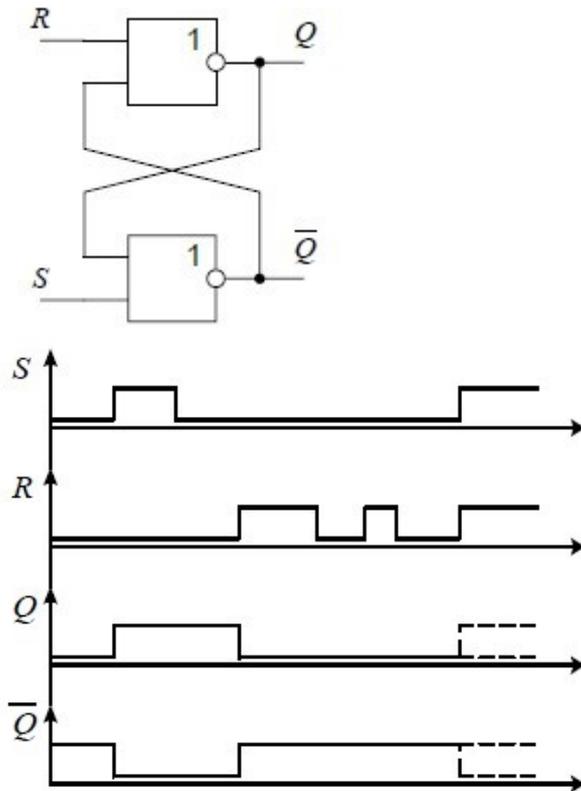


По логике функционирования – D-триггер.

**19. Привести схему и описать функционирование асинхронного RS-триггера на базе элементов ИЛИ-НЕ. Поясните функционирование на временной диаграмме. Какая логика информационных сигналов (ПОЗИТИВНАЯ или НЕГАТИВНАЯ) характерна для этой схемы?**

На входах S и R может быть четыре комбинации набору нулей и единиц. Если на обоих входах присутствует уровень логического нуля (не активный уровень), то состояние

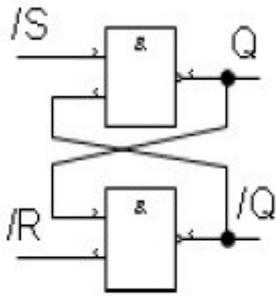
выходов триггера остается неизменным. При подаче на вход установки  $S$  логической единицы триггеру устанавливается в единичное состояние (на выходе  $Q$  устанавливается уровень логической единицы, а на выходе  $\bar{Q}$  – уровень логического нуля). При подаче на вход сброса  $R$  логической единицы триггер переключается (на выходе  $Q$  – уровень логического нуля, а на выходе  $\bar{Q}$  – уровень логической единицы). Если на оба входа подать активный уровень логической единицы, то состояние триггера будет не определено. Эта комбинация является запрещенной.



Позитивная логика информационных сигналов характерна для этой схемы, т.к. уровень лог. единицы является активным уровнем.

**20. Привести схему и описать функционирование асинхронного RS-триггера на базе элементов И-НЕ. Поясните функционирование на временной диаграмме. Какая логика информационных сигналов (ПОЗИТИВНАЯ или НЕГАТИВНАЯ) характерна для этой схемы?**

На входах  $S$  и  $R$  может быть четыре комбинации наборулей и единиц. Если на обоих входах присутствует уровень логической единицы (не активный уровень), то состояние выходов триггера остается неизменным. При подаче на вход установки  $S$  логического нуля триггеру устанавливается в единичное состояние (на выходе  $Q$  устанавливается уровень логической единицы, а на выходе  $\bar{Q}$  – уровень логического нуля). При подаче на вход сброса  $R$  логического нуля триггер переключается (на выходе  $Q$  – уровень логического нуля, а на выходе  $\bar{Q}$  – уровень логической единицы). Если на оба входа подать активный уровень логического нуля, то состояние триггера будет не определено. Эта комбинация является запрещенной.

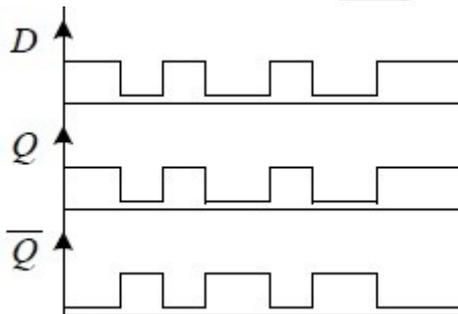
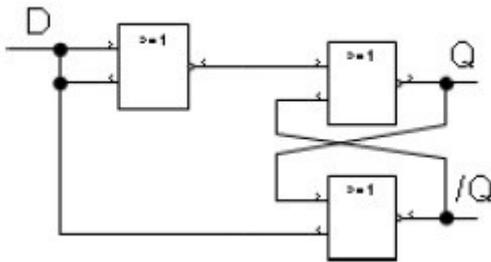


Негативная логика информационных сигналов характерна для этой схемы, т.к. уровень лог.нуля является активным уровнем.

**21. Привести схему и описать функционирование асинхронного D-триггера на базе элементов И-НЕ. Поясните функционирование на временной диаграмме.**

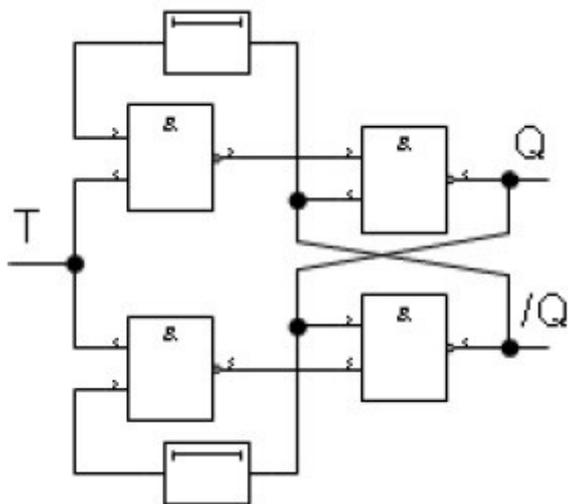
Повторитель входного сигнала с задержкой на переключение триггера, почти не используется.

Информация с входа D переписывается на выход Q. На выход /Q соответственно записывается /D



**22. Привести схему и описать функционирование T-триггера с управлением уровнем синхросигнала, построенного на базе элементов И-НЕ. Какие ограничения на длительность тактового импульса характерны для этой схемы? Как увеличить предельно допустимую длительность импульса?**

Изменяет состояние выхода Q на противоположное после воздействия импульса, поступающего на счетный вход T, то есть изменяет свое состояние на противоположное с приходом каждого входного импульса.



где вот эти элементы линии задержки.

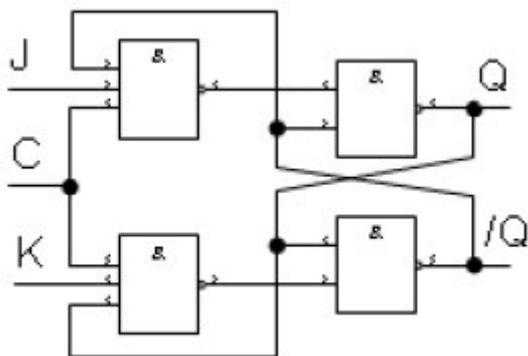
Нужно подавать на вход Т сигнал такой по времени, что бы все элементы успели переключиться только один раз, иначе будет работать как генератор, если будет слишком коротким, то не все лог.элементы переключатся. Сигнал не должен быть дольше утроенного времени срабатывания одного лог.элемента. Что бы увеличить максимальный импульс с выхода на вход ставят линию задержки.

**23. Привести схему и описать функционирование синхронного JK-триггера с управлением уровнем синхросигнала, построенного на базе элементов И-НЕ. Какие ограничения на длительность синхроимпульса характерны для этой схемы? Как увеличить предельно допустимую длительность импульса синхронизации?**

Совмещает RS и Т триггер.

Вход J – вход установки, вход K – вход сброса. C – вход синхронизации (тактовый вход).

Комбинация двух единиц на входах J и K в отличие от RS-триггера не является запрещенной. При этих сигналах триггер работает как счетный T-триггер, т.е. меняет свое состояние на обратное по каждому импульсу на входе C.



Когда на вход J и K подаются лог.единицы, то схема начинает работать как T-триггер и меняет свое состояние по импульсу на входе C. И тут создаются такие же проблемы как у T-триггера:

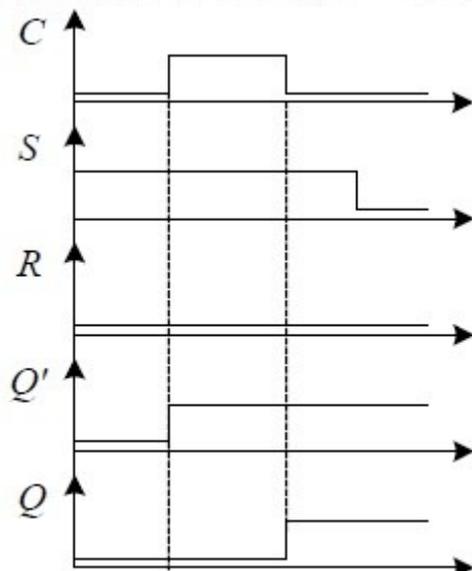
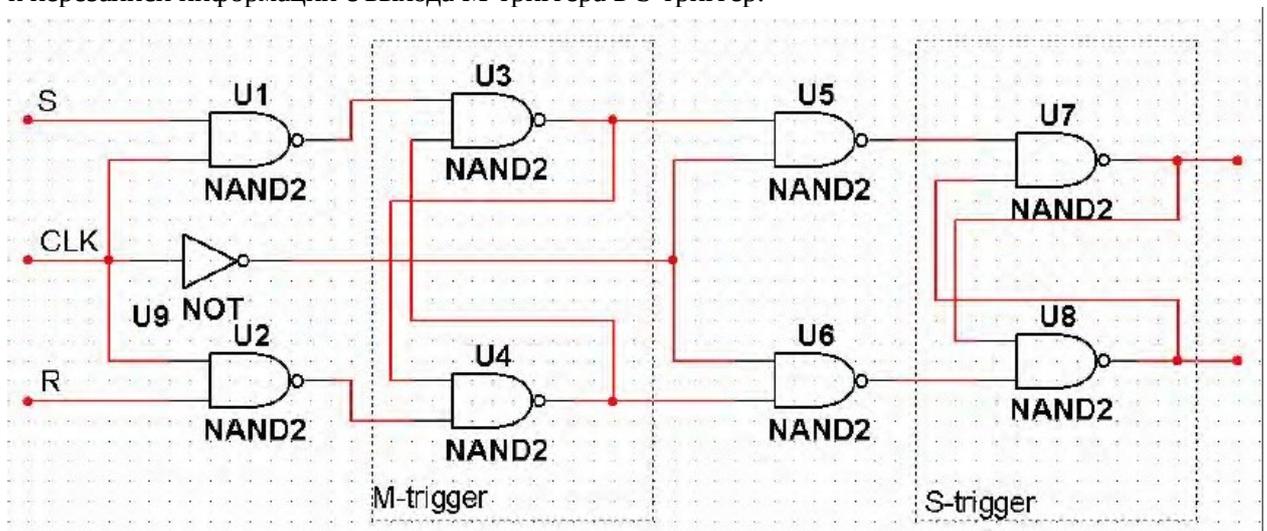
Нужно подавать на вход C сигнал такой по времени, что бы все элементы успели переключиться только один раз, иначе будет работать как генератор, если импульс будет слишком коротким, то не все лог.элементы переключатся. Сигнал не должен быть дольше утроенного времени срабатывания одного лог. элемента.(?) Что бы увеличить максимальный импульс с выхода на вход ставят линию задержки.

**24. Привести схему и описать функционирование RS-триггера, построенного на базе MS-триггера с инвертором. Покажите на временной диаграмме изменение состояний входных сигналов, выходов M-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.**

Схема включает в себя два RS-триггера, управляемых уровнем синхроимпульса: М-триггер и S-триггер.

Информация заносится в М-триггер по переднему фронту синхроимпульса а по спаду синхроимпульсов – переписывается из М-триггера в S-триггер. Для срабатывания М- и S-триггеров по переднему и по заднему фронту соответственно, в цепи между М- и S-триггерами включается инвертор, блокирующий перезапись информации в S-триггер, пока  $C=1$  и выполняется запись в М-триггер.

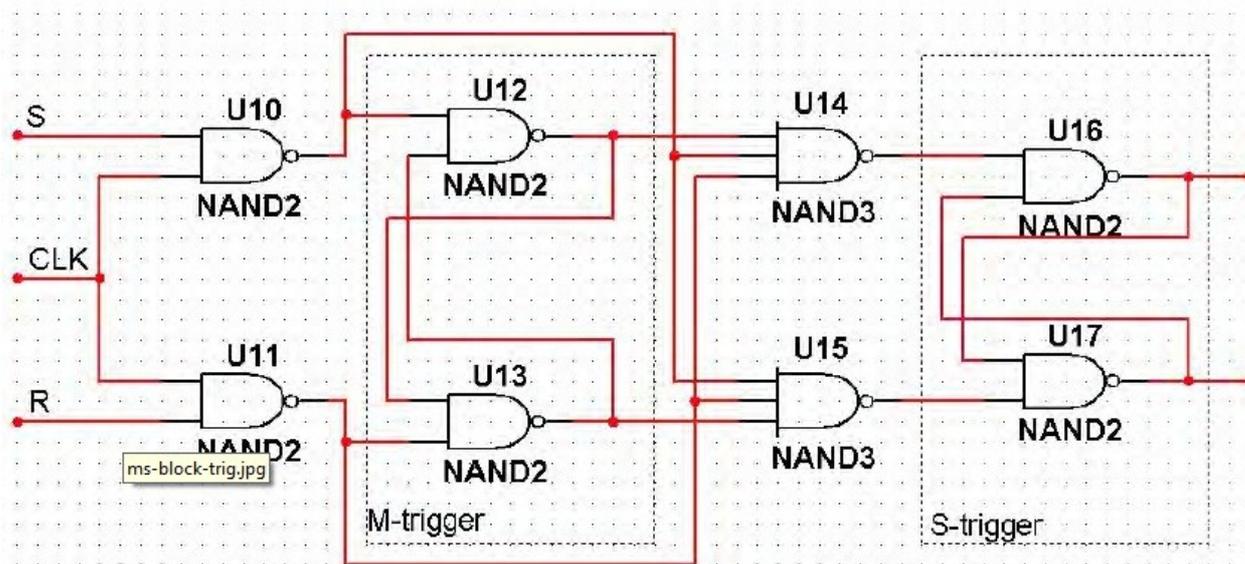
В исходном состоянии ( $C=0$ ) в триггерах М и S сохраняется информация, записанная по предыдущему синхроимпульсу. При поступлении синхроимпульса новая входная информация записывается в М-триггер. При этом состояние S-триггера и значения на выходах схемы остаются неизменными, т.к. он заблокирован низким уровнем сигнала синхронизации поступающем с выхода инвертора на входы U5 и U6 (см. рис.) По спаду импульса синхронизации на входе С состояние М-триггера фиксируется и остается неизменным, пока  $C=0$ . Это обеспечивается блокирующими элементами U1 и U2. Одновременно с блокировкой М-триггера синхросигнал S-триггера, поступающий с выхода инвертора на входы U5 и U6, становится равным лог. 1, что ведет к перезаписи информации с выхода М-триггера в S-триггер.



Недостатком является возможность возникновения в нем опасных состязаний при больших разбросах времени задержки распространения сигнала лог.элементов. Если в схеме например сумма времени задержки элементов U2 и U4 будет больше времени задержки U9, то процесс занесения информации в М-триггер происходит быстрее, чем будут заблокированы элементы U5 и U6 нулевым сигналом, формируемым на выходе инвертора U9. Поэтому возникает опасность

того, что вновь поступившая информация будет так же занесена в S-триггер во время действия синхроимпульса, а не по его окончании.

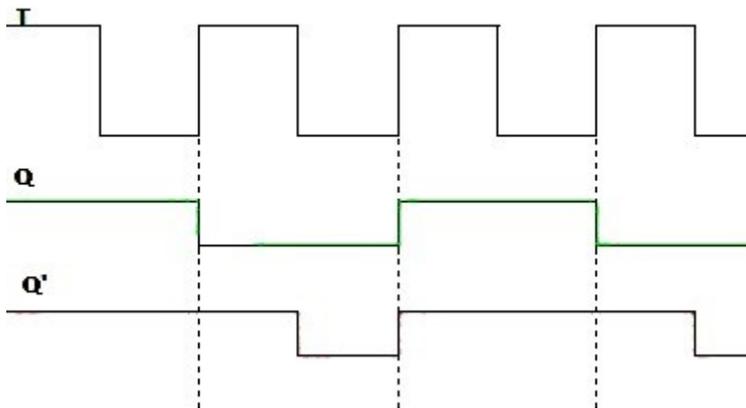
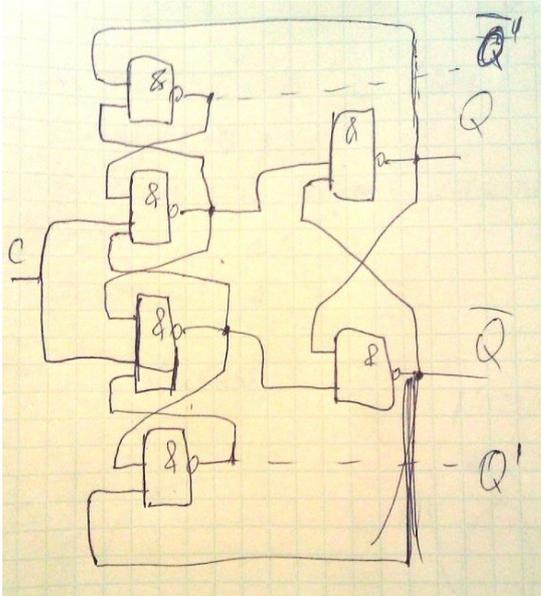
От этого недостатка свободен MS-триггер с запрещающими связями, в котором функцию инвертора синхросигнала выполняют элементы U1иU2. При выработке любым из этих элементов управляющего нулевого сигнала до переключения М-триггера производится блокировка элементов U5 иU6, чем обеспечивается сохранение ранее занесенной информации в S-триггер.



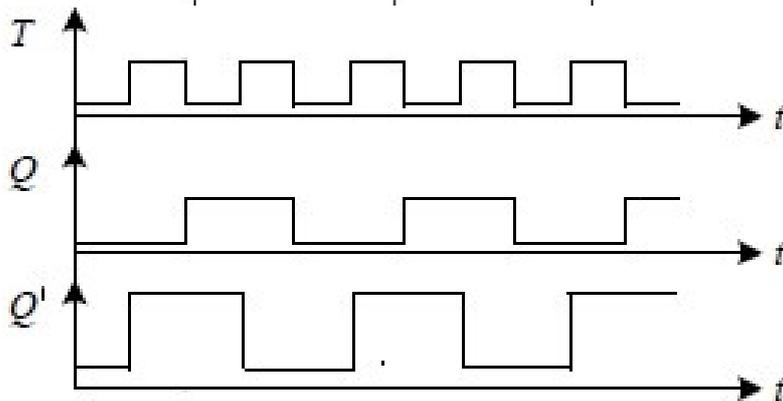
**25. Привести схему и описать функционирование Т-триггера на базе трехтриггерной ячейки. Покажите на временной диаграмме изменение состояний входных сигналов, выходов триггеров 1-й ступени и выходов триггера 2-й ступени. В чем отличие «внешнего» поведения трехтриггерной ячейки по сравнению с MS-триггером? Покажите на временной диаграмме.**

Реализуется на трех триггера, один является основным(D5 и D6), а два других – коммутирующие(D1 и D2, D3 и D4). По переднему входу импульса синхронизации на входе С(лучше везде вместо С писать Т) коммутирующие триггеры сохраняют значения с Q и /Qю С выходов коммутирующих триггеров сигналы попадают на входы установки основного триггера(D5 и D6) и одновременно с этим на входы блокировки противоположного коммутирующего триггера. Например если пришел импульс синхронизации и на Q лог.единица, то нижний коммутирующий триггер заблокируется, и не сможет менять свое состояние до следующего синхроимпульса. ??В исходном состоянии (C = 0) триггер находится в нулевом положении (Q=Q'=0, Q = Q'= 1), а на выходах ЛЭ D2 и D3 так как C=0 действуют единичные сигналы. При C=1 в результате совпадения единичных сигналов на всех входах ЛЭ D2 на выходе последнего устанавливается уровень логического нуля. Этот сигнал, во-первых, осуществляет переключение главного триггера в единичное состояние (Q= 1, Q =0), а, во-вторых, обеспечивает блокировку ЛЭ D1 и D3. Благодаря этому, изменение уровней сигналов на входах R и S по окончании формирования фронта синхроимпульса не вызывает повторного переключения триггера (так, в рассматриваемом случае изменение уровня сигнала на выходе Q приводит к установке единичного сигнала на выходе ЛЭ D и не вызывает появления нуля на выходе ЛЭ D3, непосредственно управляющего ЛЭ 6 D главного триггера).

После окончания входного импульса (C = 0, символы в квадратных скобках) на выходах ЛЭ 2 D и 3 D устанавливаются единичные сигналы, главный триггер сохраняет свое состояние, а на выходе ЛЭ 1 D формируется уровень логического нуля. При поступлении следующего синхроимпульса триггер переключится в исходное (нулевое) положение??



врем.диа. MS для сравнения:



отличие работы триггеров первой ступени

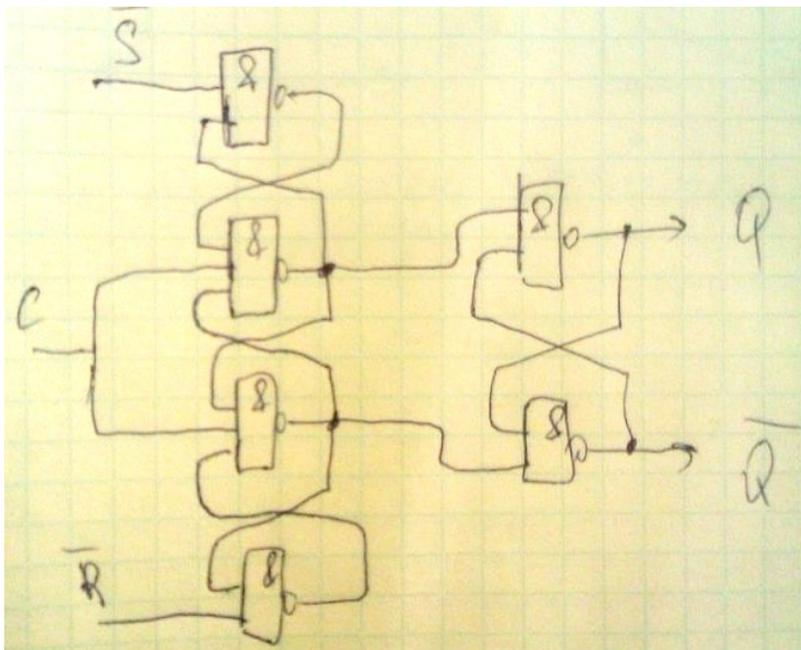
**26. Привести схему и описать функционирование синхронного RS-триггера на базе трехтриггерной ячейки. Покажите на временной диаграмме изменение состояний входных сигналов, выходов триггеров 1-й ступени и выходов триггера 2-й ступени. В чем преимущество схемы на базе трехтриггерной ячейки по сравнению со схемой на базе MS-триггера?**

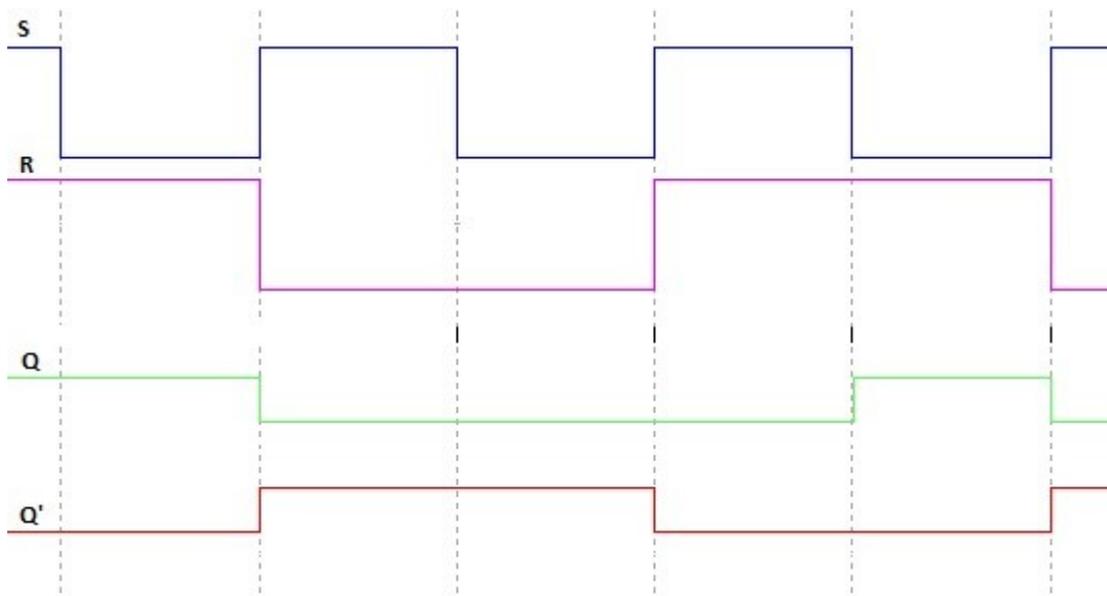
Реализуется на трех триггера, один является основным (D5 и D6), а два других – коммутирующие (D1 и D2, D3 и D4). По переднему входу синхроимпульса на входе С коммутирующие триггеры сохраняют значения со входов /R и /S соответственно. С выходов

коммутирующих триггеров сигналы попадают на входы установки основного триггера и одновременно с этим на входы блокировки противоположного коммутирующего триггера. Соответственно, если активный уровень 0 подан на вход /R это приведет к блокировке нижнего коммутирующего триггера и, соответственно, к невозможности изменения его состояния до следующего синхроимпульса. Таким образом срабатывание и блокировка происходит по фронту сигнала C, а когда приходит очередной импульс C один триггер переключиться, а другой не может пока не «снято» C.

??В исходном состоянии ( $C = 0$ ) триггер находится в нулевом положении ( $Q=Q'=0, Q = Q' = 1$ ), а на выходах ЛЭ D2 и D3 так как  $C=0$  действуют единичные сигналы. При  $C=1$  в результате совпадения единичных сигналов на всех входах ЛЭ D2 на выходе последнего устанавливается уровень логического нуля. Этот сигнал, во-первых, осуществляет переключение главного триггера в единичное состояние ( $Q= 1, Q =0$ ), а, во-вторых, обеспечивает блокировку ЛЭ D1 и D3. Благодаря этому, изменение уровней сигналов на входах R и S по окончании формирования фронта синхроимпульса не вызывает повторного переключения триггера (так, в рассматриваемом случае изменение уровня сигнала на выходе Q приводит к установке единичного сигнала на выходе ЛЭ D и не вызывает появления нуля на выходе ЛЭ D3, непосредственно управляющего ЛЭ 6 D главного триггера).

После окончания входного импульса ( $C = 0$ , символы в квадратных скобках) на выходах ЛЭ 2 D и 3 D устанавливаются единичные сигналы, главный триггер сохраняет свое состояние, а на выходе ЛЭ 1 D формируется уровень логического нуля. При поступлении следующего синхроимпульса триггер переключится в исходное (нулевое) положение??





Возможно там не S и не R... С в два раза короче S поэтому на временной диаграмме от него ничего не зависит.

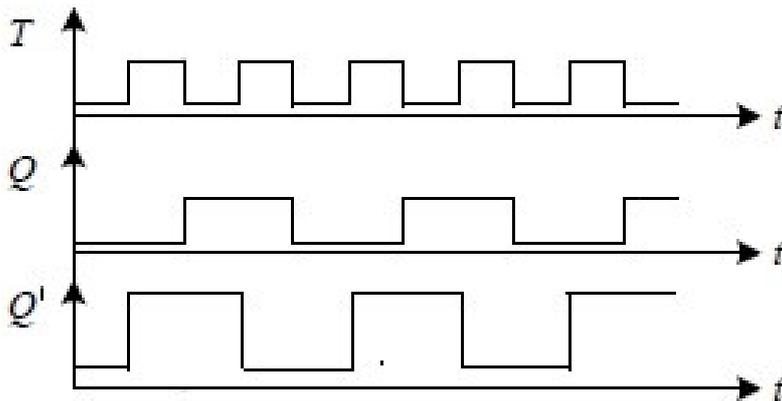
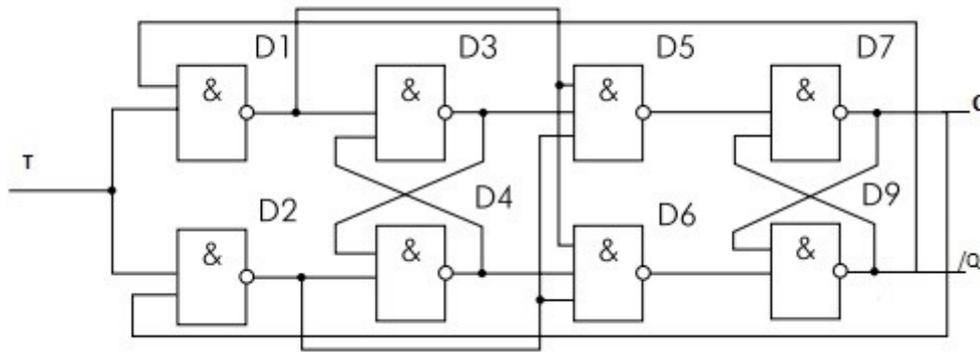
Недостатком схем MS-триггеров и трехтриггерных ячеек является большое число логических элементов в их составе: 6-9 шт. Поэтому в настоящее время не менее широко распространены триггерные схемы, в которых в качестве схем памяти (фиксаторов) используются не RS-триггеры, а электронные элементы, способные в течение некоторого интервала времени сохранять электрический заряд. Такую функцию могут выполнять либо конденсаторы, либо барьерные ёмкости переходов, либо для этой цели используется эффект накопления заряда в диодах и транзисторах.

**27. Привести схему и описать функционирование Т-триггера на базе MS-триггера с запрещающими связями. Покажите на временной диаграмме изменение состояний входных сигналов, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.**

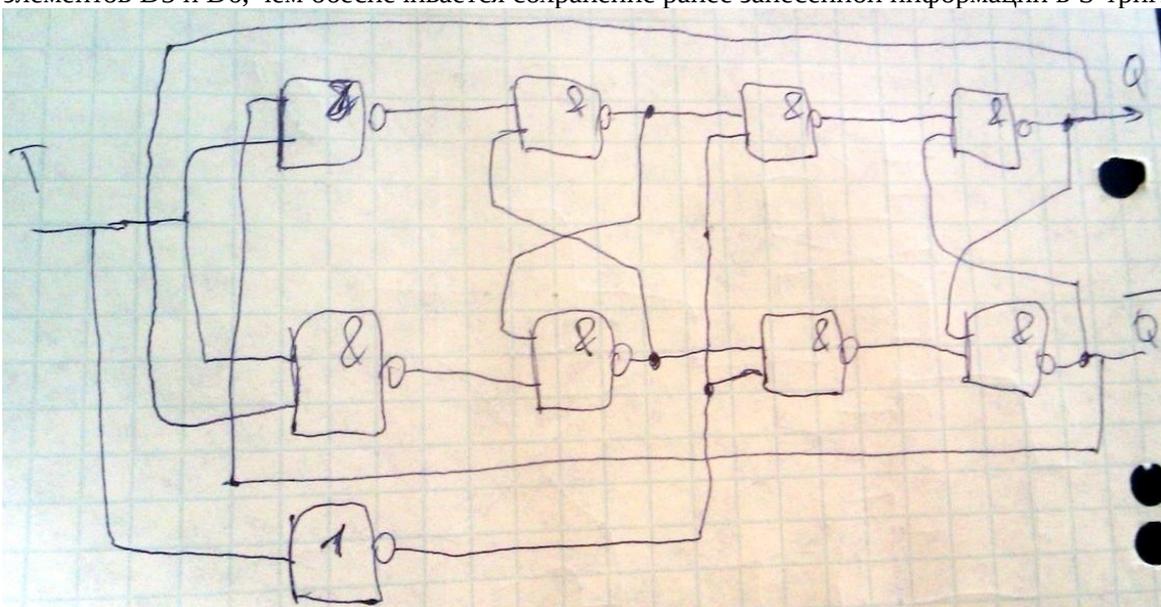
Схема включает в себя два Т-триггера, управляемых уровнем синхроимпульса: М-триггер (D1, D2, D3, D4) и S-триггер (D5, D6, D7, D8).

Информация заносится в М-триггер по переднему фронту синхроимпульса а по спаду синхроимпульсов – переписывается из М-триггера в S-триггер. Для срабатывания М- и S-триггеров по переднему и по заднему фронту соответственно, в цепи между М- и S-триггерами включается инвертор, блокирующий перезапись информации в S-триггер, пока С=1 и выполняется запись в М-триггер.

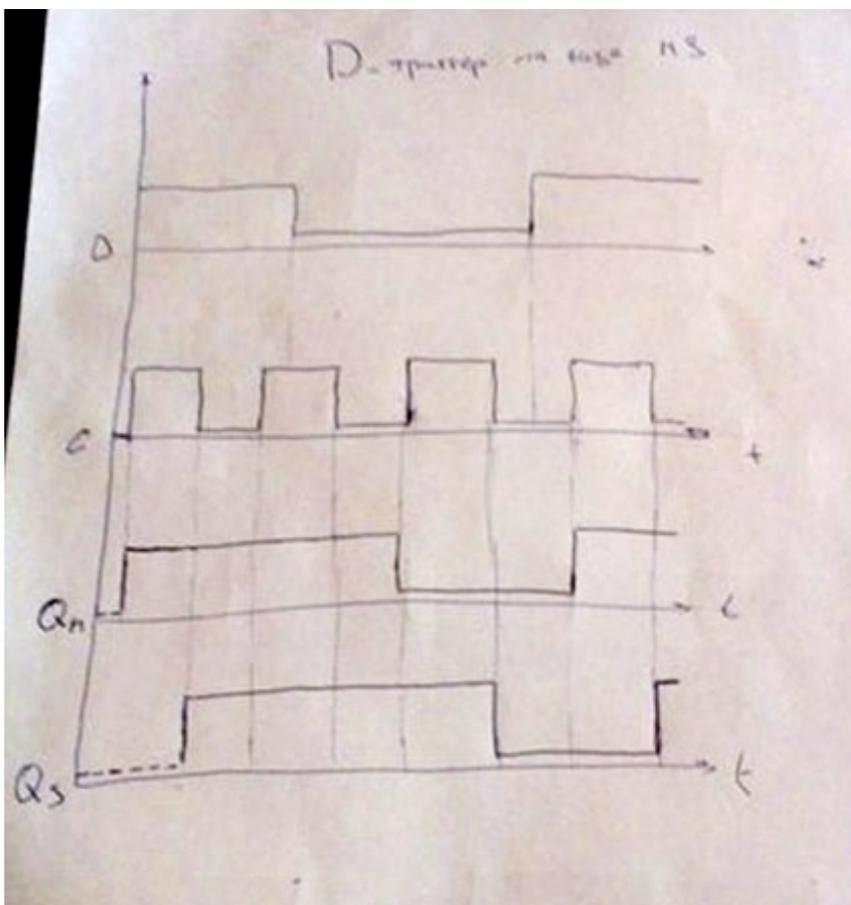
В исходном состоянии (Т=0) в триггерах М и S сохраняется информация, записанная по предыдущему синхроимпульсу. При поступлении синхроимпульса новая входная информация записывается в М-триггер. При этом состояние S-триггера и значения на выходах схемы остаются неизменными, т.к. он заблокирован низким уровнем сигнала синхронизации поступающем с выхода инвертора на входы D5 и D6. По спаду импульса синхронизации на входе Т состояние М-триггера фиксируется и остается неизменным, пока Т=0. Это обеспечивается блокирующими элементами D1 и D2. Одновременно с блокировкой М-триггера синхросигнал S-триггера, поступающий с выхода инвертора на входы D5 и D6, становится равным лог. 1, что ведет к перезаписи информации с выхода М-триггера в S-триггер.

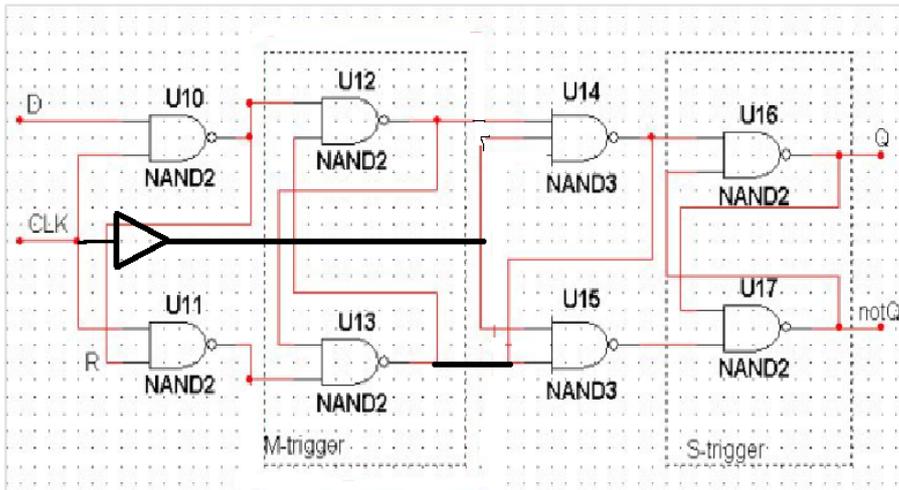


Недостатком в схеме с инвертором является возможность возникновения в нем опасных состояний при больших разбросах времени задержки распространения сигнала лог.элементов. Если в схеме например сумма времени задержки элементов D2 и D4 будет больше времени задержки инвертора, то процесс занесения информации в M-триггер происходит быстрее, чем будут заблокированы элементы D5 и D6 нулевым сигналом, формируемым на выходе инвертора. Поэтому возникает опасность того, что вновь поступившая информация будет так же занесена в S-триггер во время действия синхроимпульса, а не по его окончании. От этого недостатка свободен MS-триггер с запрещающими связями, в котором функцию инвертора синхросигнала выполняют элементы D1 и D2. При выработке любым из этих элементов управляющего нулевого сигнала до переключения M-триггера производится блокировка элементов D5 и D6, чем обеспечивается сохранение ранее занесенной информации в S-триггер.



28. Привести схему и описать функционирование D-триггера на базе MS-триггера с инвертором. Покажите на временной диаграмме изменение состояний входных сигналов, выходов M-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.



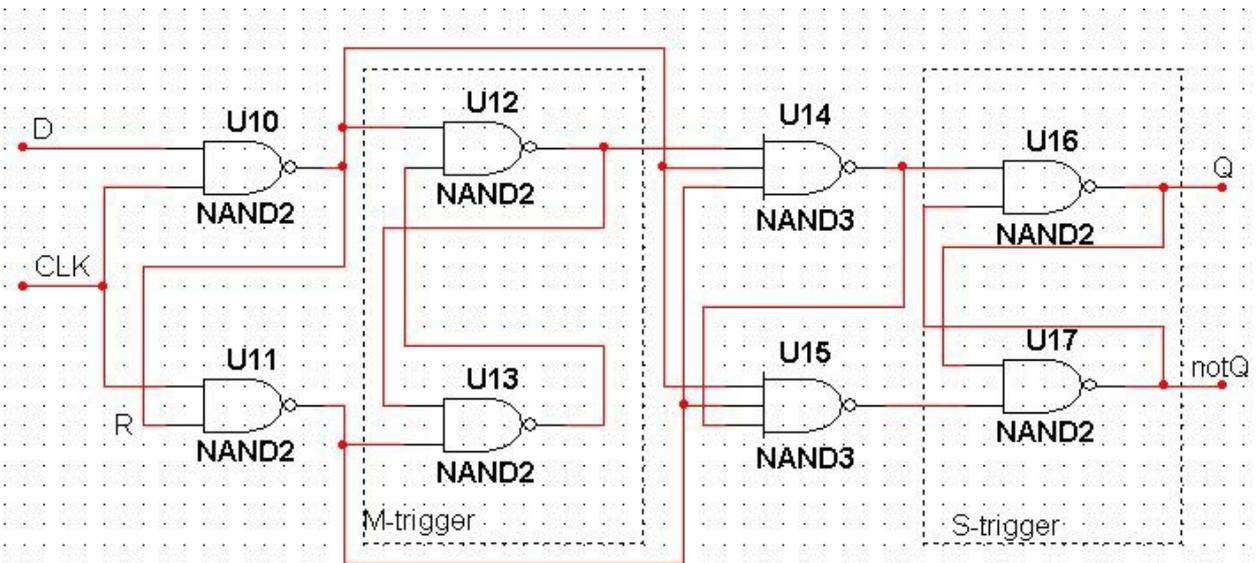


Функционирование как в прошлых вопросах.

Недостатком в схеме с инвертором является возможность возникновения в нем опасных состязаний при больших разбросах времени задержки распространения сигнала лог.элементов. Если в схеме например сумма времени задержки элементов D2 и D4 будет больше времени задержки инвертора, то процесс занесения информации в М-триггер происходит быстрее, чем будут заблокированы элементы D5 и D6 нулевым сигналом, формируемым на выходе инвертора. Поэтому возникает опасность того, что вновь поступившая информация будет так же занесена в S-триггер во время действия синхроимпульса, а не по его окончании.

От этого недостатка свободен MS-триггер с запрещающими связями, в котором функцию инвертора синхросигнала выполняют элементы D1 и D2. При выработке любым из этих элементов управляющего нулевого сигнала до переключения М-триггера производится блокировка элементов D5 и D6, чем обеспечивается сохранение ранее занесенной информации в S-триггер.

**29. Привести схему и описать функционирование для всех режимов D-триггера на базе MS-триггера с запрещающими связями. Покажите на временной диаграмме изменение состояний входных сигналов, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором по сравнению со схемой с запрещающими связями.**



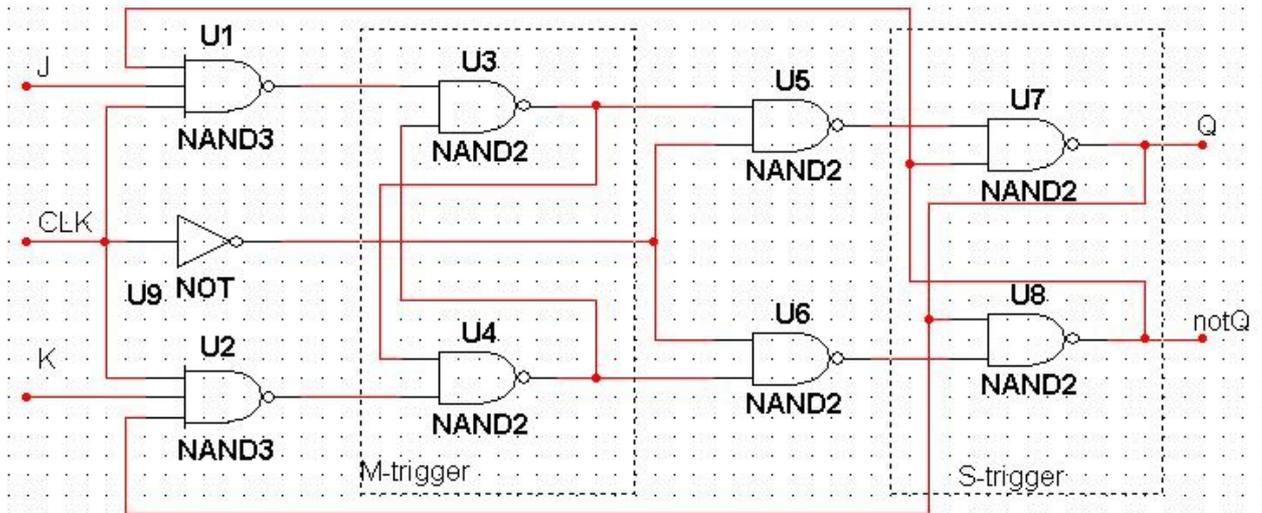
Функционирование как в прошлых вопросах.

Недостатком в схеме с инвертором является возможность возникновения в нем опасных состязаний при больших разбросах времени задержки распространения сигнала лог.элементов. Если в схеме например сумма времени задержки элементов D2 и D4 будет больше времени

задержки инвертора, то процесс занесения информации в М-триггер происходит быстрее, чем будут заблокированы элементы D5 и D6 нулевым сигналом, формируемым на выходе инвертора. Поэтому возникает опасность того, что вновь поступившая информация будет так же занесена в S-триггер во время действия синхроимпульса, а не по его окончании.

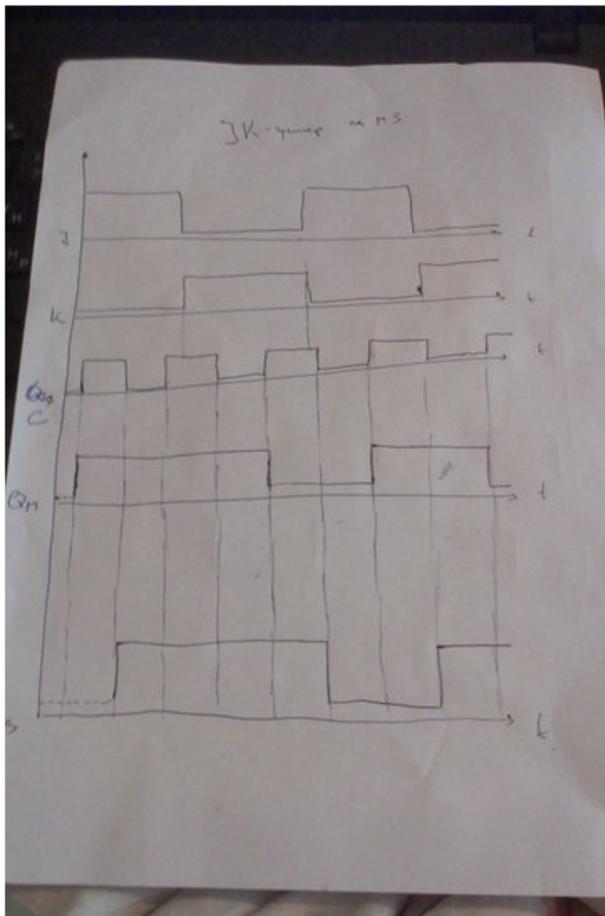
От этого недостатка свободен MS-триггер с запрещающими связями, в котором функцию инвертора синхросигнала выполняют элементы D1 и D2. При выработке любым из этих элементов управляющего нулевого сигнала до переключения М-триггера производится блокировка элементов D5 и D6, чем обеспечивается сохранение ранее занесенной информации в S-триггер.

**30. Привести схему и описать функционирование JK-триггера на базе MS-триггера с инвертором. Покажите на временной диаграмме изменение состояний входных сигналов, выходов М-триггера и выходов S-триггера. В чем состоит недостаток схемы MS-триггера с инвертором, как этот недостаток устраняется в схеме с запрещающими связями.**

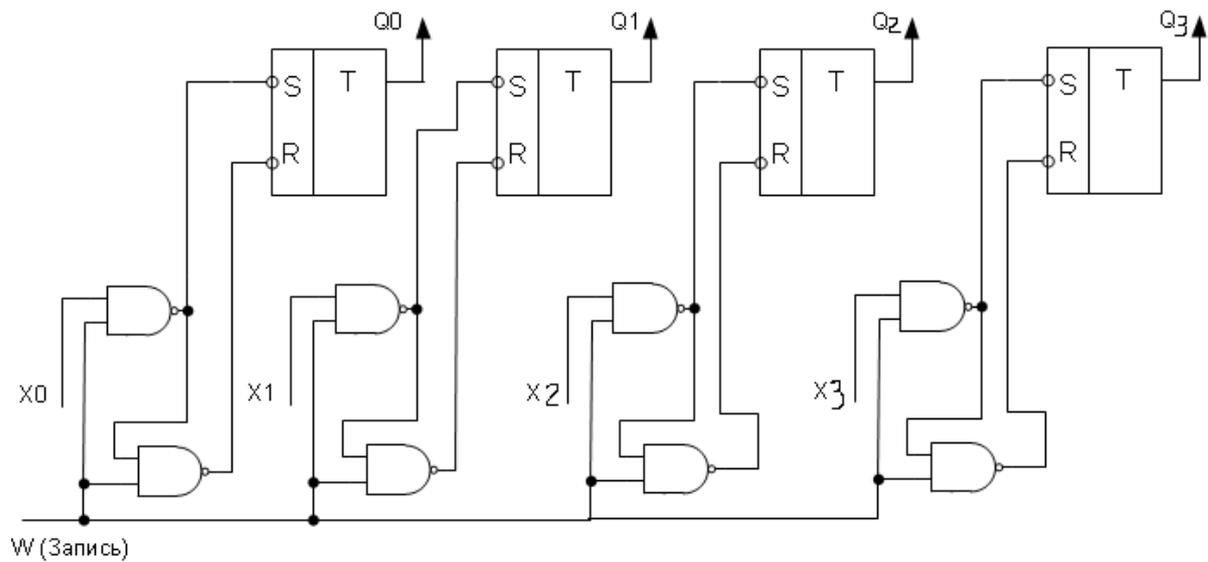


Недостатком в схеме с инвертором является возможность возникновения в нем опасных состояний при больших разбросах времени задержки распространения сигнала лог.элементов. Если в схеме например сумма времени задержки элементов D2 и D4 будет больше времени задержки инвертора, то процесс занесения информации в М-триггер происходит быстрее, чем будут заблокированы элементы D5 и D6 нулевым сигналом, формируемым на выходе инвертора. Поэтому возникает опасность того, что вновь поступившая информация будет так же занесена в S-триггер во время действия синхроимпульса, а не по его окончании.

От этого недостатка свободен MS-триггер с запрещающими связями, в котором функцию инвертора синхросигнала выполняют элементы D1 и D2. При выработке любым из этих элементов управляющего нулевого сигнала до переключения М-триггера производится блокировка элементов D5 и D6, чем обеспечивается сохранение ранее занесенной информации в S-триггер.



31. Приведите схему и опишите функционирование 4-х разрядного накопительного регистра на базе RS-триггеров с использованием парафазного управления триггерами. Продемонстрируйте это на временной диаграмме



32. Приведите схему и опишите функционирование 4-х разрядного накопительного регистра-защелки с асинхронным сбросом, построенного на D-триггерах. Продемонстрируйте это на временной диаграмме.

