

# Схемота #2

## Вопрос №1: Организация шин и памяти

4

1) Приведите схему и краткие описания ЭВМ с единой процессорной шиной (одноуровневая шинная организация) и с выделенной системной шиной (двухуровневая шинная организация), сравните друг с другом два указанных варианта. [3]

4

2) Приведите схему и краткие описания ЭВМ с выделенной системной шиной (двухуровневая шинная организация) и с выделенными шинами ввода-вывода (трехуровневая организация), сравните друг с другом два указанных варианта. [3]

4

3) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с отдельными сигналами записи (WR) и чтения (RD) для последовательно выполняющихся циклов записи и чтения данных. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. [2(пар.4.6), 3]

4

4) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с объединенным сигналом чтения/записи (R/nW) для последовательно выполняющихся циклов записи и чтения данных. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. [2(пар.4.6), 3]

5

5) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с мультиплицированной шиной адреса/данных, с отдельными сигналами записи (WR) и чтения (RD) для цикла записи. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. Приведите схему блока разделения мультиплексированной шина адреса/данных на отдельные шины адреса и данных. [2(пар.4.6), 3]

6

6) К процессору с адресным пространством внешней памяти объемом 256 Кбайт необходимо подключить 2 микросхемы памяти по 32К x 8 бит и 2 микросхемы 64К x 8 бит. Адресные пространства микросхем должны быть отображены в адресное пространство процессора последовательно, начиная с адреса 0x00000. Разработайте схему селектора адреса. [3]

7

7) К процессору с адресным пространством внешней памяти объемом 128 Кбайт необходимо подключить 2 микросхемы памяти по 32К x 8 бит и 1 микросхему 64К x 8 бит. Адресные пространства микросхем должны быть отображены в адресное пространство процессора последовательно, начиная с адреса 0x00000. Разработайте схему селектора адреса. [3]

7

8) Приведите классификацию полупроводниковой памяти. Сравните ОЗУ типа SRAM и DRAM по быстродействию, энергопотреблению, сложности и физическому размеру (на кристалле) схемы. Должно быть представлено объяснение сравниваемых свойств обоих типов памяти. [1,2,3]

7

9) Нарисуйте структурную схему памяти с 2D-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). Поясните назначение и функционирование каждого блока и сигнала/шины на схеме. Перечислите недостатки памяти с организацией 2D по отношению к памяти с организацией 3D и 2DM. [1,2,3]

7

10) Нарисуйте структурную схему памяти с 3D-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). [2,3] Поясните назначение и функционирование каждого блока и сигнала/шины на схеме. Перечислите недостатки памяти с организацией 3D по отношению к памяти с организацией 2DM. [2,3]

9

11) Нарисуйте структурную схему памяти с 2DM-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). Поясните назначение и функционирование каждого блока и сигнала/шины

- на схеме. Перечислите преимущества памяти с организацией 2DM по отношению к памяти с организацией 2D. [2,3] 9
- 12) Что такое масочное ПЗУ? Нарисуйте схему масочного ПЗУ с диодными элементами. Опишите, каким образом в ячейку памяти записать «1» и «0». Опишите по схеме функционирование памяти в режиме чтения? [2,3] 9
- 13) Нарисуйте и опишите функционирование схемы программирования ППЗУ с диодными элементами и пережигаемой нормальнозамкнутой перемычкой. Какой вариант программирования предпочтителен: «с пережигаемой перемычкой» или «с пробиваемым барьером»? [2,3] 11
- 14) Что такое РППЗУ? Покажите конструкцию ЛИЗМОП-транзистора и схему ячейки РППЗУ на ЛИЗМОП-транзисторе. По этим схемам объясните, как происходит запись, считывание и стирание информации (значений лог.«1» и лог.«0») в ячейки памяти данного типа. [2,3] (Лекции с 104.) (Харисы 5.5.6 Постоянное Запоминающее Устройство) 12
- 15) Нарисуйте конструкцию и электрическую схему ячейки динамического ОЗУ. Каким образом хранится информация («1» или «0») в элементе памяти DRAM? Укажите, где на рисунке «в разрезе» находится запоминающий элемент. Укажите недостатки динамического ОЗУ. [1,2,3] 13
- 16) Перечислите причины потери данных в динамическом ОЗУ, что такое регенерация данных, приведите схему и поясните функционирование усилителя-регенератора. [2,3] 13

#### **Вопрос №2: реализация блоков ЭВМ**

**14**

- 1) Приведите описание (исходный текст) на языке Verilog HDL 8-ми разрядного сдвигового регистра с последовательным вводом и выводом и с возможностью параллельной загрузки данных. 14
- 2) Приведите описание (исходный текст) на языке Verilog HDL блока slave интерфейса SPI, обеспечивающего поддержку сигналов SS, SDI, SDO и работу с 8-ми разрядными словами. 14
- 3) Приведите описание (исходный текст) на языке Verilog HDL реверсивного двоичного счетчика на 8 разрядов с сигналом сброса и возможностью параллельной загрузки данных. 14
- 4) Приведите описание (исходный текст) на языке Verilog HDL АЛУ, реализующего операции загрузки (буферизации) операндов по синхронизирующему сигналу, сложения и вычитания 8-ми разрядных двоичных чисел, формирование флагов Zero и Carry. 14
- 5) Приведите описание (исходный текст) на языке Verilog HDL блока регистровой памяти (регистров общего назначения) для процессора MIPS32 с синхронной (например, мультитактовой или конвейерной) микроархитектурой. 14
- 6) Приведите описание (исходный текст) на языке Verilog HDL блока памяти с 2D-организацией 16 x 8 бит. 15
- 7) Приведите описание (исходный текст) на языке Verilog HDL блока памяти с 2DM-организацией 64 x 8 бит и 32-битной строкой. 15
- 8) Приведите описание (исходный текст) на языке Verilog HDL преобразователя шин ЭВМ: шину с мультиплексированными адресом и данными, и с совмещенным сигналом чтения/записи (RD/nWR) преобразовать в отдельные шины адреса и данных (использовать сигнал ALE) и отдельные сигналы чтения (RD) и записи (WR). 15

диапазоны и имена чтоб не путаться. И будет охуенно если добавляя данные будет добавлен и источник информации, для тех, кто захочет углубиться.

Угрюмов Е.П. - Цифровая схемотехника

## Вопрос №1: Организация шин и памяти

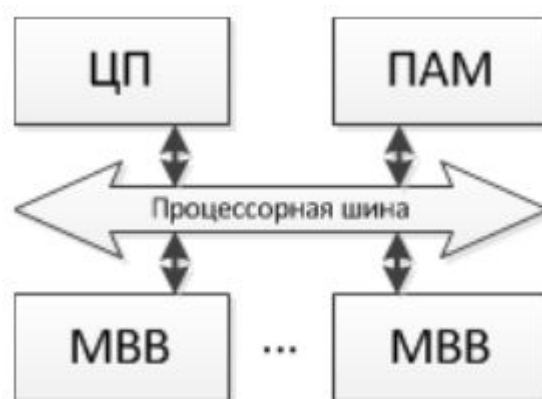
1) Приведите схему и краткие описания ЭВМ с единой процессорной шиной (одноуровневая шинная организация) и с выделенной системной шиной (двухуровневая шинная организация), сравните друг с другом два указанных варианта. [3]

(Презентация слайды 61 и 62)

### С единой шиной:

Центральный процессор, блоки памяти и устройства ВВ подключены к одной шине и имеют одинаковый шинный интерфейс.

- + Простота организации.
- + Унифицированный интерфейс.
- Ограничения доступа к быстрым устройствам из-за наличия медленных.
- Время ожидания зависит от количества устройств на шине.



### С выделенной системной шиной:

Адаптер (контроллер) системной шины по запросам процессора осуществляет управление обменом по системной шине и промежуточную буферизацию данных (до завершения обмена и/или готовности ЦП).

- + высокая скорость обмена с памятью при низкой по системной шине
- + процессор «освобожден» от управления обменом и ожидания МВВ
- + различные интерфейсы памяти и МВВ
- сложная аппаратная организация, дополнительный блок адаптера, сложность синхронизации обменов по шинам
- сохраняется дисбаланс скоростей МВВ различных типов (например, видеоадаптер и принтер)



2) Приведите схему и краткие описания ЭВМ с выделенной системной шиной (двухуровневая шинная организация) и с выделенными шинами ввода-вывода (трехуровневая организация), сравните друг с другом два указанных варианта. [3]

Презентация стр. 62-63

**С выделенной единой системной шиной и шинным адаптером**

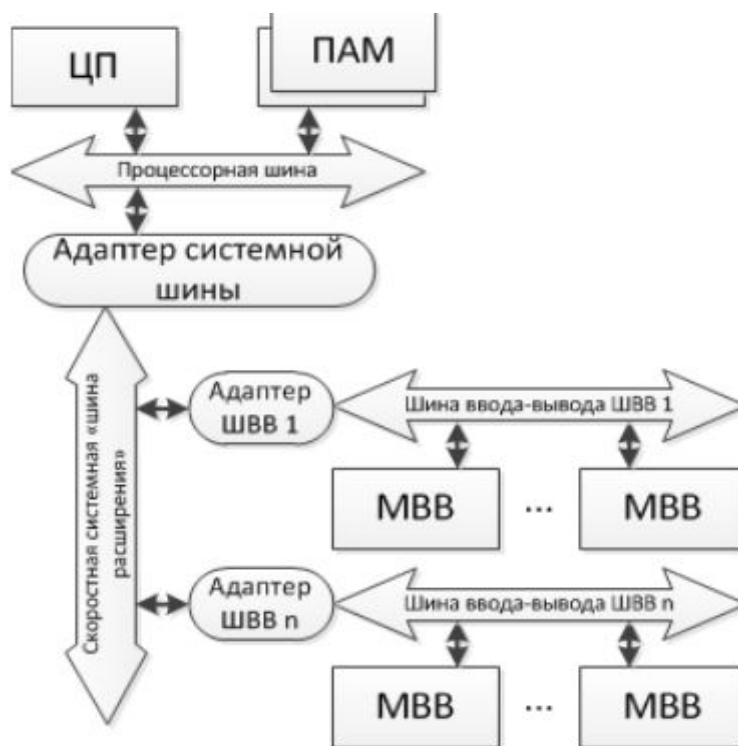
Адаптер (контроллер) системной шины по запросам процессора осуществляет управление обменом по системной шине и промежуточную буферизацию данных (до завершения обмена и/или готовности ЦП).  
 + высокая скорость обмена с памятью при низкой по системной шине  
 + процессор «освобожден» от управления обменом и ожидания МВВ  
 + различные интерфейсы памяти и МВВ



- сложная аппаратная организация, дополнительный блок адаптера, сложность синхронизации обменов по шинам  
 - сохраняется дисбаланс скоростей МВВ различных типов (например, видеоадаптер и принтер)

**С выделенной системной шиной расширения и шинами ввода-вывода**

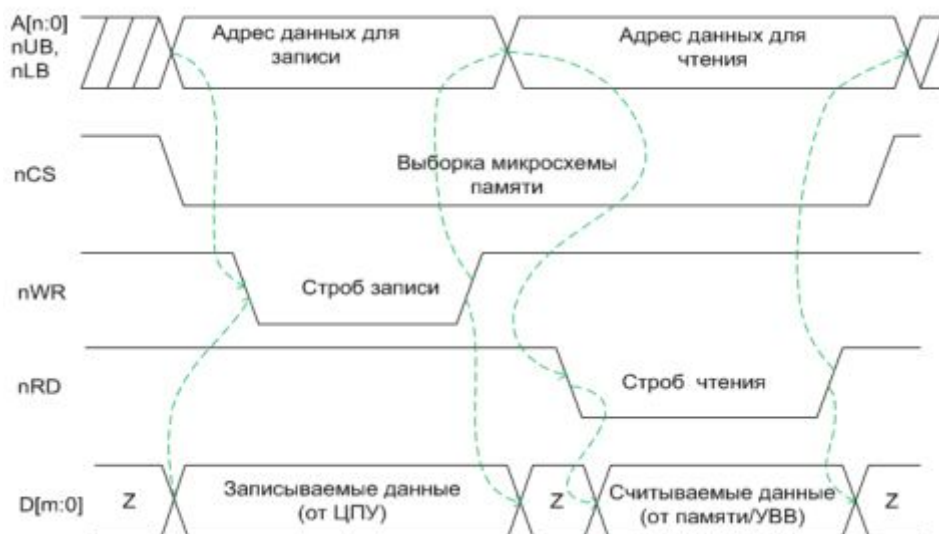
Скоростная системная шина расширения «собирает» и синхронизирует потоки от различных ШВВ, согласуя различные интерфейсы и производительности МВВ.  
 + различные скорости обмена МВВ  
 + различные интерфейсы МВВ



- сложная аппаратная организация, дополнительный блоки адаптеров ШВВ, иерархия шин, сложность синхронизации обменов по шинам

3) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с отдельными сигналами записи (WR) и чтения (RD) для последовательно выполняющихся циклов записи и чтения данных. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. [2(пар.4.6), 3]

(Презентация. В книге не было найдено).



При асинхронном доступе операции чтения и записи синхронизируются собственными стробами.

4) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с объединенным сигналом чтения/записи (R/nW) для последовательно выполняющихся циклов записи и чтения данных. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. [2(пар.4.6), 3]

(Презентация. В книге не было найдено).

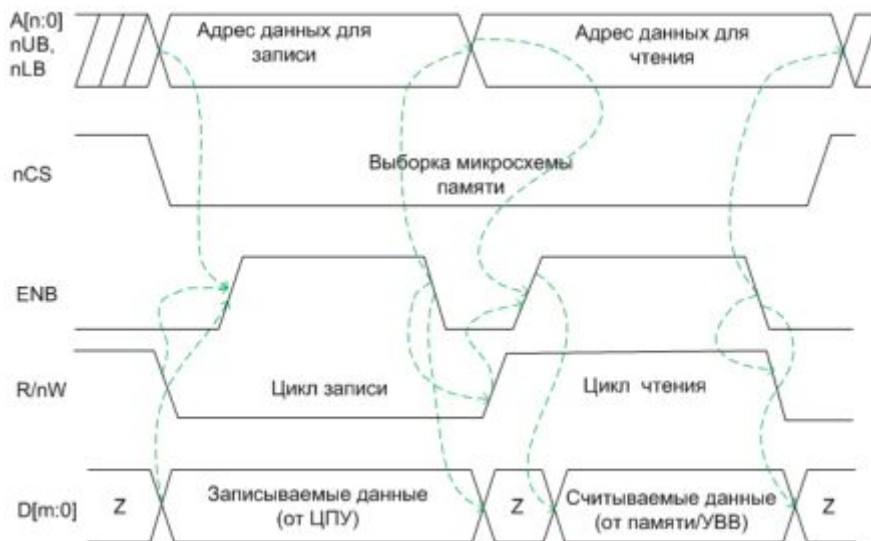
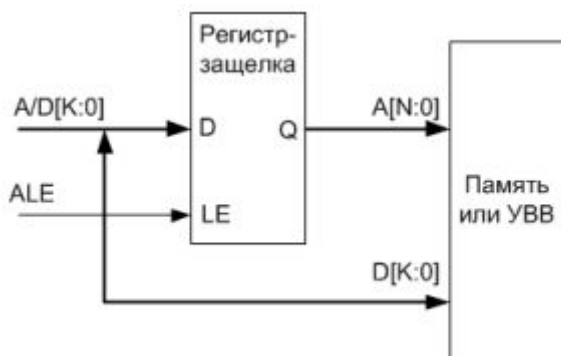
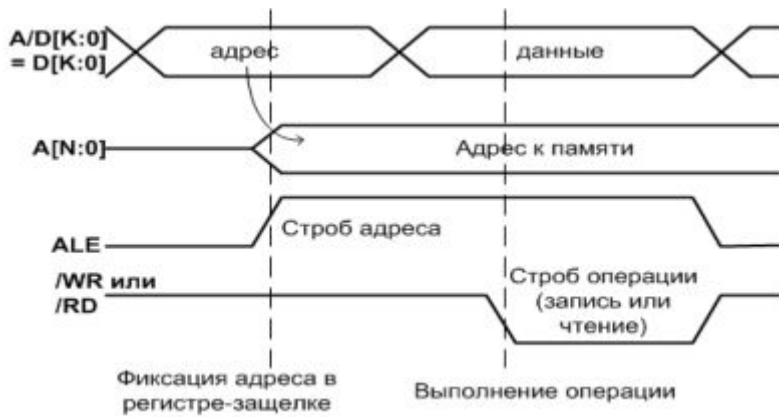


Схема самоочевидна.

5) Нарисуйте временную диаграмму сигналов шины с асинхронным доступом (к памяти) с мультиплицированной шиной адреса/данных, с отдельными сигналами записи (WR) и чтения (RD) для цикла записи. Укажите стрелками последовательность «установки» значений шин и состояний управляющих сигналов. Приведите схему блока разделения мультиплексированной шина адреса/данных на отдельные шины адреса и данных. [2(пар.4.6), 3]

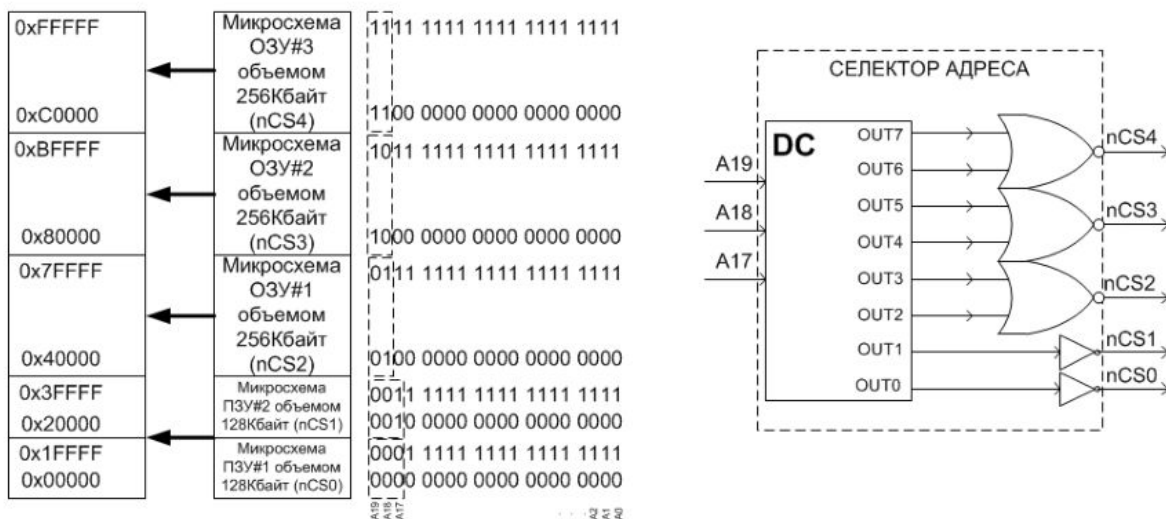
(Презентация. В книге не было найдено).





6) К процессору с адресным пространством внешней памяти объемом 256 Кбайт необходимо подключить 2 микросхемы памяти по 32К x 8 бит и 2 микросхемы 64К x 8 бит. Адресные пространства микросхем должны быть отображены в адресное пространство процессора последовательно, начиная с адреса 0x00000. Разработайте схему селектора адреса. [3]

## Формирование сигналов выборки устройств на шине (CHIP SELECT – CS)



(примечание: 2) если другой схемы не появится не забудьте что у нас всё пространство 256кб и микросхем только 4, а в чип селект уйдут линии A15 A16 A17 если нумеровать с A0

7) К процессору с адресным пространством внешней памяти объемом 128 Кбайт необходимо подключить 2 микросхемы памяти по 32К x 8 бит и 1 микросхему 64К x 8 бит. Адресные пространства микросхем должны быть отображены в адресное пространство процессора последовательно, начиная с адреса 0x00000. Разработайте схему селектора адреса. [3]

6+7

<http://www.generallytech.ru/gentecs-442-1.html>

8) Приведите классификацию полупроводниковой памяти. Сравните ОЗУ типа SRAM и DRAM по быстродействию, энергопотреблению, сложности и физическому размеру (на кристалле) схемы. Должно быть представлено объяснение сравниваемых свойств обоих типов памяти. [1,2,3]

Полупроводниковые ЗУ:

- \* Адресные:
  - ROM
    - + ROM
    - + PROM
    - + EPROM, EEPROM
    - + FLASH
  - RAM
    - + SRAM ( sync, async )
    - + DRAM ( sync, async )
- \* Последовательные:
  - FIFO
  - Стековые
  - Файловые
  - Циклические
- \* Ассоциативные:
  - Теговая ( кэш )

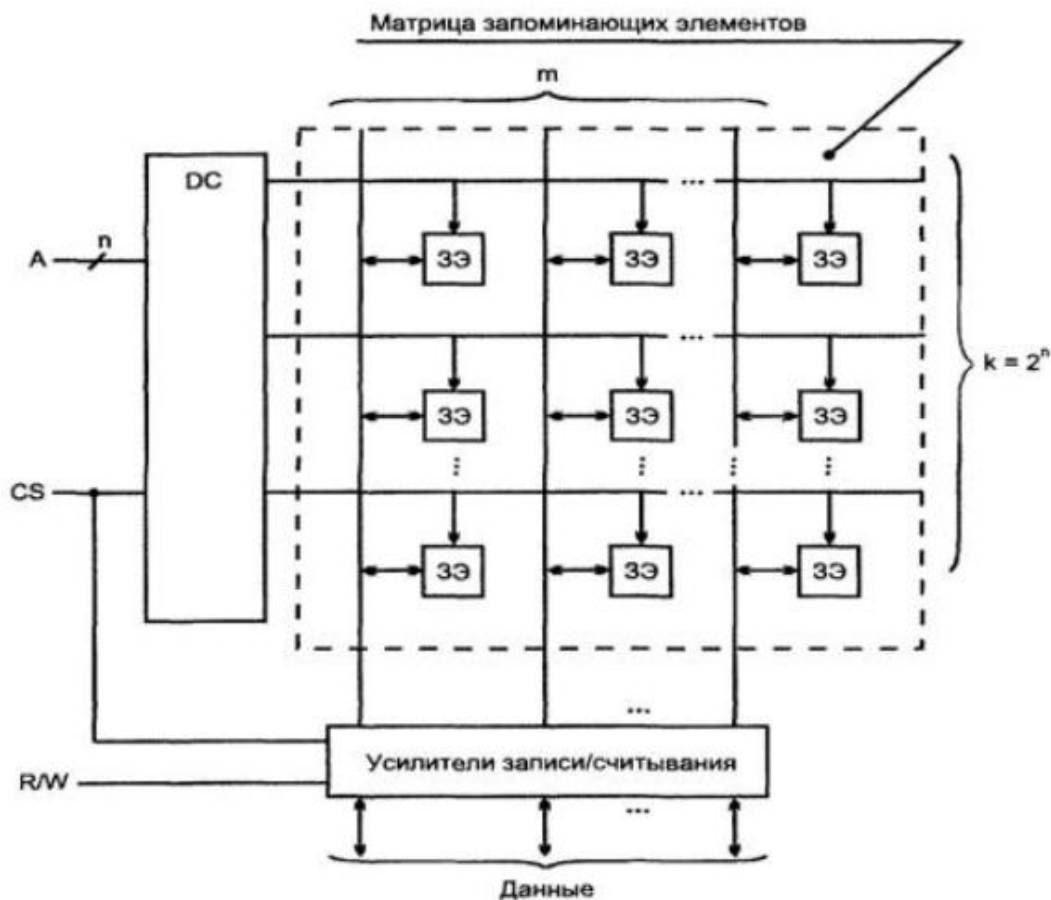
Сравнение DRAM и SRAM:

1. DRAM хранит информацию в виде зарядов конденсаторов, образуемых элементами МОП-структур, когда SRAM -- в триггерах, за счёт чего SRAM обладает более высоким, в сравнении с DRAM, быстродействием.
2. Однако DRAM-элементы легче сконструировать и упаковать, из-за чего они имеют большую информационную ёмкость, чем SRAM. Из-за чего DRAM дешевле.
3. DRAM-элементы разряжаются, из-за чего требуется каждые десять миллисекунд перезаписывать данные. SRAM хранит данные пока есть источник питания.



9) Нарисуйте структурную схему памяти с 2D-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). Поясните назначение и функционирование каждого блока и сигнала/шины на схеме. Перечислите недостатки памяти с организацией 2D по отношению к памяти с организацией 3D и 2DM. [1,2,3]

>Файлик с рубежек прошлых лет



В структуре 2D запоминающие элементы 3Э организованы в прямоугольную матрицу размерностью  $M = K \times N1$ , где  $M$  – информационная емкость памяти в битах;  $k$  - число хранимых слов;  $N1$  - их разрядность.

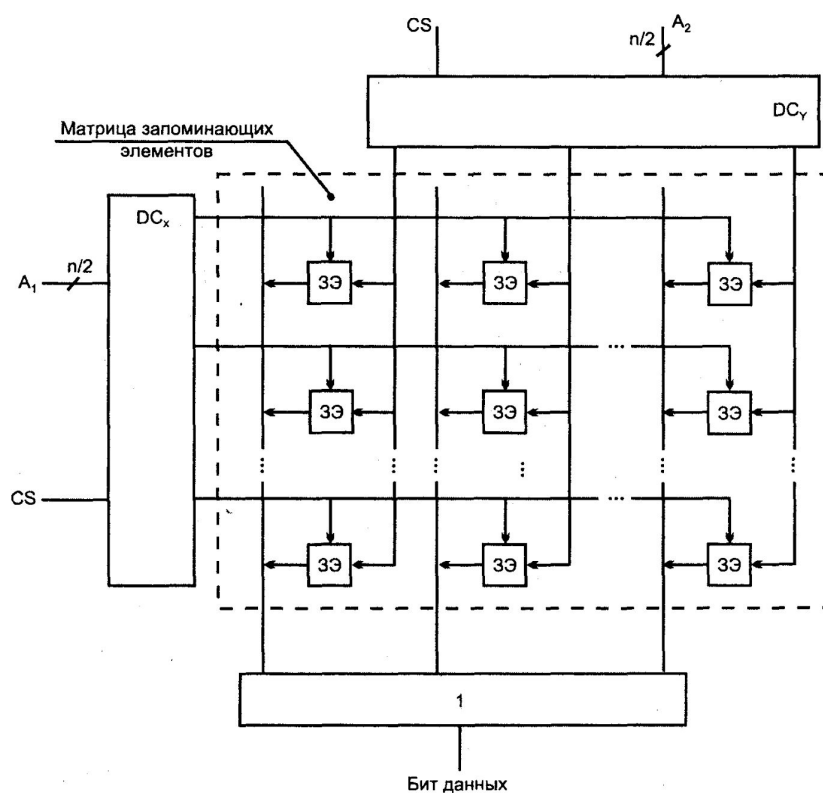
Дешифратор адресного кода DC при наличии разрешающего сигнала CS (Chip Select ) активизирует одну из выходных линий, разрешая одновременный доступ ко всем элементам выбранной строки, хранящей слово, адрес которого соответствует номеру строки. Элементы столбца соединены вертикальной линией - внутренней линией данных (разрядной линией, линией записи/считывания). Элементы столбца хранят одноименные биты всех слов. Направление обмена определяется усилителями чтения/записи под воздействием сигнала R/W (Read - чтение, Write - запись).

Структура типа 2D применяется лишь в 3У малой информационной емкости, т. к. при росте емкости проявляется несколько ее недостатков, наиболее очевидным из которых является чрезмерное усложнение дешифратора адреса (число выходов дешифратора равно числу хранимых слов).

В сравнении с 3D -- в 3D упрощенная структура дешифрация ( нужен не один 1024 выходной, а два 32 выходных дешифратора )

В сравнении с 2DM -- в 2DM упрощенная дешифрация и улучшенная форма матрицы.

10) Нарисуйте структурную схему памяти с 3D-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). [2,3] Поясните назначение и функционирование каждого блока и сигнала/шины на схеме. Перечислите недостатки памяти с организацией 3D по отношению к памяти с организацией 2DM. [2,3]

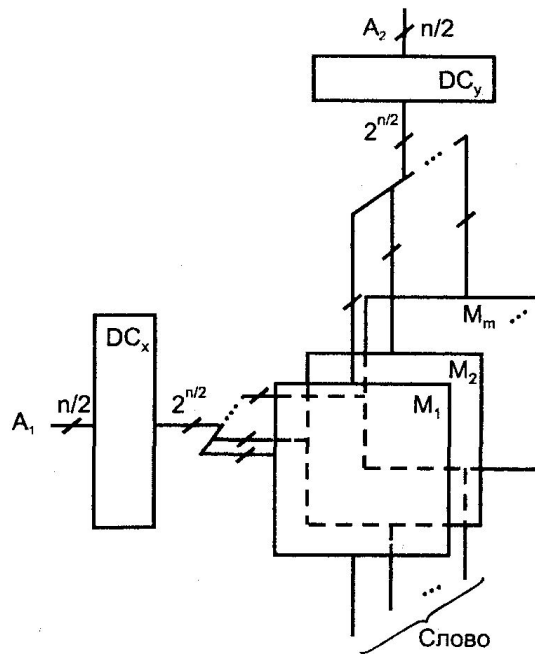


Принцип функционирования как у памяти с 2D, но здесь два дешифратора адреса  $DC_x$  и  $DC_y$  выбирается элемент соответствующий пересечению адресов.

Каждый дешифратор генерирует  $2^{(n/2)}$  значений что даёт нам  $2^n$  номеров ячеек.

Приведена схема с одnorазрядной реализацией.

Ниже многоразрядная.



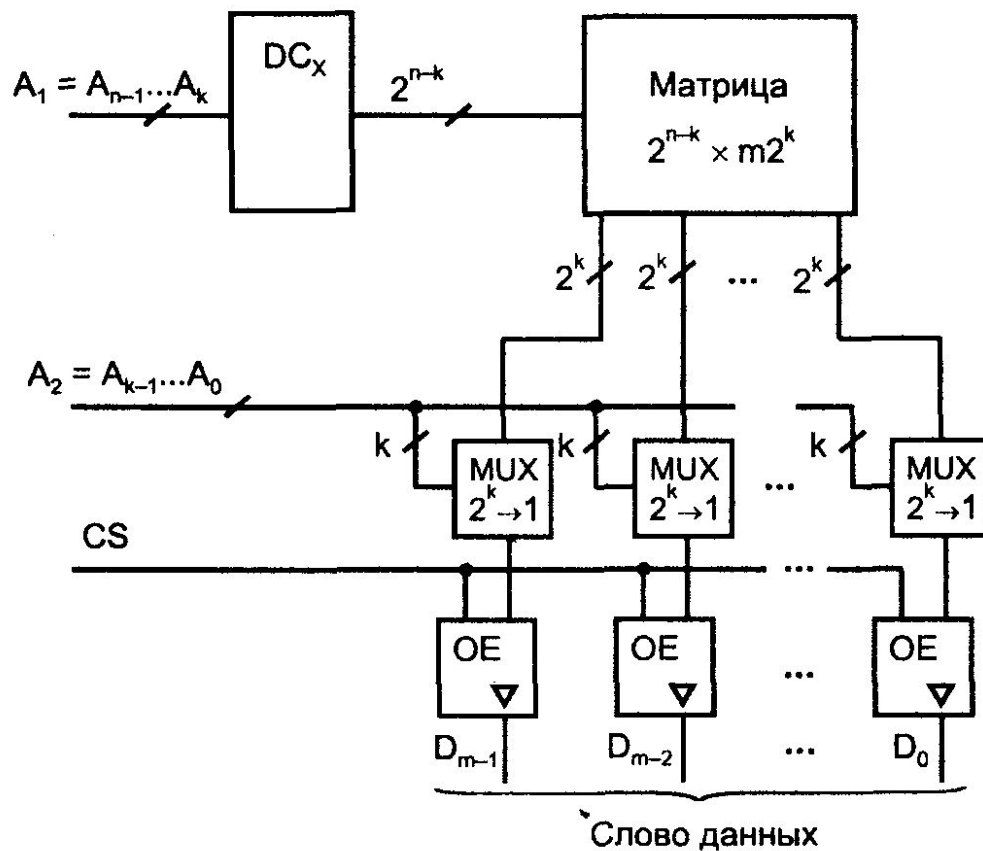
Уже для 3У небольшой емкости видна эта существенная разница: для структуры 2D при хранении 1К слов потребовался бы дешифратор с 1024 выходами, тогда как для структуры типа 3D нужны два дешифратора с 32 выходами каждый. Недостатком структуры 3D в первую очередь является усложнение элементов памяти, имеющих двухкоординатную выборку.

В сравнении с 2DM, 3D требуются элементы с двухкоординатной выборкой.

11) Нарисуйте структурную схему памяти с 2DM-организацией (должны быть указаны и подписаны шины адреса, данных и все обязательные управляющие сигналы). Поясните назначение и функционирование каждого блока и сигнала/шины на схеме. Перечислите преимущества памяти с организацией 2DM по отношению к памяти с организацией 2D. [2,3]

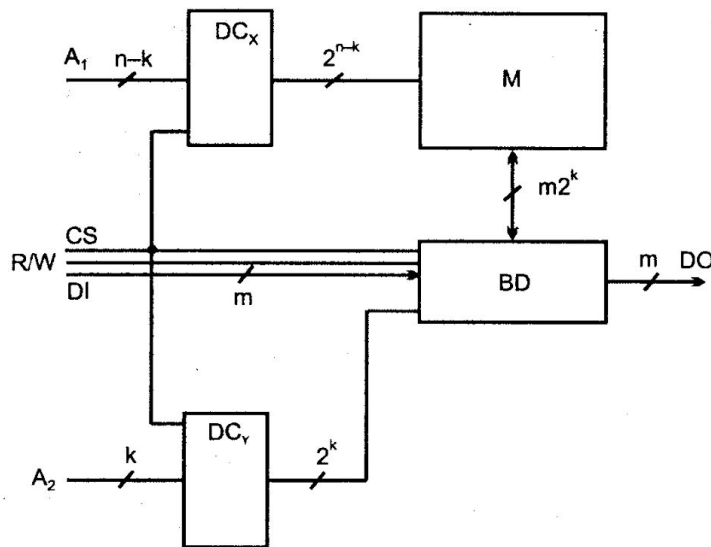
Однако в отличие от структуры 2D, длина строки не равна разрядности хранимых слов, а многократно ее превышает. При этом число строк матрицы уменьшается и, соответственно, уменьшается число выходов дешифратора. Для выбора одной из строк служат не все разряды адресного кода, а их часть  $A_{n-1} \dots A_k$ . Остальные разряды адреса (от  $A_{k-1}$  до  $A_0$ ) используются, чтобы выбрать необходимое слово из того множества слов, которое содержится в строке. Это выполняется с помощью мультиплексов, на адресные входы которых подаются коды  $A_{k-1} \dots A_0$ . Длина строки равна  $m2^k$ , где  $m$  — разрядность хранимых слов. Из каждого "отрезка" строки длиной  $2^k$  мультиплексор выбирает один бит. На выходах мультиплексов формируется выходное слово. По разрешению сигнала CS, поступающего на входы OE управляемых буферов с тремя состояниями, выходное слово передается на внешнюю шину.

На рис. 4.5, а для большей наглядности структура 2DM показана на примере ROM. На рис. 4.5, б структура 2DM в более общем виде показана для ЗУ типа RAM с операциями чтения и записи. Из матрицы  $M$  по-прежнему считывается "длинная" строка.



а

Рис. 4.5. Структура ЗУ типа 2DM для ROM (а)



б

Рис. 4.5. Структура ЗУ типа 2DM для RAM (б)

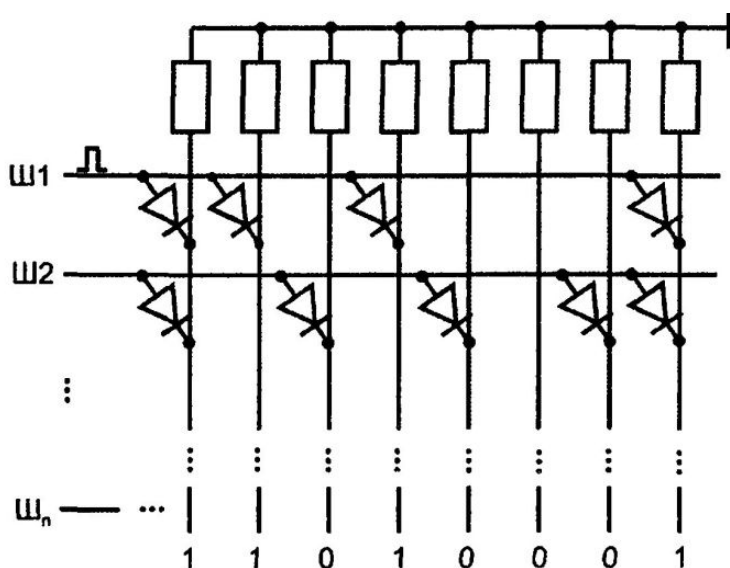
Данные в нужный отрезок этой строки записываются (или считываются из нее) управляемыми буферами данных BD, воспринимающими выходные сигналы второго дешифратора DC<sub>Y</sub>, и выполняющими не только функции мультиплексирования, но и функции изменения направления передачи данных под воздействием сигнала R/W.

12) Что такое масочное ПЗУ? Нарисуйте схему масочного ПЗУ с диодными элементами. Опишите, каким образом в ячейку памяти записать «1» и «0». Опишите по схеме функционирование памяти в режиме чтения? [2,3]

[http://studme.org/106609/1428296/tovarovvedenie/zapominayuschie\\_ustroystva\\_dlya\\_hraneniya\\_postoyannoy\\_informatsii](http://studme.org/106609/1428296/tovarovvedenie/zapominayuschie_ustroystva_dlya_hraneniya_postoyannoy_informatsii)

#### 4.4 запоминающие устройства с рабочи режимом "только чтения"[2]

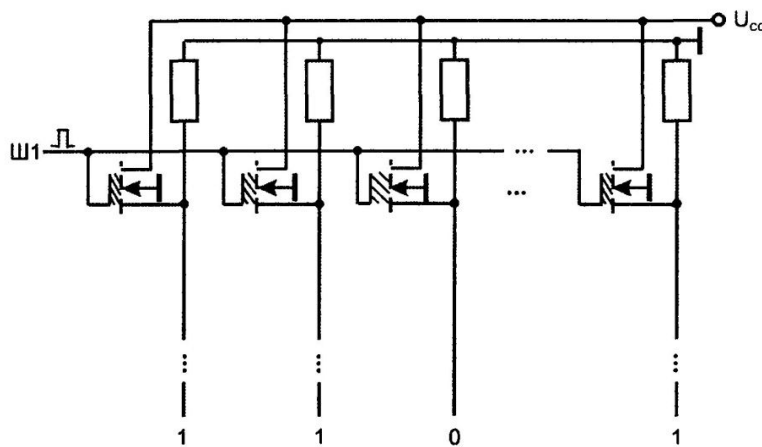
В реальных ПЗУ запись информации производится при помощи последней операции производства микросхемы — металлизации. Металлизация производится при помощи маски, поэтому такие ПЗУ получили название масочных ПЗУ.



**Масочные ПЗУ с диодными элементами:**  
Диоды «устанавливаются» на производстве по маске

В качестве запоминающих элементов в масочных ЗУ могут выступать диоды, биполярные транзисторы, МОП-транзисторы и т.д.

В матрице диодного ROM (M) (рис. 4.4, а) горизонтальные линии(на этой схеме шины) (строки) являю слова в соответствующую строку подается импульс напряжения. При наличии диода высокий потенциал передается на соответствующую вертикальную линию, и в данном разряде словатся линиями выборки слов, а вертикальные – линиями считывания. Считываемое слово определяется расположением диодов в узлах координатной сетки. Для считывания нужного появляется сигнал логической единицы. При отсутствии диода потенциал близок к нулевому, так как вертикальная линия через резистор связана с корпусом. В изображенной матрице при подаче импульса в линию выборки Ш1 считывается слово 11010001 (это слово хранится в ячейке номер 1). При подаче импульса в линию Ш2 считывается слово 10101011 (оно хранится в ячейке номер 2). Линии выборки являются выходами дешифратора адреса, каждая адресная комбинация формирует единицу только на своем выходе дешифратора, что приводит к считыванию слова только из адресуемой ячейки.

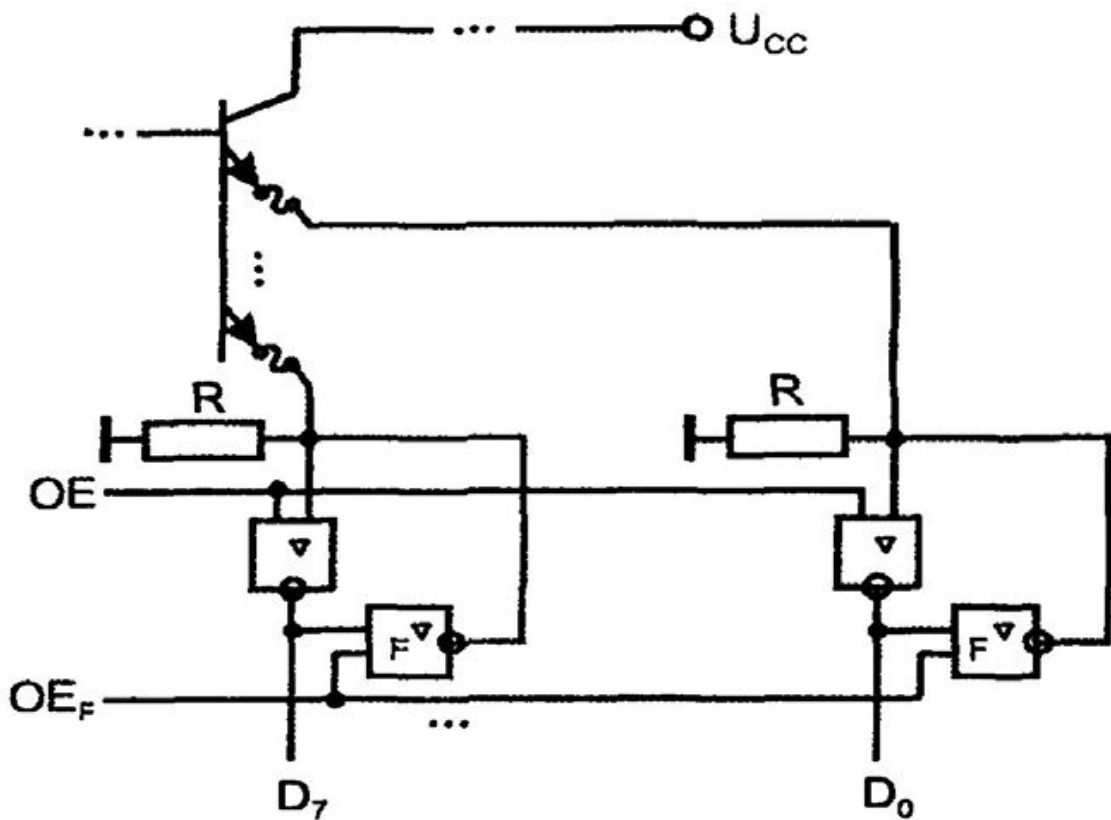


Масочные ПЗУ с МОП-транзисторными элементами  
 Для хранения «0» у транзистора увеличивается толщина подзатворного окисла и поэтому сигнал выборки строки (Ш1) не может открыть этот транзистор и подать через него «1»

(напряжение  $U_{cc}$ ) на выход.

13) Нарисуйте и опишите функционирование схемы программирования ПЗУ с диодными элементами и пережигаемой нормальнозамкнутой переключкой. Какой вариант программирования предпочтителен: «с пережигаемой переключкой» или «с пробиваемым барьером»? [2,3]

Программируемым называют любое ПЗУ, которое возможно запрограммировать после изготовления. ПЗУ с пережигаемой нормальнозамкнутой переключкой сложнее реализовывать технологически, но и у ПЗУ с пробиваемым барьером есть минус – пробиваемый диод со временем может восстановиться



программирования ППЗУ с диодными элементами и пережигаемой нормальнозамкнутой перемычкой.

При подаче OEF (разрешение программирования) блок программирования F замыкает эмиттер транзистора через перемычку на соответствующую линию шины данных Dx и, если на этой линии данных подан «0» (0 В), закорачивает напряжение питания Ucc на 0В через перемычку: перемычка перегорает.

Блок программирования F выполняет усиление тока от линии данных и формирование серии импульсов, чтобы обеспечить надежное перегорание перемычки без перегрева кристалла.



(левые два) С пережигаемой нормальнозамкнутой перемычкой – энергоемкое (током), ненадежное программирование.

- металлические перемычки (нихром, вольфрамовые сплавы): сложные технологии производства, сейчас не используются.

- поликристаллические перемычки (кремниевые): не технологично, используются ограниченно

(правые два)С пробиваемым нормальноизолированным барьером – низкоэнергоемкое (напряжением) программирование.

- встречновключенные диоды, один из которых «пробивается» при программировании высоким напряжением.

- сверхтонкие диэлектрические перемычки, пробиваемые при программировании высоким напряжением (технология antifuse).

14) Что такое РППЗУ? Покажите конструкцию ЛИЗМОП-транзистора и схему ячейки РППЗУ на ЛИЗМОП-транзисторе. По этим схемам объясните, как происходит запись, считывание и стирание информации (значений лог.«1» и лог.«0») в ячейки памяти данного типа. [2,3]

(Лекции с 104.) (Харисы 5.5.6 Постоянное Запоминающее Устройство)

Запоминающие элементы РППЗУ (EPROM, EEPROM)

EEPROM (англ. Electrically Erasable Programmable Read-Only Memory) — электрически стираемое перепрограммируемое ПЗУ (ЭСППЗУ), один из видов энергонезависимой памяти (таких как PROM и EPROM). Память такого типа может стираться и заполняться данными до миллиона раз. EPROM (англ. Erasable Programmable Read Only Memory) — класс полупроводниковых запоминающих устройств, постоянная память, для записи информации (программирования) в которую используется электронное устройство-программатор и которое допускает перезапись.

Структура и функционирование РППЗУ аналогично масочному ПЗУ на базе МОП-транзисторов, но «неоткрываемость» нужных транзисторов обеспечивается не утолщением подзатворного диэлектрика (окисла), а введением блокирующего отрицательного заряда между затвором и каналом.

(схема транзистора левфт двуслойным подзатворным, райт плавающим)



Тип 1 – с двуслойным подзатворным диэлектриком (МНОП: металл-нитрид-окисел-полупроводник). Между нитридом и окислом может образоваться «ловушка», удерживающая отрицательный заряд - электроны . «Загрузка» заряда в «ловушку» осуществляется через тонкий слой окисла (менее 5 нм) в результате лавинного пробоя при подаче высокого (15-25В) напряжения программирования

Тип 2 – с плавающим затвором (ЛИЗМОП – МОП-транзистор с лавинной инжекцией заряда). Принцип работы аналогичен МНОП, но для накопления-удержания заряда используется дополнительный металлический неподключенный -«плавающий» -



затвор в слое позрзатворного диэлектрика. Такая структура более технологична при производстве и обладает большей надежностью хранения заряда.

Для МНОП-транзистора с n-каналом отрицательный заряд на границе раздела слоев повышает пороговое напряжение. При этом пороговое напряжение возрастает настолько, что рабочие напряжения на затворе не в состоянии его открыть. Транзистор в котором заряд отсутствует или имеет другой знак, легко открыть рабочим напряжением на затворе. Так осуществляется хранение бита в МНОП: одно из состояний трактуется как отображение логической единицы, а другое нуля.

**Тип 1** При программировании ЗУ используют относительно высокие напряжения, около 20 В. После снятия напряжения прохождение носителей заряда через диэлектрик прекращается и заданное транзистору пороговое напряжение остается неизменным. ЗУ на основе МНОП-транзисторов может хранить записанную информацию десятками лет.

Чтобы стереть записанную информацию, необходимо удалить носители заряда из приграничной области. Для этого подается напряжение, создающее электрическое поле противоположной направленности, и носители заряда через слой SiO<sub>2</sub> возвращаются в полупроводник.

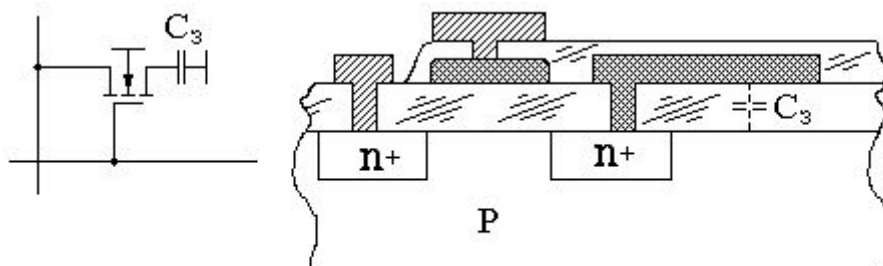
**Тип2** "Заряженный" транзистор подобно МНОП-транзистору остается всегда запертым. При отсутствии на плавающем затворе заряда транзистор работает в обычном ключевом режиме. Таким образом, в исходном состоянии все ЗЭ, выполненные на основе ЛИЗМОП-транзисторов, хранят лог. 1, а при программировании в них записываются лог. 0.

Информация может стираться двумя способами – ультрафиолетовым облучением или электрическими сигналами.

15) Нарисуйте конструкцию и электрическую схему ячейки динамического ОЗУ. Каким образом хранится информация («1» или «0») в элементе памяти DRAM? Укажите, где на рисунке «в разрезе» находится запоминающий элемент. Укажите недостатки динамического ОЗУ. [1,2,3]

[ссылка 1](#)

[ссылка 2](#)



На физическом уровне память DRAM представляет собой набор ячеек, способных хранить информацию. Ячейки состоят из конденсаторов и транзисторов, расположенных внутри полупроводниковых микросхем памяти. Конденсаторы

заряжают при записи в ячейку единичного бита и разряжают при записи в ячейку нулевого бита.

При прекращении подачи электроэнергии конденсаторы разряжаются, и память обнуляется (опустошается). Для поддержания необходимого напряжения на обкладках конденсаторов (для сохранения данных) конденсаторы необходимо периодически подзаряжать. Подзарядку выполняют путём подачи на конденсаторы напряжения через коммутирующие транзисторные ключи. Необходимость постоянной зарядки конденсаторов (динамическое поддержание заряда конденсаторов) является основополагающим принципом работы памяти типа DRAM.

Важным элементом памяти типа DRAM является чувствительный усилитель-компаратор (англ. sense amp), подключённый к каждому из столбцов «прямоугольника». При чтении данных из памяти усилитель-компаратор реагирует на слабый поток электронов, устремившихся через открытые транзисторы с обкладок конденсаторов, и считывает одну строку целиком. Чтение и запись выполняются построчно; обмен данными с отдельно взятой ячейкой невозможен.

В динамической памяти ячейки построены на основе областей с накоплением зарядов, занимающих гораздо меньшую площадь, нежели триггеры, и практически не потребляющих энергии при хранении. При записи бита в такую ячейку в ней формируется электрический заряд, который сохраняется в течение нескольких миллисекунд; для постоянного сохранения заряда ячейки необходимо регенерировать - перезаписывать содержимое для восстановления зарядов.

Недостатки:

- Невысокое быстродействие
- Необходимость в постоянной регенерации данных.

**16) Перечислите причины потери данных в динамическом ОЗУ, что такое регенерация данных, приведите схему и поясните функционирование усилителя-регенератора. [2,3]**

Причина: разрядка конденсаторов, считывание данных изменяет заряд ёмкости.

Регенерация данных: восстановление или обновление данных.

Усилитель-регенераторы используются при считывании данных.

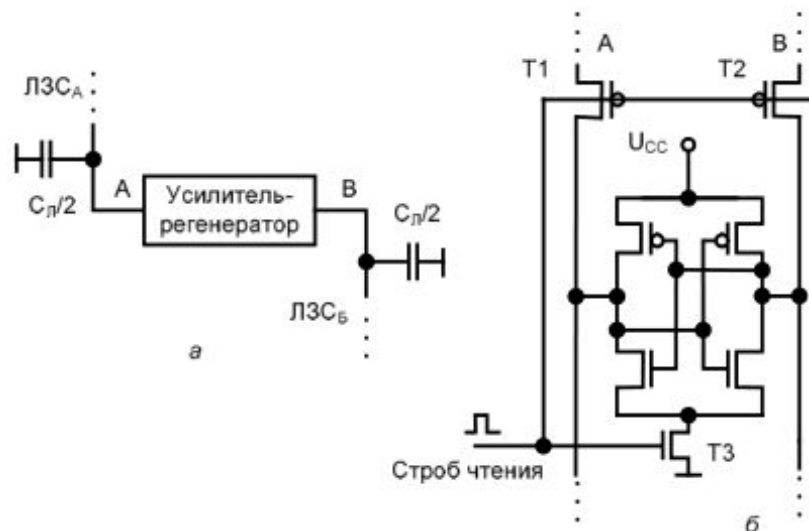


Рис. 5.49. Схема включения усилителя-регенератора в разрыв линии записи-считывания динамического ЗУ (а) и вариант схемной реализации усилителя-регенератора (б)

Просто:

Для регенерации первоначального напряжения, хранившегося в запоминающей ячейке в схеме применяется [RS триггер](#), включенный между двумя линиями записи/считывания. Схема такого включения приведена на рисунке. Эта схема за счет положительной обратной связи восстанавливает первоначальное значение напряжения в запоминающем элементе, подключенном к выбранной линии считывания. То есть, при считывании ячейки производится регенерация хранящегося в ней заряда.

TD;DR:

При считывании данных включаются транзисторы T1 и T2 ( не спрашивайте почему ), и на триггер ( в центре картинке б расположен триггер, если что ) поступают напряжения, действующие в точках А и В. Триггер не имеет питания ( транзистор T3 заперт ) до тех пор, пока не активизируется строб чтения, которые открывает транзистор T3, подаёт питание на схему триггера и запирает транзисторы T1 и T2, временно отключая усилитель-регенератор от линии считывания для предотвращения его влияния на выбранный запоминающий элемент. Триггер под напряжением питания переходит в одно из стабильных состояний, при этом состояние, в которое он перейдет, определяется несимметрией его режима, предварительно созданной при выборке ЗЭ, причём триггер, находящийся в неустойчивом состоянии, имеет высокую чувствительность в "перекосу" ( надёжно воспринимает слабые сигналы считывания с линии ЛЗС ( чёрт знает что ), которые и определяют переход в нужно стабильное состояние. На выходах триггера сформируются напряжения 1 и 0. Т.к. одни и те же точки А и В являются одновременно и входами, и выходами усилителя-регенератора, после своего срабатывания и окончания строба чтения усилитель подключается к ЗЭ и восстанавливает на ёмкости С полное значение считанного сигнала.

## Вопрос №2: реализация блоков ЭВМ

Вопрос №2 контролирует компетенции по разработке аппаратных блоков ЭВМ, основывается на знаниях и практических навыках, полученных при выполнении лабораторных работ, в комплексе со знанием лекционных тем. Требуется привести описание блока на языке Verilog, оформленного в виде одного или нескольких законченных модулей (module), включая объявление портов модуля, с комментариями, поясняющими структуру описания и назначение сигналов и данных.

1) Приведите описание (исходный текст) на языке Verilog HDL 8-ми разрядного сдвигового регистра с последовательным вводом и выводом и с возможностью параллельной загрузки данных. **NKN**

```
module Task1_shift_reg(           //сдвиг происходит в сторону старшего разряда от 0
-> 7
    input [7:0] DP,              //данные для параллельной загрузки
    input DS,                    //данные для последовательной загрузки
    input L,                      // сигнал выбора способа загрузки
    input clk,                   //угадайте сами, я в вас верю

    output reg DS_Out           //префикс как бы намекает
);

    reg [7:0] Mem;               //регистр для хранения данных

    always @(posedge clk) begin
        DS_Out <= Mem[7];
        if(L == 0) begin
            Mem <= { Mem[6:0], DS};
        end else begin
            Mem <= DP;
        end
    end
end
endmodule
```

2) Приведите описание (исходный текст) на языке Verilog HDL блока slave интерфейса SPI, обеспечивающего поддержку сигналов SS, SDI, SDO и работу с 8-ми разрядными словами.

<https://github.com/chebykinn/university/tree/master/circuitry/lab2/src>

```
module read (
```

```

sdo,
sdi,
reset,
cs,
sck
);
output sdo;
input sdi;
input reset;

input cs;
input sck;

reg[7:0] data;
reg[3:0] i = 0;
reg start = 0;

always @ (posedge cs) begin
    i = 0;
    start = 1;
end

always @ (posedge sck) begin

    if(reset) begin
        data = 0;
        i = 0;
        start = 0;
    end
    if(start) begin
        sdo = data[i];
        i = i + 1;
    end

end

end;
endmodule

```

<https://embeddedmicro.com/tutorials/mojo/serial-peripheral-interface-spi/>

```

module spi_slave(
    input clk,
    input rst,
    input ss,
    input mosi,
    output miso,
    input sck,

```



```

always @(posedge clk) begin
  if (rst) begin
    done_q <= 1'b0;
    bit_ct_q <= 3'b0;
    dout_q <= 8'b0;
    miso_q <= 1'b1;
  end else begin
    done_q <= done_d;
    bit_ct_q <= bit_ct_d;
    dout_q <= dout_d;
    miso_q <= miso_d;
  end

  sck_q <= sck_d;
  mosi_q <= mosi_d;
  ss_q <= ss_d;
  data_q <= data_d;
  sck_old_q <= sck_old_d;

end

endmodule

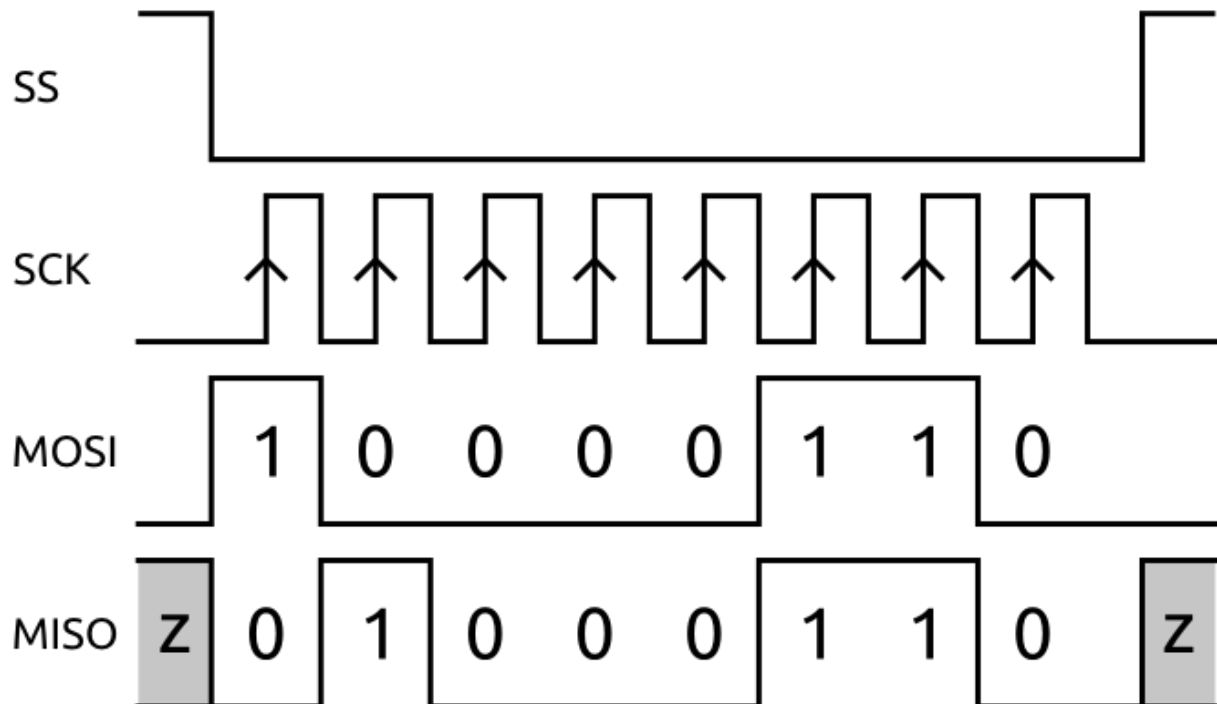
```

ЭТО ЧЕ БЛЯ ЧЕ ТАК МНОГААААААААА

Дык тут два входа sdo sdi

SPI Transmission

CPOL = 0 CPHA = 0



3) Приведите описание (исходный текст) на языке Verilog HDL реверсивного двоичного счетчика на 8 разрядов с сигналом сброса и **ВОЗМОЖНОСТЬЮ параллельной загрузки данных.**

[ссылка](#)

```
//-----  
// Имя модуля : up_down_counter  
// Имя файла : up_down_counter.v  
// Функц. назначение : Реверсивный счётчик лучше  
// Программист : www.portal-ed.ru  
//-----  
module up_down_counter (  
out , // Выход счётчика  
up_down , // Установка направления счёта  
clk , // Тактовый вход  
reset, // Вход сброса  
[7:0]data,  
set // установка значения  
);  
//-----Выходные порты-----  
output [7:0] out;  
//-----Входной порт-----  
input [7:0] data,;  
input up_down, clk, reset, set;  
//-----Внутренние переменные-----  
reg [7:0] out;  
//-----Начало кода-----  
always @(posedge clk)  
if (reset) begin // active high reset  
out <= 8'b0 ;  
end else  
if (set) begin  
out <= data;  
end else begin  
if (up_down) begin  
out <= out + 1;  
end else begin  
out <= out - 1;  
end  
endmodule // Конец модуля up_down_counter
```

4) Приведите описание (исходный текст) на языке Verilog HDL АЛУ, реализующего операции загрузки (буферизации) операндов по синхронизирующему сигналу, сложения и вычитания 8-ми разрядных двоичных чисел, формирование флагов Zero и Carry.

```
module ex_stage( input clk,
```



```

        input      rst
        input [2:0] op,
        input [31:0]A,
        input [31:0]B,

        output carry,
        output Zero ,
        output [31:0]alu_result
    )

    reg [31:0]A_I;
    reg [31:0]B_I;
    reg [2:0]op_I;

    always @(posedge clk) begin
    if (rst) begin
        A_I <= 0;
        B_I <= 0;
        op_I <= 0;
    end
    else begin
        A_I <= A;
        B_I <= B;
        op_I <= op;
    end
    end

    always @ begin
        case(op_I) begin
            1: {carry,alu_result} <= A_I + B_I;
            2: alu_result <= A_I - B_I;
        endcase
    end

endmodule

```

5) Приведите описание (исходный текст) на языке Verilog HDL блока регистровой памяти (регистров общего назначения) для процессора MIPS32 с синхронной (например, мультитактовой или конвейерной) микроархитектурой.

**пкп честно спизжено из мипса**

```

module regfile(
    input wire    clk,           // clock to trigger write
    input wire    rst,          // reset
    input wire [4:0] raddr1, raddr2, waddr, // the registers numbers to read or write
    input wire [31:0] wdata,     // data to write
    input wire    w_en,         // write enable

```

```

        output wire [31:0] rdata1, rdata2    // the register values read
    );
reg [31:0]          rf [31:0];    // 32 registers each 32 bits long

assign rdata1 = rf [raddr1];
assign rdata2 = rf [raddr2];

integer ii;

initial
begin
    for ( ii = 0; ii < 32; ii= ii + 1 )
        rf[ii] = 0;
end

always @(posedge clk)
begin
    if (rst)
        rf[0] <= 0;
    else
        if(w_en)
            rf [waddr] <= wdata;
end

endmodule

```

6) Приведите описание (исходный текст) на языке Verilog HDL блока памяти с 2D-организацией 16 x 8 бит. **нкн**

```

module Task6_Mem_2D(
    input [3:0]A,        //адрес линии
    input CS,          //чип селект
    input [7:0]DI,     //дата внутрь
    input RW,         //рид или райт

    output reg [7:0]DO //дата аут
);

reg [7:0]Mem [3:0];

always @(posedge CS) begin
    if(RW) begin
        Mem[A] = DI;
    end else begin
        DO = Mem[A];
    end
end

```

```
end  
endmodule
```

7) Приведите описание (исходный текст) на языке Verilog HDL блока памяти с 2DM- организацией 64 x 8 бит и 32-битной строкой.

8) Приведите описание (исходный текст) на языке Verilog HDL преобразователя шин ЭВМ: шину с мультиплексированными адресом и данными, и с совмещенным сигналом чтения/записи (RD/nWR) преобразовать в отдельные шины адреса и данных (использовать сигнал ALE) и отдельные сигналы чтения (RD) и записи (WR).

// на свой страх и риск

//точно не уверен в gw но других идей как иначе можно было декодировать у меня нет.

```
module Task8_Wire(  
    input [7:0]A,  
    inout [7:0]DA,  
    input ALE,  
    input RW,  
    output [15:0]A_out,  
    output RD,  
    output WR,  
    output [7:0]Data  
);  
  
    reg [7:0]A_L ;//младший байт адреса  
  
    assign A_out = {A, A_L};  
  
    assign RD = !RW;  
    assign WR = RW;  
  
    always@(negedge ALE) begin  
        A_L <= DA;  
    end  
  
    always@() begin  
        if(!ALE)  
            Data = DA;  
    end  
  
endmodule
```